



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년05월17일
(11) 등록번호 10-1621300
(24) 등록일자 2016년05월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H05B 33/04 (2006.01)
(21) 출원번호 10-2009-0087568
(22) 출원일자 2009년09월16일
심사청구일자 2014년09월12일
(65) 공개번호 10-2011-0029753
(43) 공개일자 2011년03월23일
(56) 선행기술조사문헌
JP2008546211 A*
JP2006286627 A
JP2007531238 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김민수
경기 용인시 수지구 풍덕천로 161, 101동 107호
(풍덕천동, 동보아파트)
오석준
경기 파주시 월롱면 엘지로 245, 103동 819호 (파주LCD산업단지)
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 5 항

심사관 : 신창우

(54) 발명의 명칭 유기전계발광소자의 제조방법

(57) 요약

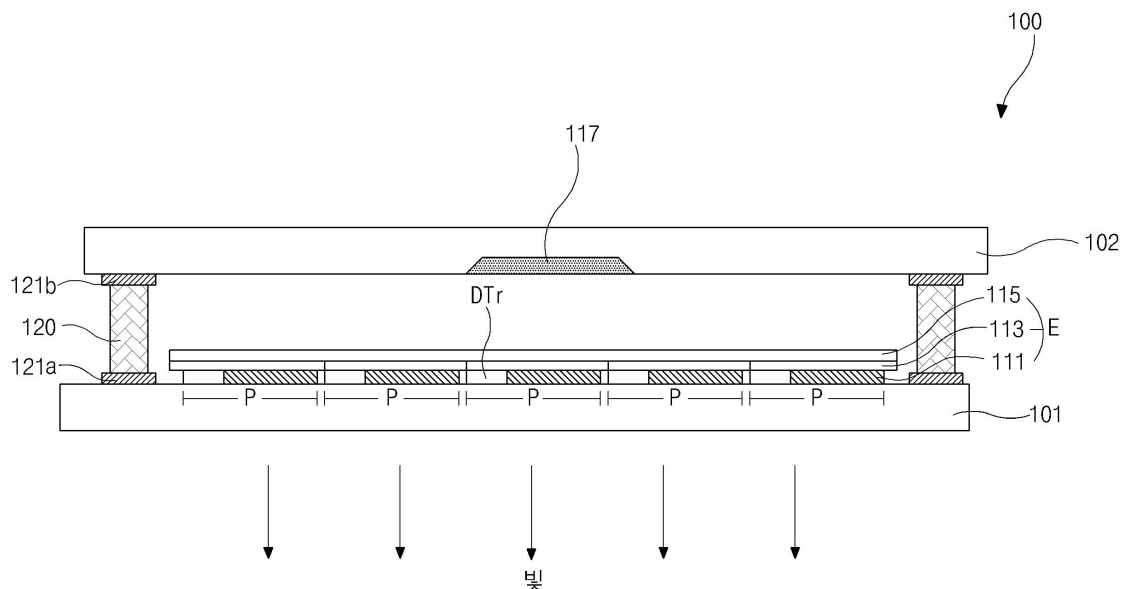
본 발명은 유기전계발광소자에 관한 것으로, 특히, 유기전계발광소자의 인캡슐레이션에 관한 것이다.

본 발명의 특징은 점도성 용매와 금속분자가 혼합된 금속실린트를 통해 제 1 및 제 2 기판을 밀봉함으로써, 제 1 및 제 2 기판의 이격된 사이 공간으로 외부로부터 오염원들이 침투하는 것을 방지할 수 있다.

또한, 금속실패턴의 점도성 용매의 함량을 10 ~ 50wt%으로 늘림으로써, 금속실패턴의 단면적을 점도성 용매의 증발 양에 따라 비례하여 줄일 수 있어, $6000\mu\text{m}^2$ 이하의 단면적을 갖도록 형성해야 하는 소형 OLED에도 금속실패턴을 형성할 수 있다.

또한, 금속실패턴을 포인트 도팅(point dotting) 디스펜서 방식을 통해 기판 상에 형성함으로써, 금속실린트의 포인트 도팅의 간격을 통해 조절하여, 원하는 선폭 및 높이를 갖는 금속실패턴을 형성할 수 있다.

대표도 - 도2



명세서

청구범위

청구항 1

서로 대향하여 형성된 제 1 및 제 2 기관과;

상기 제 1 및 제 2 기관의 서로 마주보는 각 일면의 비표시영역에 형성되는 제 1 및 제 2 금속패턴과;

상기 제 1 및 제 2 금속패턴 사이에 형성되는 금속실패턴

을 포함하며, 상기 금속실패턴은 점도성 용매와 금속분자가 혼합되어 이루어지며, 상기 점도성 용매는 10 ~ 50wt%의 함량으로 이루어지며,

상기 제 1 및 제 2 기관 사이에는 박막트랜지스터와 유기전계발광 다이오드가 형성되고,

상기 제 1 금속패턴은 상기 박막트랜지스터 형성시 사용되는 재료로 상기 박막트랜지스터 형성시 형성되고, 상기 제 2 금속패턴은 상기 유기전계발광 다이오드 형성시 사용되는 재료로 상기 유기전계발광 다이오드 형성시 형성되고,

상기 금속실패턴은 경화 시, 상기 점도성 용매가 증발 또는 제거되어, 증발된 상기 점도성 용매에 비례하여 부피가 줄어들며,

상기 금속실패턴의 폭은 상기 제 1 금속패턴 및 제 2 금속패턴의 폭보다 좁은

표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 금속실패턴은 포인트 도팅 디스펜서 방식을 통해 형성하는 표시장치.

청구항 4

제 1 항에 있어서,

상기 점도성 용매는 에폭시(epoxy)계 수지, 페놀(phenol)계 수지, 아크릴(acryl)계 수지, 열 및 광 경화성 수지 중 선택된 하나와 유기 바인더(organic binder)의 조합인 표시장치.

청구항 5

제 1 항에 있어서,

상기 금속분자는 인듐(In), 주석(Sn), 아연(Zn), 납(Pb)을 포함하는 저융점의 금속 및 저융점 금속 합금 또는 은(Ag), 금(Au), 알루미늄(Al), 알루미늄 합금(Al alloy), 구리(Cu), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐(W), 텅스텐, 티타늄(Ti), 탄소나노튜브(carbon nano tube) 중 선택된 하나인 표시장치.

청구항 6

제 1 항에 있어서,

상기 제 1 및 제 2 금속패턴은 인듐틴옥사이드(ITO), 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 티타늄(Ti), 네오디뮴(Nd), 또는 이들의 합금으로 형성되는 표시장치.

청구항 7

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광소자에 관한 것으로, 특히, 유기전계발광소자의 인캡슐레이션에 관한 것이다.

배경 기술

[0002] 최근까지, CRT(cathode ray tube)가 표시장치로서 주로 사용되었다. 그러나, 최근에 CRT를 대신할 수 있는, 플라즈마표시장치(plasma display panel : PDP), 액정표시장치(liquid crystal display device : LCD), 유기전계발광소자(organic electro-luminescence device : OLED)와 같은 평판표시장치가 널리 연구되며 사용되고 있는 추세이다.

[0003] 위와 같은 평판표시장치 중에서, 유기전계발광소자(이하, OLED라 함)는 자발광소자로서, 비발광소자인 액정표시장치에 사용되는 백라이트가 필요하지 않기 때문에 경량 박형이 가능하다.

[0004] 그리고, 액정표시장치에 비해 시야각 및 대비비가 우수하며, 소비전력 측면에서도 유리하며, 직류 저전압 구동이 가능하고, 응답속도가 빠르며, 내부 구성요소가 고체이기 때문에 외부충격에 강하고, 사용 온도범위도 넓은 장점을 가지고 있다.

[0005] 특히, 제조공정이 단순하기 때문에 생산원가를 기존의 액정표시장치 보다 많이 절감할 수 있는 장점이 있다.

[0006] 이러한 특성을 갖는 OLED는 크게 패시브 매트릭스 타입(passive matrix type)과 액티브 매트릭스 타입(active matrix type)으로 나뉘어지는데, 패시브 매트릭스 타입은 신호선을 교차하면서 매트릭스 형태로 소자를 구성하는 반면, 액티브 매트릭스 타입은 화소를 온/오프(on/off)하는 스위칭 소자인 박막트랜지스터가 화소 별로 위치하도록 한다.

[0007] 최근, 패시브 매트릭스 타입은 해상도나 소비전력, 수명 등에 많은 제한적인 요소를 가지고 있어, 고해상도나 대화면을 구현할 수 있는 액티브 매트릭스 타입 OLED의 연구가 활발히 진행되고 있다.

[0008] 도 1은 일반적인 액티브 매트릭스 타입 OLED의 단면을 개략적으로 도시한 도면이다.

[0009] 도시한 바와 같이, OLED(10)는 제 1 기판(1)과, 제 1 기판(1)과 마주하는 제 2 기판(2)으로 구성되며, 제 1 및 제 2 기판(1, 2)은 서로 이격되어 이의 가장자리부를 실패턴(seal pattern : 20)을 통해 봉지되어 합착된다.

[0010] 이를 좀더 자세히 살펴보면, 제 1 기판(1)의 상부에는 각 화소영역 별로 구동 박막트랜지스터(DTr)가 형성되어 있고, 각각의 구동 박막트랜지스터(DTr)와 연결되는 제 1 전극(3)과 제 1 전극(3)의 상부에 특정한 색의 빛을 발광하는 유기발광층(5)과, 유기발광층(5)의 상부에는 제 2 전극(7)이 구성된다.

[0011] 유기발광층(5)은 적, 녹, 청의 색을 표현하게 되는데, 일반적인 방법으로는 각 화소마다 적, 녹, 청색을 발광하는 별도의 유기물질(5a, 5b, 5c)을 패턴하여 사용한다.

[0012] 이들 제 1 및 제 2 전극(3, 7)과 그 사이에 형성된 유기발광층(5)은 유기전계 발광다이오드를 이루게 된다. 이때, 이러한 구조를 갖는 OLED(10)는 제 1 전극(3)을 양극(anode)으로 제 2 전극(7)을 음극(cathode)으로 구성하게 된다.

[0013] 한편, 제 2 기판(2)의 내부면에는 외부의 수분을 차단하는 흡습제(미도시)가 형성된다.

[0014] 한편, OLED(10)의 실패턴(20)은 통상적으로 유기 또는 고분자 재질로 이루어진 실란트로 이루어지고 있으며, 이러한 실란트는 그 내부 분자구조 특성상 분자와 분자 사이의 공극이 물분자가 충분히 이동할 수 있을 정도의 크기가 되고 있다.

- [0015] 따라서 시간이 지남에 따라 외부의 수분이나 가스(gas)와 같은 오염원 셀패턴(20)을 투과하여 OLED(10) 내부로 침투하게 되고, 이렇게 침투한 오염원들이 밀폐된 OLED(10) 내부에 존재할 경우 수분과 산소에 매우 민감한 유기전계발광 다이오드(E)의 특성을 변형시키게 된다.
- [0016] 즉, 외부로부터 침투된 오염원들은 유기전계발광 다이오드(E)의 유기발광층(5)으로 침투하게 되고, 이에, 유기발광층(5)은 오염원에 의해 유기발광층(5)의 발광특성이 저하될 수 있으며 유기발광층(5)의 수명을 단축시키게 된다. 또한, 일부 영역을 오염원이 가림으로써 흑점이 발생하게 된다.
- [0017] 따라서, 최근 대기 중의 수분과 산소로부터 유기전계 발광다이오드(E)를 보호하기 위한 OLED(10)의 인캡슐레이션(encapsulation)에 대한 연구가 활발히 진행되고 있다.

발명의 내용

해결 하고자하는 과제

- [0018] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 내부로 오염원이 침투할 수 없는 유기전계발광소자를 제공하고자 하는 것을 제 1 목적으로 한다.
- [0019] 이를 통해, 휘도 및 화상 특성을 향상시키고자 하는 것을 제 3 목적으로 한다.

과제 해결수단

- [0020] 전술한 바와 같은 목적을 달성하기 위해, 본 발명은 서로 대향하여 형성된 제 1 및 제 2 기판과; 상기 제 1 및 제 2 기판의 서로 마주보는 각 일면의 비표시영역에 형성되는 제 1 및 제 2 금속패턴과; 상기 제 1 및 제 2 금속패턴 사이에 형성되는 금속실패턴을 포함하며, 상기 금속실패턴은 점도성 용매와 금속분자가 혼합되어 이루어지며, 상기 점도성 용매는 10 ~ 50wt%의 함량으로 이루어지는 표시장치를 제공한다.
- [0021] 이때, 상기 금속실패턴은 경화 시, 상기 점도성 용매가 증발하여, 부피가 증발된 상기 점도성 용매에 비례하여 부피가 줄어들며, 상기 금속실패턴은 포인트 도팅 디스펜서 방식을 통해 형성한다.
- [0022] 또한, 상기 점도성 용매는 에폭시(epoxy)계 수지, 페놀(phenol)계 수지, 아크릴(acryl)계 수지, 열 및 광 경화성 수지 중 선택된 하나와 유기 바인더(organic binder)의 조합이며, 상기 금속분자는 인듐(In), 주석(Sn), 아연(Zn), 납(Pb)을 포함하는 저융점의 금속 또는 저융점 금속 합금을 포함한다.
- [0023] 여기서, 상기 금속분자는 은(Ag), 금(Au), 알루미늄(Al), 알루미늄 합금(Al alloy), 구리(Cu), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐(W), 텅스텐, 티타늄(Ti) 또는 탄소나노튜브(carbon nano tube) 중 선택된 하나이며, 상기 제 1 및 제 2 금속패턴은 인듐틴옥사이드(ITO), 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 티타늄(Ti), 네오디뮴(Nd), 또는 이들의 합금으로 형성된다.
- [0024] 또한, 상기 제 1 및 제 2 기판 사이에는 박막트랜지스터와 유기전계발광 다이오드가 형성된다.

[0025]

효 과

- [0026] 위에 상술한 바와 같이, 본 발명에 따라 본 발명의 특징은 점도성 용매와 금속분자가 혼합된 금속실렌트를 통해 제 1 및 제 2 기판을 밀봉함으로써, 제 1 및 제 2 기판의 이격된 사이 공간으로 외부로부터 오염원들이 침투하는 것을 방지할 수 있는 효과가 있다.
- [0027] 또한, 금속실패턴의 점도성 용매의 함량을 10 ~ 50wt%로 늘림으로써, 금속실패턴의 단면적을 점도성 용매의 증발 양에 따라 비례하여 줄일 수 있어, $6000\mu\text{m}^2$ 이하의 단면적을 갖도록 형성해야 하는 소형 OLED에도 금속실패턴을 형성할 수 있는 효과가 있다.
- [0028] 또한, 금속실패턴을 포인트 도팅(point dotting) 디스펜서 방식을 통해 기판 상에 형성함으로써, 금속실렌트의 포인트 도팅의 간격을 통해 조절하여, 원하는 선폭 및 높이를 갖는 금속실패턴을 형성할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0029] 이하, 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.
- [0030] 도 2는 본 발명의 실시예에 따른 OLED를 개략적으로 도시한 단면도이며, 도 3은 도 2의 일부를 확대 도시한 단면도이다.
- [0031] 한편, OLED(100)는 발광된 빛의 투과방향에 따라 상부 발광방식(top emission type)과 하부 발광방식(bottom emission type)으로 나뉘게 되는데, 이하 본 발명에서는 하부 발광방식을 일례로 설명하도록 하겠다.
- [0032] 도시한 바와 같이, 본 발명에 따른 하부발광 방식 유기전계발광소자(100)는 구동 및 스위칭 박막트랜지스터(DTr, 미도시)와 유기전계 발광 다이오드(E)가 형성된 제 1 기판(101)과, 제 1 기판(101)과 마주하며 인캡슐레이션을 위한 제 2 기판(102)으로 구성되며, 제 1 및 제 2 기판(101, 102)은 서로 이격되어 있고, 이의 가장자리부는 금속실패턴(metal seal pattern : 120)을 통해 봉지되어 합착된다.
- [0033] 그리고, 제 2 기판(102)의 내부면에는 외부로부터 침투된 수분을 제거하는 흡습제(117)가 형성된다.
- [0034] 여기서, 제 1 기판(101) 상에는 반도체층(201)이 형성되는데, 반도체층(201)은 실리콘으로 이루어지며 그 중앙부는 채널을 이루는 액티브영역(201a) 그리고 액티브영역(201a) 양측면으로 고농도의 불순물이 도핑된 소스 및 드레인영역(201b, 201c)으로 구성된다.
- [0035] 이러한 반도체층(201) 상부로는 게이트절연막(203)이 형성되어 있다.
- [0036] 게이트절연막(203) 상부로는 반도체층(201)의 액티브영역(201a)에 대응하여 게이트전극(205)과 도면에 나타내지 않았지만 일방향으로 연장하는 게이트배선이 형성되어 있다.
- [0037] 또한, 게이트전극(205)과 게이트배선(미도시) 상부 전면에 제 1 층간절연막(207a)이 형성되어 있으며, 이때 제 1 층간절연막(207a)과 그 하부의 게이트절연막(203)은 액티브영역(201a) 양측면에 위치한 소스 및 드레인영역(201b, 201c)을 각각 노출시키는 제 1, 2 반도체층 콘택홀(209a, 209b)을 구비한다.
- [0038] 다음으로, 제 1, 2 반도체층 콘택홀(209a, 209b)을 포함하는 제 1 층간절연막(207a) 상부로는 서로 이격하며 제 1, 2 반도체층 콘택홀(209a, 209b)을 통해 노출된 소스 및 드레인영역(201b, 201c)과 각각 접촉하는 소스 및 드레인 전극(211, 213)이 형성되어 있다.
- [0039] 그리고, 소스 및 드레인전극(211, 213)과 두 전극(211, 213) 사이로 노출된 제 1 층간절연막(207a) 상부로 드레인전극(213)을 노출시키는 드레인콘택홀(215)을 갖는 제 2 층간절연막(207b)이 형성되어 있다.
- [0040] 이때, 소스 및 드레인 전극(211, 213)과 이들 전극(211, 213)과 접촉하는 소스 및 드레인영역(201b, 201c)을 포함하는 반도체층(201)과 반도체층(201) 상부에 형성된 게이트절연막(203) 및 게이트전극(205)은 구동 박막트랜지스터(DTr)를 이루게 된다.
- [0041] 이때 도면에 나타나지 않았지만, 게이트배선(미도시)과 교차하여 화소영역을 정의하는 데이터배선(미도시)이 형성되어 있다. 그리고, 스위칭 박막트랜지스터(미도시)는 구동 박막트랜지스터(DTr)와 동일한 구조로, 구동 박막트랜지스터(DTr)와 연결된다.
- [0042] 그리고, 스위칭 및 구동 박막트랜지스터(미도시, DTr)는 도면에서는 반도체층(201)이 폴리실리콘 반도체층으로 이루어진 탑 게이트(top gate) 타입을 예로써 보이고 있으며, 이의 변형예로써 순수 및 불순물의 비정질질실리콘으로 이루어진 보텀 게이트(bottom gate) 타입으로 형성될 수도 있다.
- [0043] 또한, 제 2 층간절연막(207b) 상부의 실질적으로 화상을 표시하는 영역에는 유기전계발광 다이오드(E)를 구성하는 제 1 전극(111)과 유기발광층(113) 그리고 제 2 전극(115)이 순차적으로 형성되어 있다.
- [0044] 제 1, 2 전극(111, 115)과 그 사이에 형성된 유기발광층(113)은 유기전계발광 다이오드(E)를 이루게 된다.
- [0045] 제 1 전극(111)은 구동 박막트랜지스터(DTr)의 드레인전극(213)과 연결된다.
- [0046] 이와 같은 경우에, 제 1 전극(111)은 애노드(anode) 전극의 역할을 하도록 일함수 값이 비교적 높은 물질인 인듐-틴-옥사이드(ITO)로 형성하는 것이 바람직하다.
- [0047] 그리고, 제 2 전극(115)은 캐소드(cathode)의 역할을 하기 위해 비교적 일함수 값이 낮은 금속물질인 알루미늄

(Al) 또는 알루미늄합금(AlNd)으로 이루어진다.

[0048] 따라서, 유기발광층(113)에서 발광된 빛은 제 1 전극(111)을 향해 방출되는 하부 발광방식으로 구동된다.

[0049] 그리고, 유기발광층(113)은 발광물질로 이루어진 단일층으로 구성될 수도 있으며, 발광 효율을 높이기 위해 정공주입층(hole injection layer), 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 다중층으로 구성될 수도 있다.

[0050] 이러한 OLED(100)는 선택된 색 신호에 따라 제 1 전극(111)과 제 2 전극(115)으로 소정의 전압이 인가되면, 제 1 전극(111)으로부터 주입된 정공과 제 2 전극(115)으로부터 인가된 전자가 유기발광층(113)으로 수송되어 엑시톤(exciton)을 이루고, 이러한 엑시톤이 여기상태에서 기저상태로 천이 될 때 빛이 발생되어 가시광선의 형태로 방출된다.

[0051] 이때, 발광된 빛은 투명한 제 1 전극(111)을 통과하여 외부로 나가게 되므로, OLED(100)는 임의의 화상을 구현하게 된다.

[0052] 한편, 제 1 전극(111)은 각 화소영역(P)별로 형성되는데, 각 화소영역(P) 별로 형성된 제 1 전극(111) 사이에는 뱅크(bank : 221)가 위치한다.

[0053] 즉, 뱅크(221)는 기판(101) 전체적으로 격자 구조의 매트릭스 타입으로 형성되어, 뱅크(221)를 각 화소영역 별 경계부로 하여 제 1 전극(111)이 화소영역(P) 별로 분리된 구조로 형성되어 있다.

[0054] 특히, 본 발명은 앞서 기술한 바와 같이, 제 1 및 제 2 기판(101, 102)을 합착하는 과정에서, 이의 가장자리부에 형성되는 실패턴(120)을 금속재질을 포함하는 금속실런트(이하, 금속실패턴이라 함)를 사용하는 것을 특징으로 한다.

[0055] 또한, 금속실패턴(120)과 대응되는 제 1 및 제 2 기판(101, 102)에는 제 1 및 제 2 금속패턴(121a, 121b)을 형성한다. 따라서, 제 1 및 제 2 기판(101, 102)은 금속실패턴(120)을 통해 견고하게 합착하게 된다.

[0056] 이에 대해 아래 표(1)을 참조하여 좀더 자세히 살펴보도록 하겠다. 표(1)은 OLED에 실제로 사용되는 실런트의 투습율을 비교한 표이다.

실런트 물질	투습율(g/m^2) at 60℃, 90%, 100mm
유기막 또는 고분자 재질	> 10
금속 계열	> $\sim 10\text{E}-4$

[0058] 표(1)

[0059] 위의 표 1에 기재된 바와 같이, 종래에 실제로 사용되었던 유기막 또는 고분자 재질은 투습율이 금속 재질 보다 높음을 알 수 있다.

[0060] 이에, 본 발명은 유기막 또는 고분자 재질보다 투습율이 현저히 낮은 금속 계열을 사용함으로써, 기존의 유기 또는 고분자 재질로 이루어지는 실런트로 이루어지는 실패턴(도 1의 20)에 비해 강도가 높아, 제 1 및 제 2 기판(101, 102)을 더욱 단단하게 밀봉하게 된다.

[0061] 이를 통해, 제 1 및 제 2 기판(101, 102)의 이격된 사이 공간으로 외부로부터 오염원들이 침투하는 것을 방지할 수 있다.

[0062] 즉, 기존의 실패턴(도 1의 20)은 유기 또는 고분자 재질로 이루어진 실란트로 이루어져, 온도가 가열되거나 장시간 보관함에 따라 외부로부터 수분이나 가스(gas)와 같은 오염원이 제 1 및 제 2 기판(101, 102)의 이격된 사이 공간으로 침투하게 된다.

[0063] 이렇듯 외부로부터 침투된 오염원들은 유기전계발광 다이오드(E)의 유기발광층(113)으로 침투하게 되고, 이에, 유기발광층(113)은 오염원에 의해 유기발광층(113)의 발광특성이 저하될 수 있으며 유기발광층(113)의 수명이 단축된다. 또한, 일부 영역을 오염원이 가림으로써 흑점이 발생하게 된다.

[0064] 또한, 금속실패턴(120)과 대응되는 제 1 및 제 2 기판(101, 102)에는 제 1 및 제 2 금속패턴(121a, 121b)을 형성하는데, 금속실패턴은 그 폭이 제 1 및 제 1 금속패턴(121a, 121b)의 폭보다 좁도록 제 1 금속패턴(121a)과

제 2 금속패턴(121b) 사이에 형성된다.

- [0065] 제 1 및 제 2 금속패턴(121a, 121b)은 금속실패턴(120)의 계면 특성을 향상시키기 위한 것으로, 금속실패턴(120)과 제 1 및 제 2 기관(101, 102)의 접촉력을 향상시키는 역할을 하게 된다.
- [0066] 제 1 금속패턴(121a)은 스위칭 및 구동 박막트랜지스터(미도시, DTr) 형성시 사용되는 재료로 형성되거나, 별도의 금속물질의 단층 또는 여러 금속들의 조합으로 형성될 수 있다.
- [0067] 즉, 제 1 금속패턴(121a)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 티타늄(Ti), 네오디뮴(Nd), 또는 AlNd와 같은 이들의 합금을 들 수 있다.
- [0068] 제 2 금속패턴(121b) 또한 스위칭 및 구동 박막트랜지스터(미도시, DTr) 형성시 사용되는 도전 재료로 형성되거나, 듀얼 타입일 경우에는 유기전계발광 다이오드(E) 형성시에 사용되는 도전 재료로 형성되거나, 별도의 금속물질의 단층 또는 여러 금속들의 조합으로 형성될 수 있다.
- [0069] 제 1 금속패턴(121a)을 스위칭 및 구동 박막트랜지스터(미도시, DTr) 형성시 사용되는 재료로 형성하거나, 제 2 금속패턴(121b)을 유기전계발광 다이오드(E) 형성시 사용되는 재료로 형성할 경우 제 1 및 제 2 금속패턴(121a, 121b)을 형성하기 위한 별도의 공정을 수행하지 않아도 되므로 공정을 간소화시킬 수 있다.
- [0070] 제 1 및 제 2 금속패턴(121a, 121b)은 금속실패턴(120)의 계면 특성을 향상시켜, 접촉력 좋게 하고 금속실패턴(120)이 균일하게 분포되도록 한다.
- [0071] 즉, 금속실패턴(120)을 제 1 및 제 2 기관(101, 102) 상에 직접 도포한다면 금속실패턴(120)이 균일하게 분포하지 않고 뭉치게 되는 문제점을 야기할 수 있다.
- [0072] 이렇듯, 본 발명은 실패턴을 점도성 용매와 금속분자가 혼합된 금속실패턴(120)을 사용하고, 금속실패턴(120)과 기관들(101, 102) 사이에 제 1 및 제 2 금속패턴(121a, 121b)을 형성함으로써, 외부로부터 수분이나 가스(gas)와 같은 오염원이 제 1 및 제 2 기관(101, 102)의 이격된 사이 공간으로 침투하는 것을 방지할 수 있다.
- [0073] 이를 통해, 유기전계발광 다이오드(E)의 열화를 방지하고 OLED(100)의 수명을 연장할 수 있다. 또한, 제 1 및 제 2 기관(101, 102)을 견고히 합착시켜 합착 후에 발생하는 불량률을 저하함으로써 제반 경비 및 재료비 손실을 감소시키고 생산수율을 향상시킨다.
- [0074] 한편, 전술한 바와 같이 금속실패턴(120)은 점도성 용매(solvent)와 금속분자가 혼합되어 이루어지는데, 이에 대해 좀더 자세히 살펴보도록 하겠다.
- [0075] 점도성 용매로는 에폭시(epoxy)계 수지, 페놀(phenol)계 수지, 아크릴(acryl)계 수지, 열 및 광 경화성 수지와 유기 바인더(organic binder)의 조합으로 이루어질 수 있다.
- [0076] 그리고, 금속분자는 저융점의 금속(인듐(In), 주석(Sn), 아연(Zn), 납(Pb) 또는 우수한 전기전도도와 열전도도를 갖는 은(Ag), 금(Au), 알루미늄(Al), 알루미늄 합금(Al alloy), 구리(Cu), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐(W), 텅스텐, 티타늄(Ti) 또는 탄소나노튜브(carbon nano tube) 등으로 이루어질 수 있으며, 또는 400℃ 이하의 융점을 갖는 모든 금속이 사용될 수 있다.
- [0077] 특히, 즉, 본 발명의 금속실패턴(120)에 혼합되는 금속분자를 저융점의 금속을 사용함으로써, 제 1 및 제 2 기관(101, 102)의 합착시 낮은 온도로 금속실패턴(120)을 경화시킬 수 있어, 제 1 및 제 2 기관(101, 102) 사이에 형성된 스위칭 및 구동 박막트랜지스터(미도시, DTr), 유기전계발광 다이오드(E)에 영향을 끼치지 않도록 하는 것이 바람직하다.
- [0078] 한편, 이러한 금속실패턴(120)은 디스펜서 방식(dispenser method) 또는 스크린 프린팅 방식(screen printing method)을 통해 제 1 및 제 2 기관(101, 102) 중 선택된 하나의 기관 상에 금속실린트를 도포함으로써 형성하는데, 이때, 금속실패턴(120)은 10% 이하의 점도성 용매로 이루어져 점도가 매우 높아, 디스펜서 또는 프린팅 방식 시의 금속실린트 토출량을 제어하는 공정 조건을 확보하기 매우 어려운 실정이다.
- [0079] 따라서, 실제 형성하고자 하는 금속실린트(120)의 높이에 비해 금속실린트(120)를 과도포한 뒤 경화시키는 과정에서 금속실린트 내부의 점도성 용매를 증발시켜 금속실패턴(120)을 형성하게 된다.
- [0080] 그러나, 이러한 금속실패턴(120)은 공정 기준의 높이를 갖는 금속실패턴(120)을 형성하기에 매우 어려운 실정이다.
- [0081] 즉, 일예로 금속실패턴(120)을 20 ~ 40 μ m로 형성하고자 하면, 실제 기관(101, 102) 상에는 50 ~ 100 μ m의 높이를

갖는 금속실패턴(120)이 형성된다.

- [0082] 한편, 이러한 금속실패턴(120)은 높이뿐만 아니라 선폭도 매우 중요하여, 금속실패턴(120)을 단면적(높이(h1) * 선폭(w2))을 통해 정의할 수 있는데, 첨부한 도 4는 금속실패턴(120)의 높이(h1) 및 선폭(w2)을 나타낸 사진으로, 금속실패턴(120)은 $20000\mu\text{m}^2$ ($55\mu\text{m} * 435\mu\text{m}$)이하의 단면적을 가지며, 이러한 단면적은 현 공정상으로 형성할 수 있는 가장 작은 단면적이다.
- [0083] 즉, 이러한 금속실패턴(120) 형성 공정은 금속실패턴(120)이 차지하는 단면적이 작아질수록 공정 조건을 확보하기 어려워, $10000\mu\text{m}^2$ 이하의 단면적으로 네로우 셀(narrow seal)의 금속실패턴(120)을 형성하기 매우 어려운 실정이다.
- [0084] 그러나, 최근 소비자는 경량 및 박형 그리고 소형화되어 가는 표시장치를 요구함에 따라, 제 1 및 제 2 기판(101, 102) 사이의 셀갭이 $4 \sim 5\mu\text{m}$ 이하로 형성되는 소형 OLED에 대한 수요도 급증하기 있는데, 이러한 소형 OLED에서는 금속실패턴(120)의 단면적이 $6000\mu\text{m}^2$ 이하로 구성되어야 한다.
- [0085] 이에, 본 발명의 점도성 용매와 금속분자가 혼합된 금속실패턴(120)의 점도성 용매가 10 ~ 50wt%의 함량을 갖도록 형성하는 것을 특징으로 한다.
- [0086] 이렇게, 금속실패턴(120)의 점도성 용매의 함량이 10 ~ 50wt% 으로 이루어지도록 하면, 금속실린트를 경화시키는 과정에서, 금속실린트 내에 함유된 점도성 용매를 모두 증발시킴으로써, 금속실린트의 부피를 1/2 이하로 줄어든도록 함으로써, 금속실패턴(120)을 형성할 수 있다.
- [0087] 도 5는 경화에 의해 금속실린트(123)의 부피가 줄어든 모습을 나타낸 사진으로, 금속실린트(123)는 경화에 의해 실제 기판(101, 102) 상에 토출된 금속실린트(123a)의 부피에 비해 현저하게 줄어드는 것을 확인할 수 있다.
- [0088] 이렇게, 금속실린트(123)의 부피를 줄임으로써, $10000\mu\text{m}^2$ 이하의 단면적으로 금속실패턴(120)을 형성하기는 어려워, $6000\mu\text{m}^2$ 이하의 단면적을 갖도록 형성해야 하는 소형 OLED에 금속실패턴을 형성할 수 있다.
- [0089] 즉, 금속실패턴(120)은 $10000\mu\text{m}^2$ 이하의 단면적을 갖도록 형성하기 어려우나, 본 발명의 금속실패턴(120)은 10 ~ 50wt%의 점도성 용매를 증발시킴으로써, 금속실패턴(120)의 부피를 증발된 점도성 용매에 비례하여 줄이는 것이다.
- [0090] 따라서, 금속실패턴(120)의 10 ~ 50wt%의 점도성 용매를 포함하고 있다면, $6000\mu\text{m}^2$ 이하의 단면적을 형성하고자 하면, 기판(101, 102) 상에 $12000\mu\text{m}^2$ 이하의 단면적을 갖는 금속실패턴(120)을 형성하면 되는 것이다.
- [0091] 이에 대해 좀더 자세히 살펴보면, 제 1 및 제 2 기판(101, 102) 사이의 셀갭이 $4\mu\text{m}$ 로 형성되는 소형 OLED를 형성하는 과정에서, 금속실패턴(120)이 차지하는 단면적을 $6000\mu\text{m}^2$ 가 되도록 하기 위해서는, 금속실린트(123)를 $8\mu\text{m}$ 의 높이와 $15000\mu\text{m}$ 의 선폭을 갖도록 형성하는 것이다.
- [0092] 즉, 기판(101, 102) 상에 형성되는 금속실린트(123)는 $12000\mu\text{m}^2$ 의 단면적을 갖도록 형성하는 것이다.
- [0093] 이렇게, $12000\mu\text{m}^2$ 의 단면적을 갖도록 형성된 금속실린트(123)는 경화공정 시, 점도성 용매가 모두 증발되어, 금속실린트(123)의 높이(h2)와 선폭(w2)에 의한 단면적이 $6000\mu\text{m}^2$ 을 갖는 금속실패턴(120)을 형성하게 되는 것이다.
- [0094] 전술한 바와 같이, 금속실패턴(120)의 점도성 용매의 함량을 10 ~ 50wt%으로 늘림으로써, 금속실패턴(120)의 단면적을 점도성 용매의 증발 양에 따라 비례하여 줄일 수 있어, $10000\mu\text{m}^2$ 이하의 단면적으로 금속실패턴(120)을 형성하기는 어려워, $6000\mu\text{m}^2$ 이하의 단면적을 갖도록 형성해야 하는 소형 OLED에도 금속실패턴(120)을 형성할 수 있다.
- [0095] 한편, 앞서 전술한 바와 같이 금속실패턴(120)은 디스펜서 방식(dispenser method)을 통해 기판(101, 102) 상에 금속실린트(123)를 토출하고 경화시킴으로써 형성하는데, 이때 도 6a에 도시한 바와 같이 포인트 도팅(point dotting) 디스펜서 방식을 이용하는 것을 특징으로 한다.

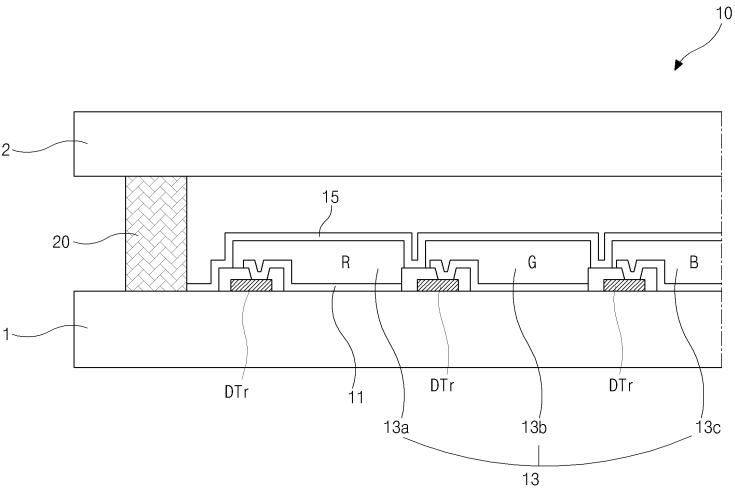
- [0096] 여기서, 디스펜서 방식은 주사기와 같은 원리를 이용하는 것으로 즉, 디스펜서 내부에 금속실린트(123)를 채우고 소정의 압력으로 원하는 선폭(도 5의 w2) 및 높이(도 5의 h2)를 갖도록 기관(101, 102) 상의 실패턴 형성영역(D)에 포인트 도팅(point dotting)방식으로 적하하는 것이다.
- [0097] 이러한, 포인트 도팅(point dotting) 디스펜서 방식은 원하는 위치에만 선택적으로 금속실린트(123)를 토출할 수 있어, 디스펜서의 금속실린트 토출량을 제어하기 어려워도, 도 6b에 도시한 바와 같이 원하는 선폭(도 5의 w2) 및 높이(도 5의 h2)를 갖는 금속실패턴(120)을 형성할 수 있다.
- [0098] 즉, 디스펜서의 금속실린트의 토출량을 제어하지 않더라도, 금속실린트(123)의 포인트 도팅의 간격을 통해 조절할 수 있기 때문이다.
- [0099] 전술한 바와 같이, 본 발명은 금속실린트(123)를 통해 기관(101, 102)들을 밀봉함으로써, 기존의 유기 또는 고분자 재질로 이루어지는 실린트로 이루어지는 실패턴에 비해 강도가 높아, 제 1 및 제 2 기관(101, 102)을 더욱 단단하게 밀봉하게 된다.
- [0100] 이를 통해, 제 1 및 제 2 기관(101, 102)의 이격된 사이 공간으로 외부로부터 오염원들이 침투하는 것을 방지할 수 있다.
- [0101] 또한, 금속실패턴(120)의 점도성 용매의 함량을 10 ~ 50wt%으로 늘림으로써, 금속실패턴(120)의 단면적을 점도성 용매의 증발 양에 따라 비례하여 줄일 수 있어, $10000\mu\text{m}^2$ 이하의 단면적으로 금속실패턴(120)을 형성하기는 어려워, $6000\mu\text{m}^2$ 이하의 단면적을 갖도록 형성해야 하는 소형 OLED에도 금속실패턴(120)을 형성할 수 있다.
- [0102] 또한, 금속실패턴(120)을 포인트 도팅(point dotting) 디스펜서 방식을 통해 기관(101, 102) 상에 형성함으로써, 금속실린트(123)의 포인트 도팅의 간격을 통해 조절하여, 원하는 선폭 및 높이를 갖는 금속실패턴(120)을 형성할 수 있다.
- [0103] 한편, 지금까지의 상세한 설명 및 도면에서는 OLED(도 3의 100)를 일예로 설명하였으나, 본 발명의 점도성 용매와 금속분자로 이루어지며, 점도성 용매가 10 ~ 50wt%의 함량으로 이루어지며, 포인트 도팅 디스펜서 방식을 통해 형성하는 금속실패턴(120)은 셀패턴을 포함하는 어떠한 표시장치에도 모두 사용할 수 있다.
- [0104] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도내에서 다양하게 변경하여 실시할 수 있다.

도면의 간단한 설명

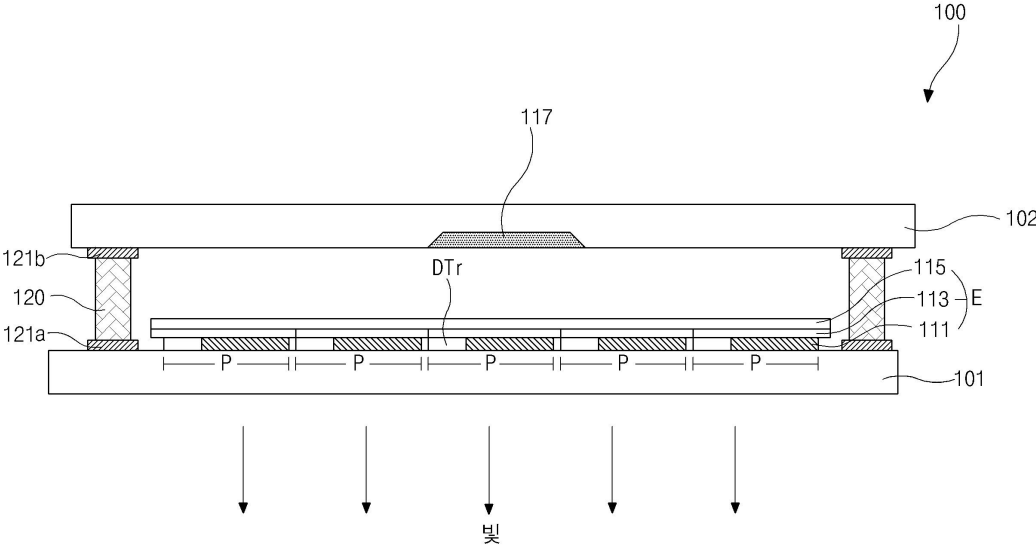
- [0105] 도 1은 일반적인 액티브 매트릭스형 OLED의 단면을 개략적으로 도시한 도면.
- [0106] 도 2는 본 발명의 실시예에 따른 OLED를 개략적으로 도시한 단면도.
- [0107] 도 3은 도 2의 일부를 확대 도시한 단면도.
- [0108] 도 4는 금속실패턴의 높이 및 선폭을 나타낸 사진.
- [0109] 도 5는 경화에 의해 금속실패턴의 부피가 줄어든 모습을 나타낸 사진.
- [0110] 도 6a ~ 6b는 포인트 도팅 디스펜서 방식을 통해 금속실패턴을 형성하는 모습을 개략적으로 도시한 도면.

도면

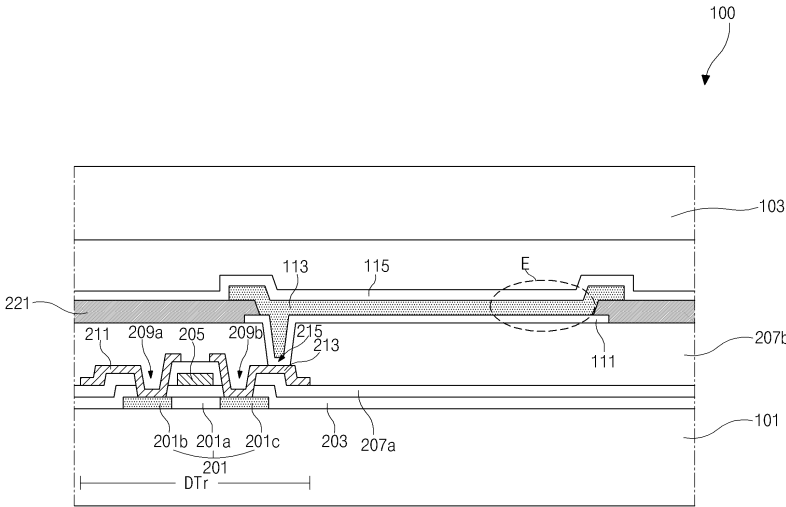
도면1



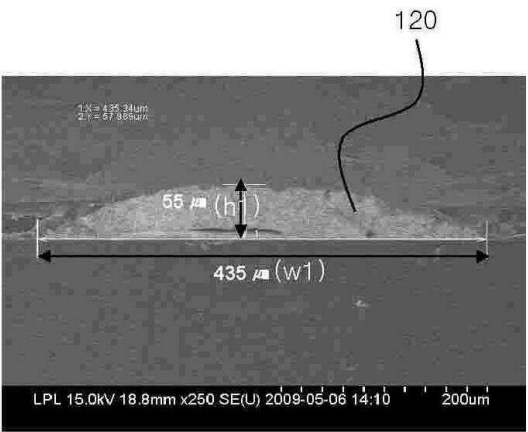
도면2



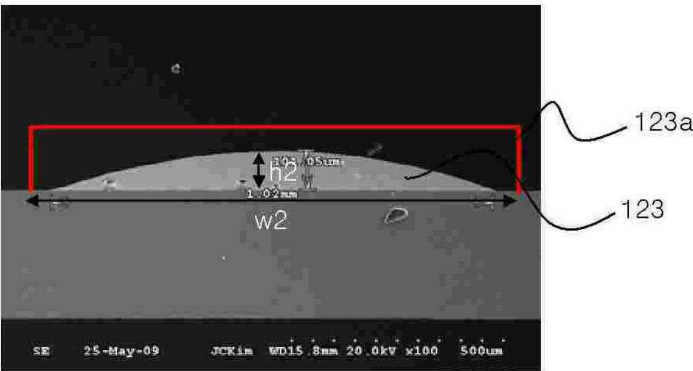
도면3



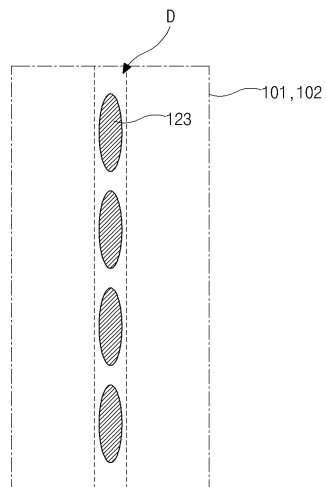
도면4



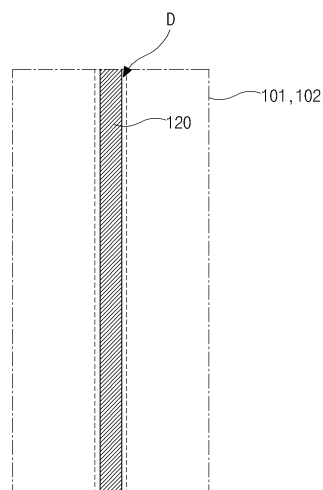
도면5



도면6a



도면6b



专利名称(译)	标题：制造有机电致发光器件的方法		
公开(公告)号	KR101621300B1	公开(公告)日	2016-05-17
申请号	KR1020090087568	申请日	2009-09-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MIN SU 김민수 OH SEOK JOON 오석준		
发明人	김민수 오석준		
IPC分类号	H01L51/52 H05B33/04		
CPC分类号	H01L27/3244 H01L51/5237 H05B33/04		
其他公开文献	KR1020110029753A		
外部链接	Espacenet		

摘要(译)

有机电致发光器件的封装技术领域本发明涉及有机电致发光器件，更具体地涉及有机电致发光器件的封装。本发明的一个特征是通过金属密封剂密封第一和第二基板，其中粘性溶剂和金属分子混合在一起以防止污染物渗透到第一和第二基板的间隔空间中那里。此外，通过将金属密封图案中的粘性溶剂的含量增加至10至50wt%，金属密封图案的横截面积增加至2。即使在横截面积为6000 μm 或更小的小尺寸OLED中也可以形成金属密封图案。此外，通过点点分配器方法在基板上形成金属密封图案，可以通过调节金属密封剂的指向点之间的距离来形成具有所需线宽和高度的金属密封图案。

