



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월16일
(11) 등록번호 10-1065413
(24) 등록일자 2011년09월08일

(51) Int. Cl.

H01L 51/52 (2006.01) H05B 33/02 (2006.01)

(21) 출원번호 10-2009-0060851

(22) 출원일자 2009년07월03일

심사청구일자 2009년07월03일

(65) 공개번호 10-2011-0003201

(43) 공개일자 2011년01월11일

(56) 선행기술조사문헌

JP2008165170 A

JP2006216539 A

KR100601370 B1

KR1020060028251 A

전체 청구항 수 : 총 28 항

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

김성호

경기도 용인시 기흥구 농서동 산 24번지

이일정

경기도 용인시 기흥구 농서동 산 24번지

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

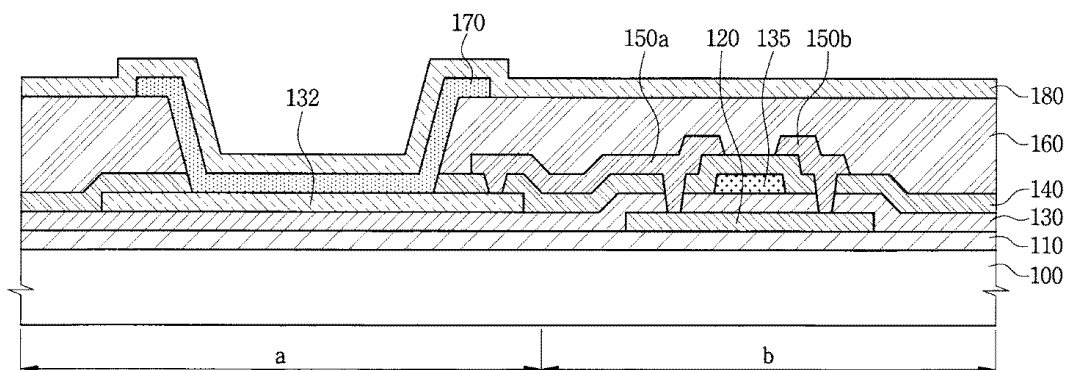
심사관 : 김홍섭

(54) 유기전계발광표시장치 및 그의 제조방법

(57) 요약

본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것으로서, 더 상세하게는 발광영역과 비발광영역을 포함하는 기관; 상기 기관 상에 위치하는 버퍼층; 상기 버퍼층 상의 비발광영역에 위치하는 반도체층; 상기 기관 전면면에 걸쳐 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하며, 상기 발광영역 상에 위치하는 제 1 전극; 상기 게이트 절연막 상에 위치하며, 상기 비발광영역 상에 위치하는 게이트 전극; 상기 기관 전면면에 걸쳐 위치하며, 상기 제 1 전극의 일부를 개구시키는 층간 절연막; 상기 층간 절연막 상에 위치하며, 상기 반도체층 및 상기 제 1 전극과 전기적으로 연결되는 소오스/드레인 전극; 상기 기관 전면면에 위치하며, 상기 제 1 전극의 일부를 개구시키는 보호막; 상기 제 1 전극 상에 위치하는 유기막; 및 상기 기관 전면면에 걸쳐 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치 및 그의 제조방법에 관한 것이다.

대표도



(72) 발명자

권도현

경기도 용인시 기흥구 농서동 산 24번지

임충열

경기도 용인시 기흥구 농서동 산 24번지

정희성

경기도 용인시 기흥구 농서동 산 24번지

이수미

경기도 용인시 기흥구 농서동 산 24번지

특허청구의 범위

청구항 1

발광영역과 비발광영역을 포함하는 기판;

상기 기판 상에 위치하는 버퍼층;

상기 버퍼층 상의 비발광영역에 위치하는 반도체층;

상기 기판 전면에 걸쳐 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 발광영역 상에 위치하는 제 1 전극;

상기 게이트 절연막 상에 위치하며, 상기 비발광영역 상에 위치하는 게이트 전극;

상기 기판 전면에 위치하며, 상기 제 1 전극의 일부를 개구시키는 층간 절연막;

상기 층간 절연막 상에 위치하며, 상기 반도체층 및 상기 제 1 전극과 전기적으로 연결되는 소오스/드레인 전극;

상기 기판 전면에 걸쳐 위치하며, 상기 제 1 전극의 일부를 개구시키는 보호막;

상기 제 1 전극 상에 위치하는 유기막; 및

상기 기판 전면에 걸쳐 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제 1항에 있어서,

상기 제 1 전극은 TCO 계열 물질로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 절연막은 실리콘 산화막 및 실리콘 질화막을 포함하는 다층막인 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제 3 항에 있어서,

상기 게이트 절연막은 실리콘 산화막, 실리콘 질화막, 실리콘 산화막의 순으로 적층된 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 4 항에 있어서,

상기 실리콘 산화막 및 실리콘 질화막의 두께는 각각 300 내지 500Å인 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제 1 항에 있어서,

상기 버퍼층은 하나 또는 복수개의 층으로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제 1 항에 있어서,

상기 버퍼층은 실리콘 산화막, 실리콘 질화막, TiO_2 , HfO_2 , Al_2O_3 , HfO_2 , SiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 , AZO 중 어느 하나를 포함할 수 있는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

발광영역과 비발광영역을 포함하는 기판;

상기 기판 상에 위치하는 버퍼층;

상기 버퍼층 상의 비발광영역에 위치하는 반도체층;

상기 기판 전면에 걸쳐 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 발광영역 상에 위치하는 제 1 전극;

상기 게이트 절연막 상에 위치하며, 상기 비발광영역 상에 위치하는 게이트 전극;

상기 기판 전면에 걸쳐 위치하며, 상기 제 1 전극의 일부를 개구시키는 층간 절연막;

상기 층간 절연막 상에 위치하며, 상기 반도체층 및 상기 제 1 전극과 전기적으로 연결되는 소오스/드레인 전극;

상기 기판 전면에 위치하며, 상기 제 1 전극의 일부를 개구시키는 보호막;

상기 제 1 전극 상에 위치하는 유기막; 및

상기 기판 전면에 걸쳐 위치하는 제 2 전극을 포함하며, 상기 제 1 전극과 상기 소오스/드레인 전극 사이에는 콘택층을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제 8항에 있어서,

상기 제 1 전극은 TCO 계열의 물질로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제 8 항에 있어서,

상기 게이트 절연막은 실리콘 산화막 및 실리콘 질화막을 포함하는 다층막인 것을 특징으로 하는 유기전계발광표시장치.

청구항 11

제 10 항에 있어서,

상기 게이트 절연막은 실리콘 산화막, 실리콘 질화막, 실리콘 산화막의 순으로 적층된 것을 특징으로 하는 유기전계발광표시장치.

청구항 12

제 11 항에 있어서,

상기 실리콘 산화막 및 실리콘 질화막의 두께는 각각 300 내지 500Å인 것을 특징으로 하는 유기전계발광표시장치.

청구항 13

제 8 항에 있어서,

상기 버퍼층은 하나 또는 복수개의 층으로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 14

제 8 항에 있어서,

상기 버퍼층은 실리콘 산화막, 실리콘 질화막, TiO_2 , HfO_2 , Al_2O_3 , HfO_2 , SiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 , AZO 중 어느 하나를 포함할 수 있는 것을 특징으로 하는 유기전계발광표시장치.

청구항 15

제 8 항에 있어서,

상기 게이트 전극과 상기 콘택층은 동일한 물질로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 16

발광영역과 비발광영역을 포함하는 기판을 제공하고,

상기 기판 상에 버퍼층을 형성하고,

상기 버퍼층의 비발광영역 상에 반도체층을 형성하고,

상기 기판 전면에 걸쳐 게이트 절연막을 형성하고,

상기 반도체층에 대응되도록 게이트 전극을 형성하고,

상기 게이트 절연막 상의 상기 발광영역 상에 위치하는 제 1 전극을 형성하고,

상기 반도체층 및 상기 제 1 전극과 전기적으로 연결되고 상기 게이트 전극과 절연되는 소스/드레인 전극을 형성하고,

제 1 전극을 개구시키며 기판 전면에 걸쳐 위치하는 보호막을 형성하고,

상기 제 1 전극 상에 유기막을 형성하고,

상기 기판 전면에 걸쳐 제 2 전극을 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 17

제 16항에 있어서,

상기 소스/드레인 전극과 상기 게이트 전극 사이에는 중간절연막이 형성되어 있는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 18

제 16항에 있어서,

상기 게이트 절연막은 실리콘산화막 및 실리콘 질화막을 적층하여 다층막으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 19

제18항에 있어서,

상기 게이트 절연막은 상기 실리콘 산화막, 실리콘 질화막, 실리콘 산화막 순으로 적층하여 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 20

제 18항에 있어서,

상기 실리콘 산화막 및 실리콘 질화막은 각각 300 내지 500Å으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 21

제 18항에 있어서,

상기 제 1 전극은 TCO 계열의 물질로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 22

발광영역과 비발광영역을 포함하는 기판;
 상기 기판 상에 위치하는 버퍼층;
 상기 버퍼층 상에 위치하는 게이트 전극;
 상기 기판 전면에 걸쳐 위치하는 게이트 절연막;
 상기 게이트 절연막 상의 비발광영역에 위치하며, 상기 게이트 전극에 대응되는 반도체층;
 상기 게이트 절연막 상에 위치하며, 상기 발광영역 상에 위치하는 제 1 전극;
 상기 비발광영역 상에 위치하며, 상기 반도체층 및 상기 제 1 전극과 전기적으로 연결되는 소오스/드레인 전극;
 상기 기판 전면에 걸쳐 위치하며, 상기 제 1 전극의 일부를 개구시키는 보호막;
 상기 제 1 전극 상에 위치하는 유기막; 및
 상기 기판 전면에 걸쳐 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 23

제 22항에 있어서,
 상기 제 1 전극은 TCO 계열 물질로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 24

제 22 항에 있어서,
 상기 게이트 절연막은 실리콘 산화막 및 실리콘 질화막을 포함하는 다층막인 것을 특징으로 하는 유기전계발광표시장치.

청구항 25

제 24 항에 있어서,
 상기 게이트 절연막은 실리콘 산화막, 실리콘 질화막, 실리콘 산화막의 순으로 적층된 것을 특징으로 하는 유기전계발광표시장치.

청구항 26

제 25 항에 있어서,
 상기 실리콘 산화막 및 실리콘 질화막의 두께는 각각 300 내지 500 Å인 것을 특징으로 하는 유기전계발광표시장치.

청구항 27

제 22 항에 있어서,
 상기 버퍼층은 하나 또는 복수개의 층으로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 28

제 22 항에 있어서,
 상기 버퍼층은 실리콘 산화막, 실리콘 질화막, TiO_2 , HfO_2 , Al_2O_3 , HfO_2 , SiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 , AZO 중 어느 하나를 포함할 수 있는 것을 특징으로 하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것으로, 배면발광시 유기막에 의해 투과도가 저하되고, 단차에 의한 불량방지를 해결할 수 있는 최적화된 유기막을 구비하는 유기전계발광표시장치 및 그의 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로, 유기전계발광표시장치는 전자(electron) 주입 전극(cathode)과 정공(hole) 주입 전극(anode)으로부터 각각 전자(electron)와 정공(hole)을 발광층 내부로 주입시켜, 주입된 전자(electron)와 정공(hole)이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저 상태로 떨어질 때 발광하는 발광 표시 장치이다.

[0003] 이러한 원리로 인해 종래의 액정 박막 표시 소자와는 달리 별도의 광원을 필요로 하지 않으므로 소자의 부피와 무게를 줄일 수 있는 장점이 있다.

[0004] 상기 유기전계발광표시장치를 구동하는 방식은 수동 매트릭스 방식(passive matrix type)과 능동 매트릭스 방식(activematrix type)으로 나눌 수 있다.

[0005] 상기 수동 매트릭스 방식 유기전계발광표시장치는 그 구성이 단순하여 제조 방법 또한 단순하나 높은 소비 전력과 표시 소자의 대면적화에 어려움이 있으며, 배선의 수가 증가하면 할수록 개구율이 저하되는 단점이 있다.

[0006] 또한, 유기전계발광표시장치는 유기발광층으로부터 발생된 광이 방출되는 방향에 따라 배면발광구조와 전면발광구조로 나눌 수 있는데, 배면발광구조는 형성된 기관쪽으로 광이 방출되는 것으로서 상부전극으로 반사전극이나 반사막이 형성되고 하부전극으로 투명전극이 형성된다. 여기서, 유기전계발광표시장치가 박막트랜지스터가 형성되는 능동 매트릭스 방식을 채택할 경우에 박막트랜지스터가 형성된 부분은 광이 투과하지 못하게 되므로 빛이 나올 수 있는 면적이 줄어들 수 있다. 이와 달리, 전면발광구조는 상부전극으로 투명전극이 형성되고 하부전극으로 반사전극이나 반사막이 형성됨으로써 광이 기관쪽과 반대되는 방향으로 방출되어 지므로 빛이 투과하는 면적이 넓어지므로 휘도가 향상될 수 있다. 현재는 하나의 기관 상에 전면발광과 배면발광을 동시에 구현할 수 있는 양면 발광 유기전계발광표시장치가 주목받고 있다.

[0007] 그러나, 종래의 유기전계발광표시장치는 전면발광 영역으로 사용될 때는 문제가 없으나, 배면발광 영역으로 사용될 때는 유기막에 의한 투과도 저하로 고품위의 화질을 구현하기 어려웠다. 또한, 발광부의 유기막을 모두 제거할 시 단차가 생겨 박막인 하부 전극, 유기막, 상부전극을 적층시 단차 피복성(step coverage)이 좋지 못하여 압점 등의 불량을 유발할 수 있다. 그러므로 불량을 방지하고, 투과도를 개선할 수 있는 유기막의 형성이 요구되어진다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것으로, 배면 또는 양면발광시 유기막에 의해 투과도가 저하되고, 단차에 의한 불량방지를 해결할 수 있는 최적화된 유기막을 구비하는 유기전계발광표시장치 및 그의 제조방법을 제공하는데 목적이 있다.

과제 해결수단

[0009] 본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것으로서, 더 상세하게는 발광영역과 비발광영역을 포함하는 기관; 상기 기관 상에 위치하는 버퍼층; 상기 버퍼층 상의 비발광영역에 위치하는 반도체층; 상기 기관 전면에 걸쳐 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하며, 발광영역 상에 위치하는 제 1 전극; 상기 게이트 절연막 상에 위치하며, 비발광영역 상에 위치하는 게이트 전극; 상기 게이트 전극 상에 위치하며, 상기 제 1 전극의 일부를 개구시키는 층간 절연막; 상기 층간 절연막 상에 위치하며, 상기 반도체층 및 상기 제 1 전극과 전기적으로 연결되는 소오스/드레인 전극; 상기 기관 전면에 위치하며, 상기 제 1 전극의 일부를 개구시키는 보호막; 상기 제 1 전극 상에 위치하는 유기막; 및 상기 기관 전면에 걸쳐 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치 및 그의 제조방법을 제공한다..

효과

[0010] 본 발명은 발광부의 유기막을 최적화한 유기전계발광표시장치 및 그의 제조방법을 제공함으로써, 배면 도는 양면발광시 발광면에 위치하는 유기막들에 의해 빛의 투과도가 저하되는 단점과, 유기막 제거시 단차에 의한 불량을 해결함으로써, 특성이 개선된 유기전계발광표시장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0011] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시 예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다.

[0012] 또는 기판 “상”에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소를 나타낸다.

[0013] (제1 실시예)

[0014] 도 1a 내지 도 1g는 본 발명의 제 1 실시예에 따른 유기전계발광표시장치에 따른 도면이다.

[0015] 도 1a를 참조하면, 화소영역(a) 및 비화소영역(b)를 구비하는 기판(100)을 제공한다. 그리고 나서, 상기 기판(100) 상에 버퍼층(110)을 형성한다. 상기 기판(100)은 플라스틱 또는 유리 등으로 형성된 투명기판이며, 상기 버퍼층(110)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하는 역할을 하며, 단층막 또는 다층막으로 형성할 수 있다. 상기 버퍼층(110)은 실리콘 산화막 또는 실리콘 질화막과 같은 산화막 또는 질화막을 이용하여 형성하며, TiO_2 , HfO_2 , Al_2O_3 , HfO_2 , SiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 , AZO 등의 물질도 포함할 수 있고, 하나 또는 다수개의 층으로 형성할 수 있다.

[0016] 이어서, 도 1b를 참조하면, 상기 버퍼층(110) 상에 비화소영역(b)에 위치하는 반도체층(120)을 형성한다. 상기 반도체층(120)은 비정질 실리콘으로 형성하고, 상기 비정질 실리콘층을 결정화하여 다결정 또는 단결정 실리콘을 형성한 후, 패터닝하여 반도체층(120)으로 형성한다. 이때 상기 비정질 실리콘은 화학적 기상 증착법(Cheical VaporDeposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)을 이용할 수 있다. 또한 상기 비정질 실리콘을 형성할 때 또는 형성한 후에 탈수소처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다. 여기서는 실리콘층으로 반도체층을 형성하는 것을 설명하였으나, 상기 반도체층(120)은 산화물 반도체층으로도 형성가능하다.

[0017] 그리고 나서, 상기 반도체층(120)이 형성된 기판 전면에 게이트 절연막(130)을 형성한다. 상기 게이트 절연막(130)은 한 개 또는 다층구조로 형성할 수 있으며, 실리콘 산화막 또는 실리콘 질화막을 이용하여 형성하며, TiO_2 , HfO_2 , Al_2O_3 , $HfSiO_x$, Ta_2O_5 , Nb_2O_5 등의 물질도 포함할 수 있다.

[0018] 바람직하게 상기 게이트 절연막(130)은 실리콘산화막, 실리콘 질화막, 실리콘 산화막의 순으로 적층하여 형성하며, 실리콘 산화막 및 실리콘 질화막 각각을 300 내지 500 Å으로 형성할 수 있다. 그 이유는 배면발광 소자에서 빛 발광시 공진효과를 최대화하여 효율 및 색재현을 증가에 효과가 있기 때문이다.

[0019] 계속해서, 도 1c를 참조하면, 상기 전면에 형성된 게이트 절연막(130) 상에 화소영역(a) 상에는 제 1전극(132)을 형성하고, 비화소영역(b) 상에는 상기 반도체층(120)에 대응되도록 게이트 전극(135)을 형성한다. 이때, 상기 제 1 전극(132)과 상기 게이트 전극(135)는 동시에 형성할 수 있다.

[0020] 그리고, 상기 제 1 전극(132)은 투명전도막인 ITO 계열과 IZO, AZO, GZO 등의 ZnO 계열의 TCO로 형성하며, 두께는 300 내지 500Å으로 형성한다.

[0021] 그리고, 상기 게이트 전극(135)은 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다층층을 게이트 전극용 금속층(도시안됨)을 형성하고, 사진 식각공정으로 상기 게이트 전극용 금속층을 식각하여 상기 게이트 전극(150)을 형성한다.

[0022] 상기 게이트 전극(150)은 2중막(미도시)으로도 형성이 가능한데, 하부는 ITO, IZO, AZO, GZO 등의 투명 전도막으로 형성하고, 상부는 Al, Al-Nd, Cr, Mo 으로 형성할 수 있으며, 상기 하부의 ITO, IZO, AZO, GZO 등의 투명 전도막은 상기 제 1 전극(132)과 동시에 형성가능하다.

- [0023] 이후, 도 1d를 참조하여, 상기 기판 전면에 걸쳐 층간절연막(140)을 형성하고, 상기 반도체층(120) 및 제 1 전극(132)의 일부를 노출시키며 소스/드레인 전극과 연결되는 콘택홀(140a, 140b, 140c)를 형성한다.
- [0024] 그리고 나서, 도 1e를 참조하면, 상기 층간절연막(140) 상에 상기 콘택홀(140a, 140b, 140c)를 통하여 반도체층(120) 및 제 1 전극(132)과 연결되는 소스/드레인 전극(150a, 150b)를 형성한다. 상기 소스/드레인 전극(150a, 150b)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 몰리브덴텅스텐(MoW), 알루미늄(Al), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 질화티타늄(TiN), 구리(Cu), 몰리브덴 합금(Mo alloy), 알루미늄 합금(Al alloy), 및 구리 합금(Cu alloy) 중에서 선택되는 어느 하나로 형성될 수 있다.
- [0025] 이어서, 도 1f를 참조하면, 상기 기판 전면에 걸쳐 보호막(160)을 형성한다. 그리고 나서, 상기 화소영역(a)에 위치하는 제 1 전극(132)의 일부를 노출시키도록 상기 층간절연막(140) 및 상기 보호막(160)의 일부를 제거한다.
- [0026] 그리고 나서, 도 1g를 참조하면, 상기 노출된 제 1 전극(132) 상에 위치하는 유기발광층을 포함하는 유기막(170)을 형성하고, 상기 기판(100) 전면에 걸쳐 제 2 전극(180)을 형성하여 본 발명의 제 1 실시예에 따른 유기전계발광표시장치를 완성한다.
- [0027] (제 2 실시예)
- [0028] 도 2a 내지 2g는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치에 관한 것이다. 제 2 실시예는 제 1 실시예의 소스/드레인 전극과 제 1 전극 사이에 콘택층(235a)를 더 포함한다는 것으로, 콘택층(235a) 형성을 제외한 다른부분은 제 1 실시예와 동일하다. 그러므로 동일한 부분은 반복을 피하기 위하여 생략한다.
- [0029] 도 2a를 참조하면, 화소영역(a) 및 비화소영역(b)를 구비하는 기판(200)을 준비하고, 상기 기판(200) 상에 버퍼층(210)을 형성한다. 플라스틱 또는 유리 등으로 형성된 투명기판이며, 상기 버퍼층(110)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하는 역할을 하며, 단층막 또는 다층막으로 형성할 수 있다. 상기 버퍼층(110)은 실리콘 산화막 또는 실리콘 질화막과 같은 산화막 또는 질화막을 이용하여 형성하며, TiO_2 , HfO_2 , Al_2O_3 , $HfSiO_x$, Ta_2O_5 , Nb_2O_5 등의 물질도 포함할 수 있다.
- [0030] 이어서, 도 2b를 참조하면, 상기 버퍼층(210) 상에 비화소영역(b)에 위치하는 반도체층(220)을 형성한다. 상기 반도체층(220)은 비정질 실리콘으로 형성하고, 상기 비정질 실리콘층을 결정화하여 다결정 또는 단결정 실리콘을 형성한 후, 패터닝하여 반도체층(220)으로 형성한다. 그리고 기판(200) 전면에 걸쳐 게이트 절연막(230)을 형성한다.
- [0031] 상기 게이트 절연막(230)은 삼중실리콘 산화막 또는 실리콘 질화막과 같은 산화막 또는 질화막을 이용하여 형성하며, TiO_2 , HfO_2 , Al_2O_3 , $HfSiO_x$, Ta_2O_5 , Nb_2O_5 등의 물질도 포함할 수 있다.
- [0032] 계속해서, 도 2c를 참조하면, 상기 전면에 형성된 게이트 절연막(230) 상에 화소영역(a) 상에는 제 1 전극(232)을 형성한다. 그리고 나서, 상기 제 1 전극(232) 상에 콘택층(235a)과 비화소영역(b) 상에는 상기 반도체층(220)에 대응되도록 게이트 전극(235)을 형성한다.
- [0033] 상기 게이트 전극(150)은 2중막(미도시)으로도 형성이 가능한데, 하부는 ITO, IZO, AZO, GZO 등의 투명 전도막으로 형성하고, 상부는 Al, Al-Nd, Cr, Mo 으로 형성할 수 있으며, 상기 하부의 ITO, IZO, AZO, GZO 등의 투명 전도막은 상기 제 1 전극(232)와 동시에 형성가능하다.
- [0034] 이때, 상기 제 1 전극(132)은 투명전도막인 ITO 계열과 IZO, AZO, GZO 등의 ZnO 계열의 TCO로 형성하며, 두께는 300 내지 500 Å으로 형성한다.
- [0035] 그리고, 상기 콘택층(235a)과 게이트 전극(135)은 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층을 게이트 전극용 금속층(도시안됨)을 형성하고, 사진 식각공정으로 상기 게이트 전극용 금속층을 식각하여 상기 게이트 전극(150)을 형성한다.
- [0036] 그리고 나서, 도 2d를 참조하면, 상기 기판 전면에 걸쳐 층간절연막(240)을 형성하고, 상기 층간절연막(240)의 일부를 식각하여 상기 콘택층(235a) 및 반도체층(220)의 일부를 노출시키는 콘택홀(240a, 240b, 240c)를 형성한다.
- [0037] 도 2e를 참조하면, 상기 콘택홀(240a, 240b, 240c)을 통하여 상기 반도체층(220)과 제 1 전극(232)이 전기적으로

연결할 수 있게 소오스/드레인 전극(250a,250b)를 형성한다.

- [0038] 상기 콘택층(235a)은 상기 소오스/드레인 전극(250a,250b)와 제 1 전극(232) 사이에 위치함으로써, 콘택저항을 감소시키는 기능을 한다.
- [0039] 그리고 나서, 도 2f를 참조하면, 상기 기판(200) 전면에 걸쳐 보호막(260)을 형성한다. 그리고 나서, 상기 층간 절연막(240) 및 보호막(260)을 식각하여 제 1 전극(232)의 일부를 노출시킨다.
- [0040] 계속해서 2g를 참조하면, 상기 노출된 제 1 전극(232) 상에 유기발광층을 포함하는 유기막(270)을 형성하고, 기판(200) 전면에 걸쳐 제 2 전극(280)을 형성하여 제 2 실시예에 따른 유기전계발광표시장치를 완성한다.
- [0041] 상기와 같이 본 발명은 제 1 실시예와 제 2 실시예에 따라 유기전계발광표시장치를 완성할 수 있으나, 이에 한정되는 것은 아니며, 당업자에게 잘 알려진 기술의 병합으로 응용할 수 있다.
- [0042] 하기 기재되는 것은 제 1 실시예에 따른 게이트 절연막의 조건을 변경하여 레드, 그린, 블루발광층의 발광을 측정한 실험예 및 비교예이다. 하기 기재된 실험예1 내지 실험예 3과 비교예 1 내지 비교예3은 제 1 실시예를 참조할 수 있으며, 동일한 부분은 반복을 줄이기 위해 생략하였다.
- [0043] 도 3은 실시예 1의 화소영역의 게이트 절연막(130)을 더 상세한 구조로 나타낸 단면도로써, 하기 실험예 및 비교예는 도 3을 참조한다.
- [0044] 상기 도 3을 참조하면, 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a), 실리콘 질화막(130b), 제 2 실리콘 산화막(130c) 순으로 적층된 게이트 절연막(130)이 위치하며, 상기 게이트 절연막(130) 상에 ITO의 제 1 전극(132)이 위치한다.
- [0045] (실험예 1)
- [0046] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 500Å, 제 2 실리콘 산화막(130c) 300Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0047] (실험예 2)
- [0048] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 500Å, 제 2 실리콘 산화막(130c) 400Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0049] (실험예 3)
- [0050] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 500Å, 제 2 실리콘 산화막(130c) 500Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0051] (실험예 4)
- [0052] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 300Å, 제 2 실리콘 산화막(130c) 500Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0053] (실험예 5)
- [0054] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 400Å, 제 2 실리콘 산화막(130c) 500Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0055] (실험예 6)
- [0056] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 500Å, 제 2 실리콘 산화막(130c) 500Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0057] (비교예 1)

- [0058] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 500Å, 제 2 실리콘 산화막(130c) 200Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0059] (비교예 2)
- [0060] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 500Å, 제 2 실리콘 산화막(130c) 600Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0061] (비교예 3)
- [0062] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 500Å, 제 2 실리콘 산화막(130c) 700Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0063] (비교예 4)
- [0064] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 200Å, 제 2 실리콘 산화막(130c) 500Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0065] (비교예 5)
- [0066] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 600Å, 제 2 실리콘 산화막(130c) 500Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0067] (비교예 6)
- [0068] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 상에 제 1 실리콘 산화막(130a)을 300Å, 실리콘 질화막(130b)을 700Å, 제 2 실리콘 산화막(130c) 500Å 순으로 적층된 게이트 절연막(130)을 형성하며, 상기 게이트 절연막(130) 상에 ITO로 제 1 전극(132)을 형성하였다.
- [0069] 도 4 a 및 도 4b는 상기 게이트 절연막(130) 중 제 1 전극(132)과 직접 접촉해 있는 제 2 실리콘산화막(130c)의 두께를 변화시킨 후, 색좌표와 휘도를 측정한 것으로써, 도4a 및 4b는 레드발광층의 색좌표와 휘도 이며, 도 4c는 그린발광층의 색좌표이고, 도 4d는 블루발광층의 색좌표이다.
- [0070] 도 4a를 참조하면, 제 2 실리콘 산화막(130c)을 200Å으로 형성한 비교예1의 경우 레드발광이 바람직한 색좌표를 벗어났다. 그리고 제 2 실리콘 산화막(130c)을 600Å으로 형성한 비교예 2와 제 2 실리콘 산화막(130c)을 700Å으로 형성한 비교예3의 경우 레드발광은 발현되나, 도 4b를 참조하여 휘도를 살펴보면, 비교예2 및 비교예 3의 휘도가 현저히 저하됨을 알 수 있다.
- [0071] 그리고 도 4c를 참조하면, 그린발광의 경우 제 2 실리콘 산화막(130c)을 300Å, 400Å, 500Å, 600Å 으로 형성한, 실험예1, 실험예2, 실험예 3, 비교예 2가 바람직한 그린색을 발현시키고, 도 4d를 참조하면, 블루발광의 경우 제 2 실리콘 산화막(130c)을 300Å, 400Å, 500Å, 600Å 으로 형성한, 실험예1, 실험예2, 실험예 3, 비교예 2가 바람직한 블루색을 발현시키는 것을 알 수 있다.
- [0072] 그러므로 상기 레드발광, 그린발광, 블루발광의 효과를 최대화 하기 위해서는 제 2 실리콘 산화막(130c)을 300 내지 500Å으로 형성하여야 한다.
- [0073] 도 5a 내지 도 5d는 실리콘 질화막(130b)의 두께를 변화시킨 후 측정한 레드발광층, 그린발광층, 블루발광층의 색좌표 및 휘도에 관한 그래프로써, 도5a 및 5b는 레드발광층의 색좌표와 휘도 이며, 도 5c는 그린발광층의 색좌표이고, 도 5d는 블루발광층의 색좌표이다.
- [0074] 도 5a를 참조하면, 실리콘 질화막(130b)을 200Å으로 형성한 비교예4의 경우 레드발광이 바람직한 색좌표를 벗어났다. 그리고 제 2 실리콘 질화막(130b)을 600Å으로 형성한 비교예 5와 실리콘 질화막(130b)을 700Å으로 형성한 비교예6의 경우 레드발광은 발현되나, 도 5b를 참조하여 휘도를 살펴보면, 비교예5 및 비교예6의 휘도가 현저히 저하됨을 알 수 있다.

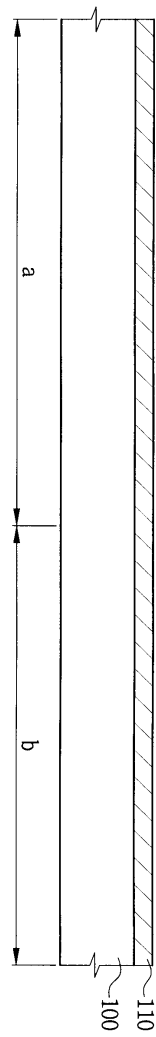
- [0075] 그리고 도 5c를 참조하면, 그린발광의 경우 실리콘 질화막(130b)을 400Å, 500Å, 600Å 으로 형성한, 실험예2, 실험예3, 비교예 5가 바람직한 그린색을 발현시키고, 도 5d를 참조하면, 블루발광의 경우 제 2 실리콘 산화막(130c)을 500Å, 600Å 으로 형성한, 실험예6, 비교예 5가 바람직한 블루색을 발현시키는 것을 알 수 있다.
- [0076] 그러므로, 상기 레드발광, 그린발광, 블루발광을 가장 바람직하게 실현시킬 수 있는 것은 실리콘 질화막(130c)의 두께를 300 내지 500Å으로 형성하였을 때 있음 결론지을 수 있다.
- [0077] (제 3 실시예)
- [0078] 제 3 실시예는 게이트 전극을 반도체층 하부에 형성하는 바텀게이트 구조의 유기전계발광표시장치에 관한 것으로서, 제 1 실시예와 비교하였을 때, 제 1 실시예는 탑 게이트 구조의 유기전계발광표시장치에 관한 것으로서, 게이트 전극의 위치만 상이하고, 다른 부분은 모두 동일한 방법을 적용한다. 그러므로 중복을 피하기 위하여 동일한 부분은 생략한다.
- [0079] 도 6a 내지 도 6c는 본 발명의 제 3 실시예에 따른 유기전계발광표시장치에 관한 도면이다.
- [0080] 먼저, 도 6a를 참조하면, 화소영역(a)와 비화소영역(b)를 구비하는 기판(300)을 제공하고, 상기 기판(300) 상에 버퍼층(310)을 형성하고, 상기 버퍼층(310) 상에 게이트 전극(320)을 형성한다. 상기 게이트 전극(320)은 비화소영역(b) 상에 위치하게 형성한다.
- [0081] 그리고 나서, 상기 기판(300) 전면에 걸쳐 게이트 절연막(330)을 형성하고, 상기 게이트 절연막(300) 상의 화소영역(a)에는 제 1 전극(350)을 형성하고, 비화소영역(b) 상에는 반도체층(340)을 형성한다. 상기 반도체층(340)은 상기 게이트 전극(320)에 대응되도록 형성한다.
- [0082] 상기 기판(300), 버퍼층(310), 반도체층(340), 게이트 절연막(330), 제 1 전극(350)은 제 1 실시예와 동일한 방법으로 형성한다.
- [0083] 이어서, 도 6b를 참조하면, 상기 기판(300) 상의 제 1 전극(350)과 반도체층(340)을 전기적으로 연결하는 소오스/드레인 전극(360a, 360b)를 형성한다. 여기서는 소오스/드레인 전극(360a, 360b)을 상기 제 1 전극(350) 상에 직접 형성하였으나, 상기 소스/드레인 전극과 상기 제 1 전극 사이에 절연막을 더 포함한 후, 콘택홀을 형성하여 전기적으로 연결되도록 형성할 수도 있다.
- [0084] 상기 게이트 전극(350)은 제 1 실시예에 기재한 바와 같이, 게이트 전극용 금속으로 단일층으로 형성할 수도 있고, 제 1 전극(350)과 동일한 물질로 하부를 형성하고, 상부는 게이트 전극용 물질로 형성하여 2층 구조로도 형성가능하다.
- [0085] 그리고 나서, 도 6c를 참조하면, 소오스/드레인 전극(360a, 360b)를 형성한 기판(300) 상에 상기 제 1 전극(350)의 일부를 노출시켜 화소를 정의하는 보호막(370)을 형성한다.
- [0086] 이 후, 상기 노출된 제 1 전극(350) 상에 유기발광층을 포함하는 유기막(375)을 형성한다. 그리고 나서, 상기 제 2 전극(380)을 기판(300) 전면에 형성하여, 본 발명의 실시예 3에 따른 유기전계발광표시장치를 완성한다.
- [0087] 상기와 같이, 배면발광의 유기전계발광소자에서는 제 1 전극 하부에 위치하는 게이트 절연막의 종류 및 두께에 따라 색발현 및 휘도가 달라지므로, 레드발광, 그린발광, 블루발광을 잘 구현하기 위해서는 적절한 범위의 두께 및 물질로 절연막을 형성해야한다.

도면의 간단한 설명

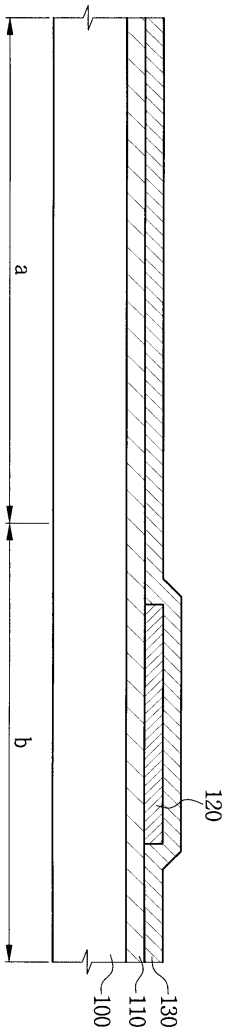
- [0088] 도 1a 내지 도 1g는 본 발명의 제 1 실시예에 대한 유기전계발광표시장치에 관한 도면이고,
- [0089] 도 2a 내지 도 2g는 본 발명의 제 2 실시예에 대한 유기전계발광표시장치에 관한 도면이고,
- [0090] 도 3은 본 발명의 실험예에 대한 도면이고,
- [0091] 도 4a 내지 도 5d는 본 발명의 실험예 및 비교예에 대한 그래프이고,
- [0092] 도 6a 내지 도 6c는 본 발명의 제 3 실시예에 대한 유기전계발광표시장치에 관한 도면이다.

도면

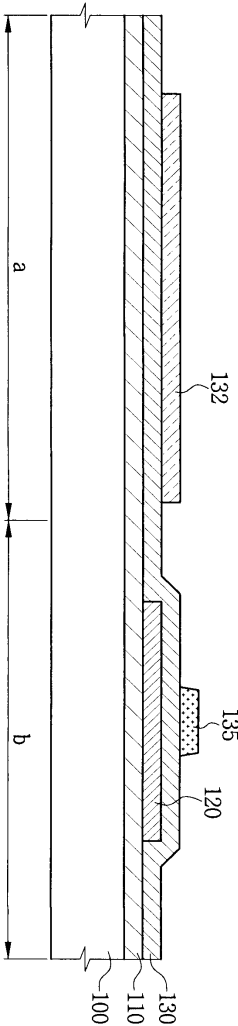
도면1a



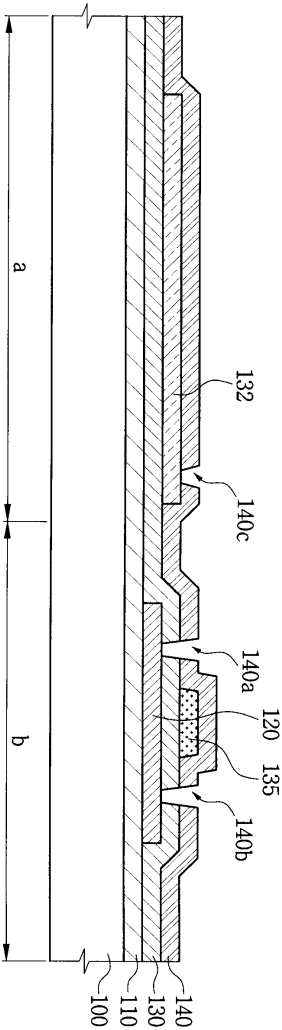
도면1b



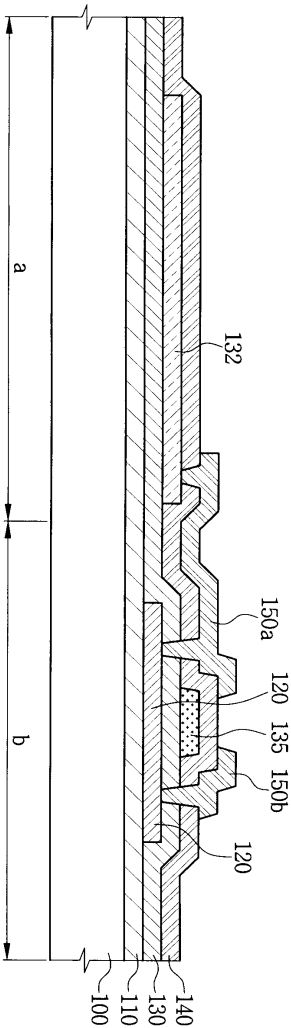
도면1c



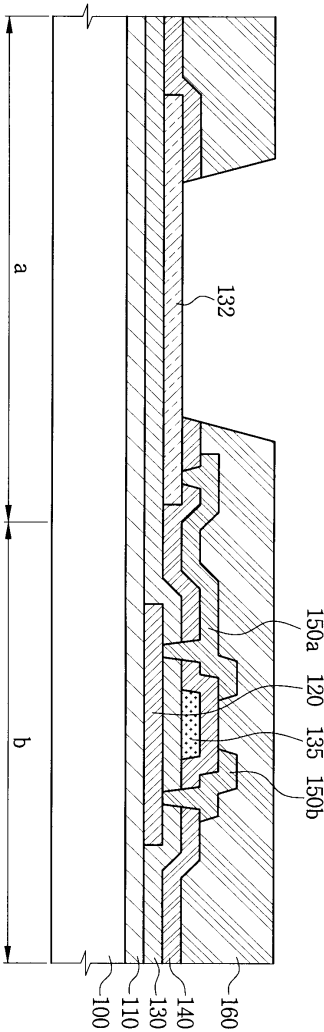
도면1d



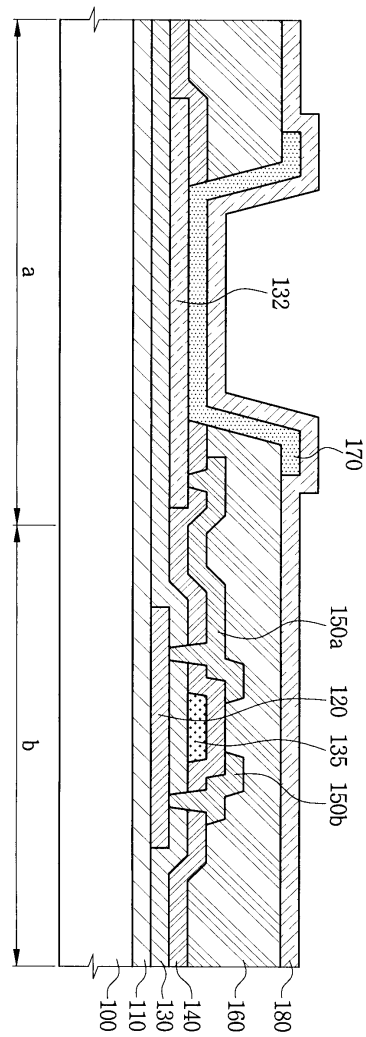
도면1e



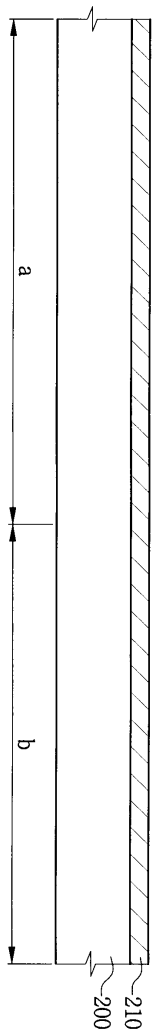
도면1f



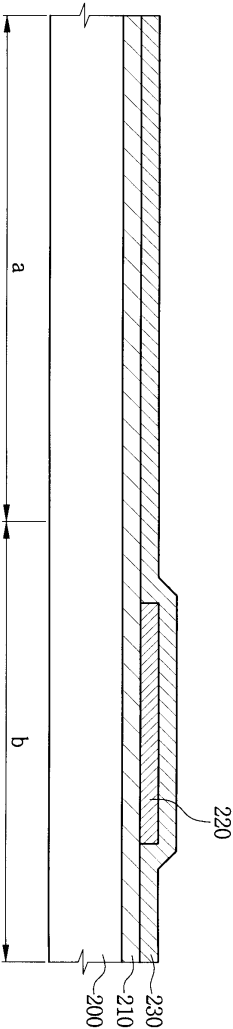
도면1g



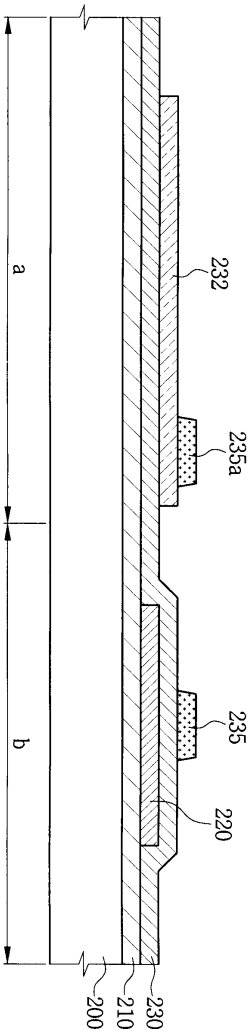
도면2a



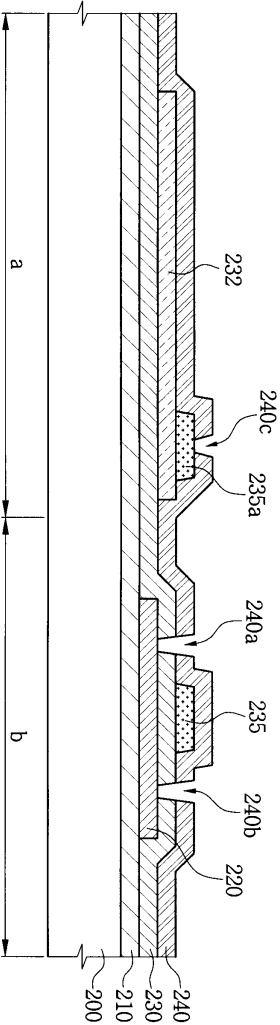
도면2b



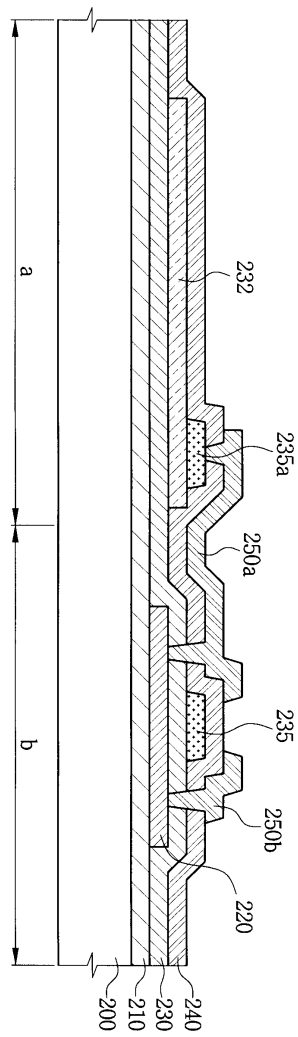
도면2c



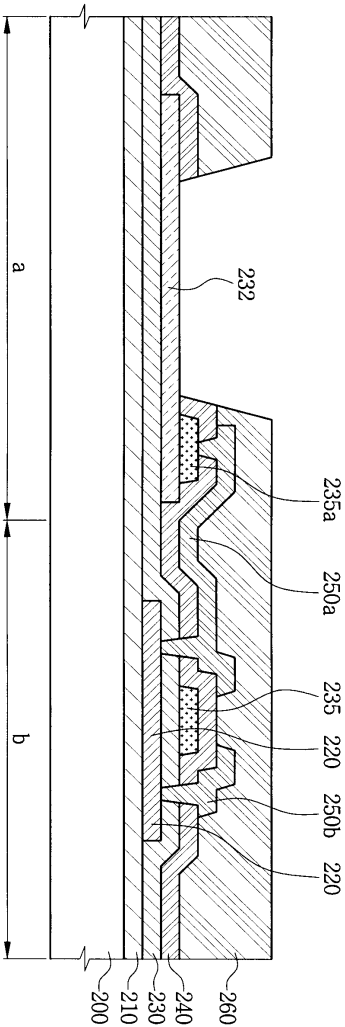
도면2d



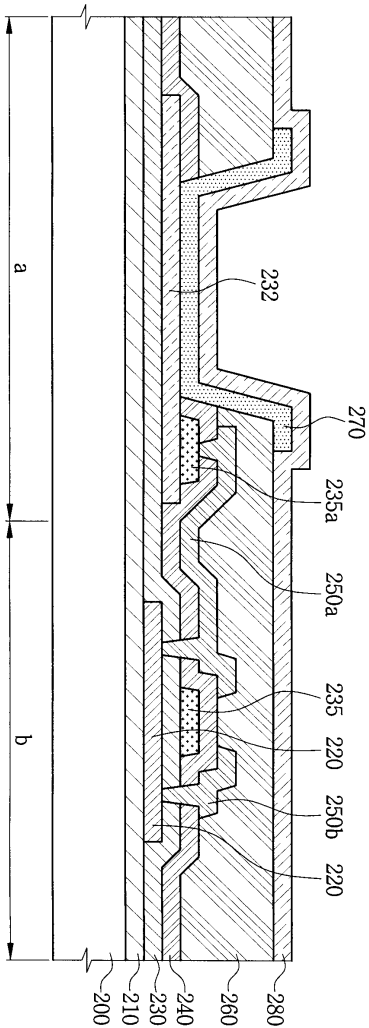
도면2e



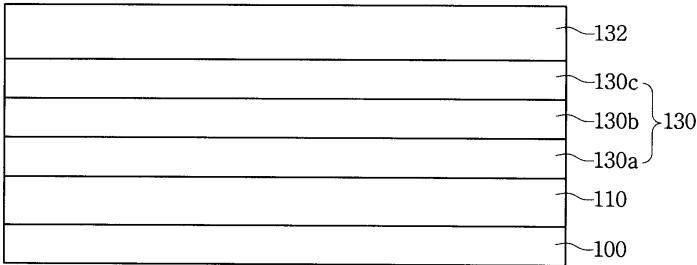
도면2f



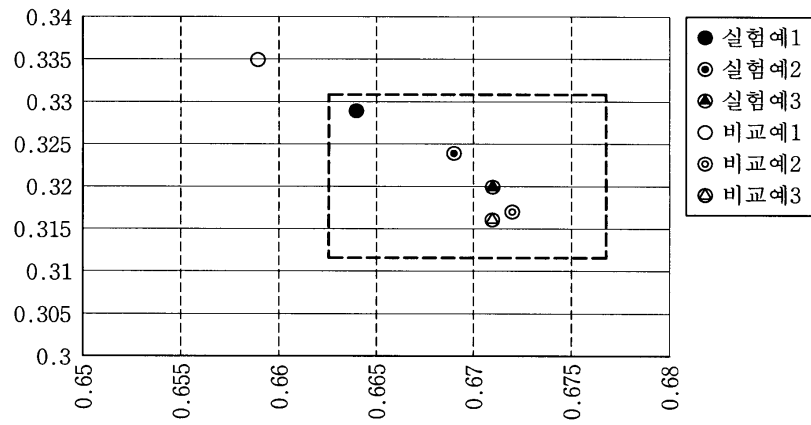
도면2g



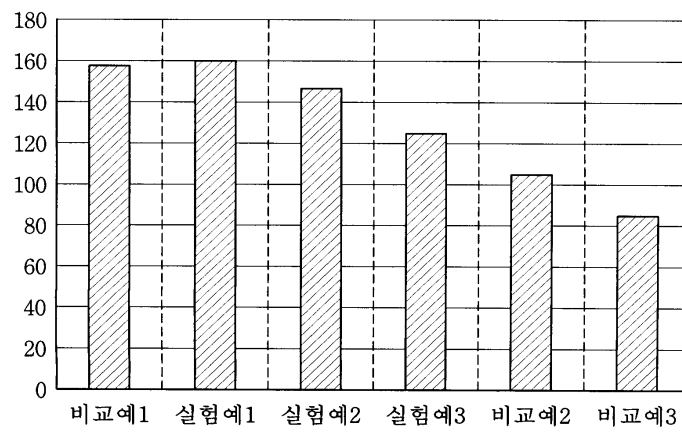
도면3



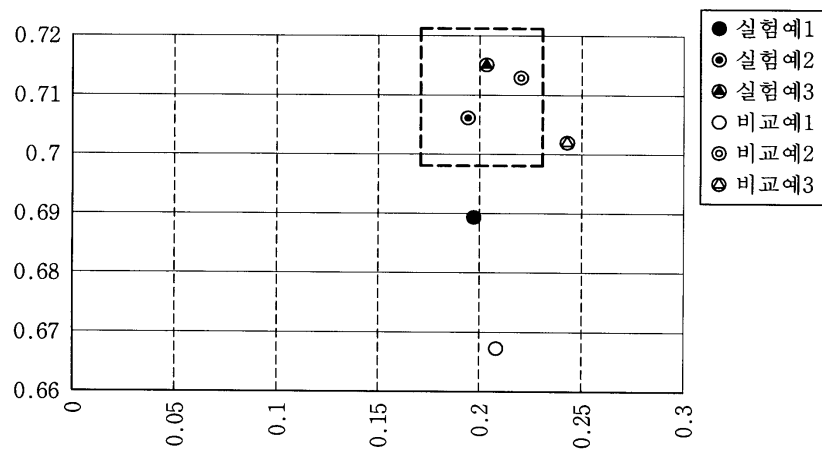
도면4a



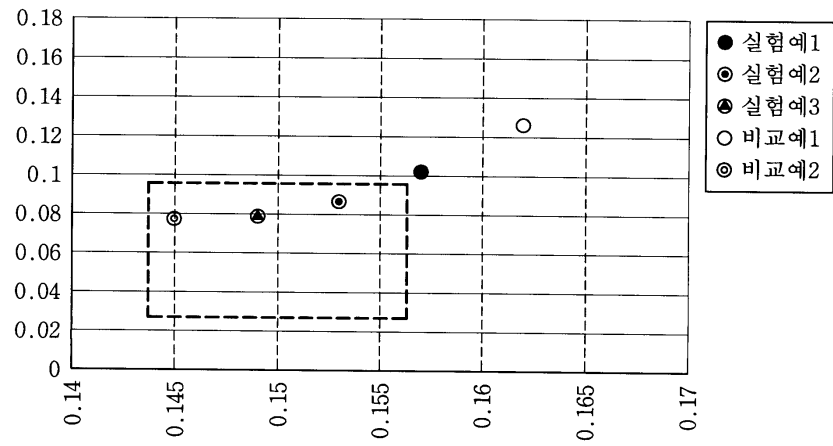
도면4b



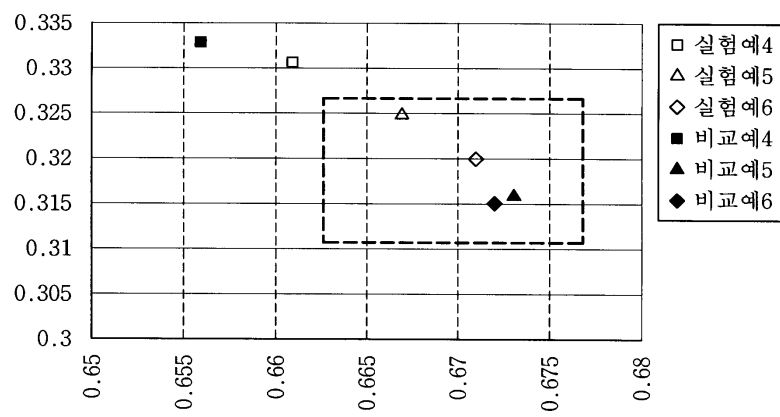
도면4c



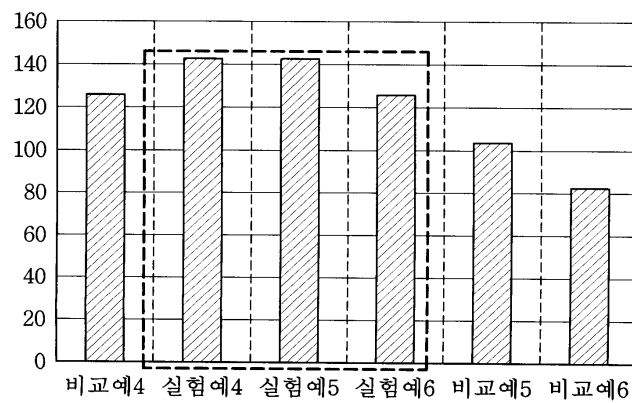
도면4d



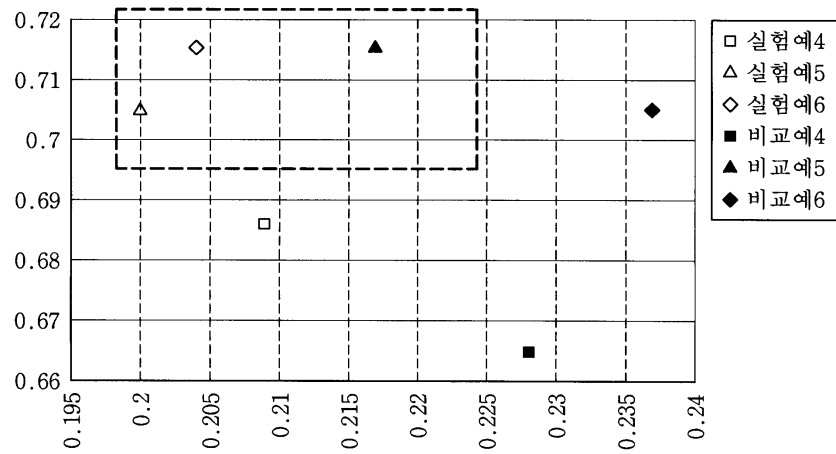
도면5a



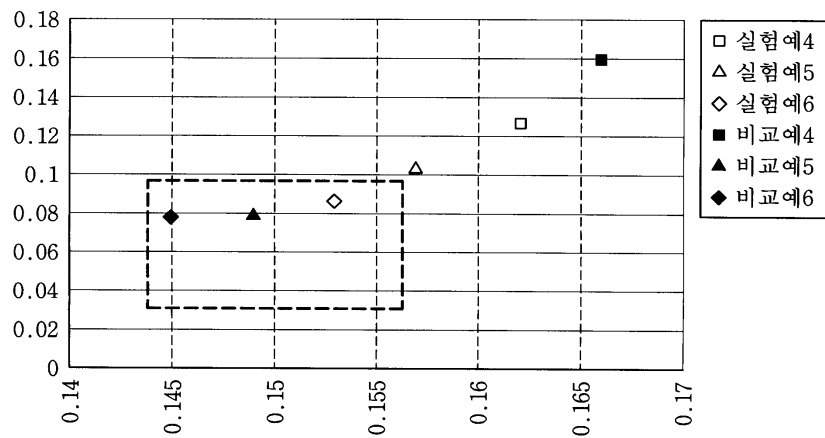
도면5b



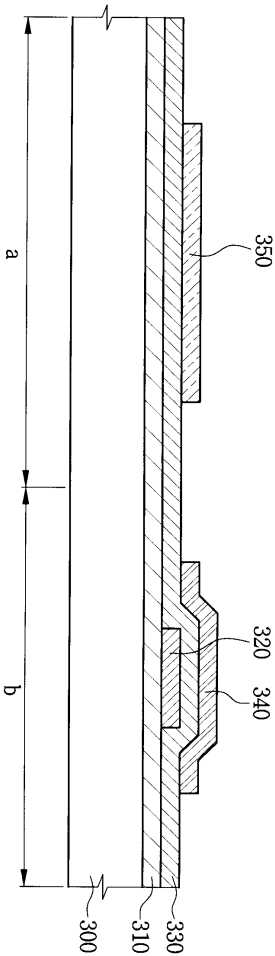
도면5c



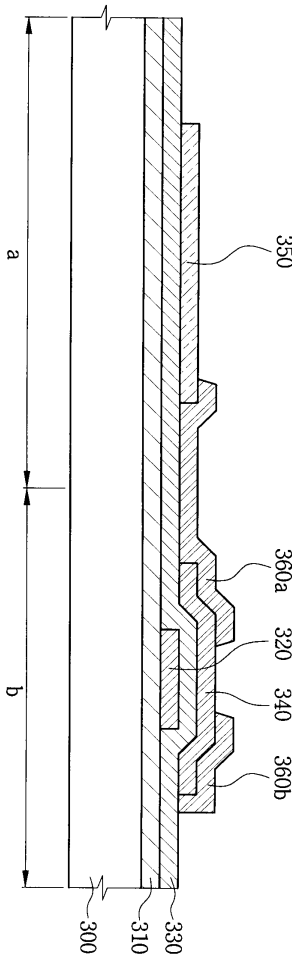
도면5d



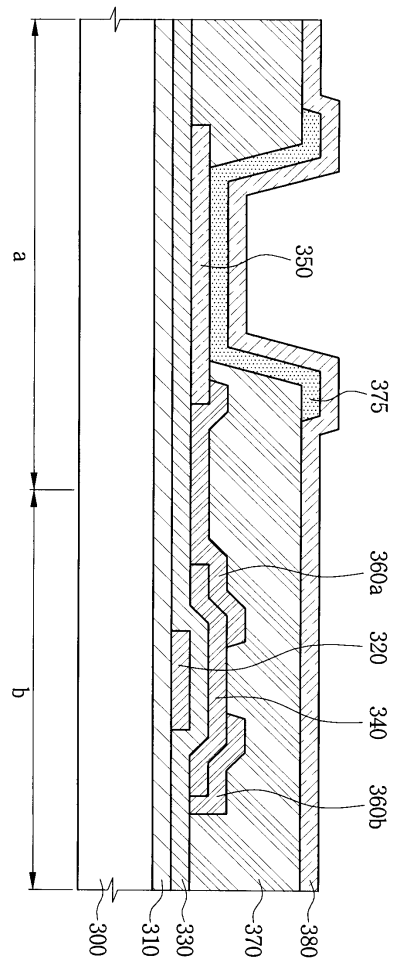
도면6a



도면6b



도면6c



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR101065413B1	公开(公告)日	2011-09-16
申请号	KR1020090060851	申请日	2009-07-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KIM SUNG HO 김성호 LEE IL JEONG 이일정 KWON DO HYUN 권도현 IM CHOONG YOUL 임충열 JEONG HEE SEONG 정희성 LEE SU MI 이수미		
发明人	김성호 이일정 권도현 임충열 정희성 이수미		
IPC分类号	H01L51/52 H05B33/02		
CPC分类号	H01L27/3244 H01L27/3248 H01L51/5265 H01L51/5203 H01L2251/558		
其他公开文献	KR1020110003201A		
外部链接	Espacenet		

摘要(译)

有机发光显示器及其制造方法技术领域[0001]本发明涉及有机发光显示器及其制造方法,更具体地,涉及包括发光区域和非发光区域的基板。位于基板上的缓冲层;位于缓冲层上的非发射区域中的半导体层;栅极绝缘膜设置在基板的整个表面上;第一电极,位于栅极绝缘层上并位于发光区域上;栅电极位于栅极绝缘膜上并位于非发光区域上;层间绝缘膜位于基板的整个表面上并且开口第一电极的一部分;源/漏电极,位于层间绝缘膜上并与半导体层和第一电极电连接;保护层,位于基板的前表面上并打开第一电极的一部分;设置在第一电极上的有机层;并且,第二电极设置在基板的整个表面上,以及制造该第二电极的方法。

