



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월25일
(11) 등록번호 10-1016991
(24) 등록일자 2011년02월16일

(51) Int. Cl.

H05B 33/22 (2006.01) H05B 33/26 (2006.01)

H01L 27/00 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2004-7014823

(22) 출원일자(국제출원일자) 2003년03월19일

심사청구일자 2008년03월19일

(85) 번역문제출일자 2004년09월20일

(65) 공개번호 10-2004-0093171

(43) 공개일자 2004년11월04일

(86) 국제출원번호 PCT/IB2003/001000

(87) 국제공개번호 WO 2003/079449

국제공개일자 2003년09월25일

(30) 우선권주장

0206551.4 2002년03월20일 영국(GB)

(뒷면에 계속)

(56) 선행기술조사문헌

W0199812689 A1

JP평성11024604 A

JP평성10247588 A

JP평성11339970 A

전체 청구항 수 : 총 19 항

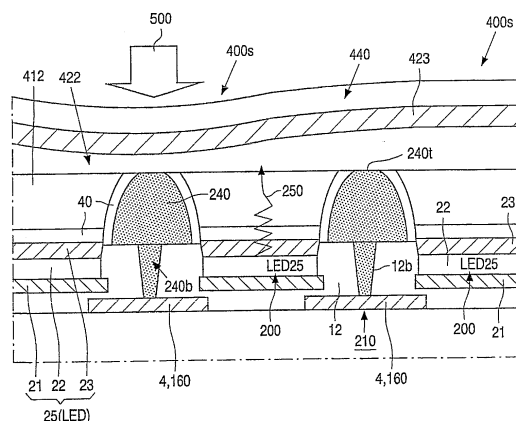
심사관 : 추장희

(54) 액티브 매트릭스 전계 발광 표시 장치들, 및 이들의 제조

(57) 요약

액티브-매트릭스 전계 발광 표시 장치, 특히 유기 반도체 물질들의 LED들(25)에서의 회로 기판(100) 상의 이웃한 화소들(200) 사이에 물리적 장벽들(210)이 존재한다. 본 발명은 이들 장벽들(210)을, 회로 기판의 제1 회로 소자(21, 4, 5, 6, 140, 150, 160, T1, T2, Tm, Tg, Ch)와 제2 회로 소자(400, 400s, 23), 예를 들면 회로 어레이 상에 지지된 센서 어레이의 센서(400s) 간의 상호접속으로서 작용하는 금속 또는 이외 전기적 도전성 물질(240)로 형성한다. 도전성 장벽 금속(240)은 LED들에 인접한 장벽들의 측면들에서 절연되고(40), 제2 회로 소자가 도전성 장벽 물질(240)에 접속되는 비절연 상부 접속 영역(240t)을 갖는다.

대표도 - 도5



(72) 발명자

피시데이비드에이.

네덜란드, 아아 아인드호펜 5656, 홀스트란 6

헥터제이슨알.

네덜란드, 아아 아인드호펜 5656, 홀스트란 6

(30) 우선권주장

0209562.8 2002년04월26일 영국(GB)

0216055.4 2002년07월11일 영국(GB)

특허청구의 범위

청구항 1

액티브-매트릭스 전계 발광 표시 장치에 있어서:

화소 어레이의 적어도 한 방향으로 이웃하는 화소들의 적어도 일부간에 물리적 장벽들을 구비하여 상기 화소 어레이가 있는 회로 기판을 포함하고;

각 화소는 전계 발광 소자를 포함하고;

상기 회로 기판은 상기 전계 발광 소자들이 접속된 회로를 포함하고;

상기 물리적 장벽들은 상기 장치의 상기 회로 기판의 제1 회로 소자와 제2 회로 소자간 상호접속으로서 작용하는 도전성 물질을 포함하고;

도전성 장벽 물질은 상기 전계 발광 소자들에 인접한 상기 장벽들의 적어도 측면들에서 절연되어 있고, 상기 제1 및 제2 회로 소자들이 상기 도전성 장벽 물질에 접속되는 비절연된 상부 및 하부 접속 영역들을 구비하는, 액티브-매트릭스 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 회로 기판의 상기 제1 회로 소자는, 도전체층, 전극 접속, 공급 라인, 어드레싱 라인, 신호 라인, 박막 트랜지스터, 박막 캐패시터를 포함하는 그룹 중 적어도 하나의 박막 소자인, 액티브-매트릭스 전계 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 제2 회로 소자는 상기 전계 발광 소자의 상측 전극이고, 상기 제1 회로 소자는 상기 회로 기판의 적어도 하나의 박막 소자인, 액티브-매트릭스 전계 발광 표시 장치.

청구항 4

제3항에 있어서,

각각의 화소는 상기 장벽들이 개재된 및 상기 도전성 장벽 물질이 한 서브-화소의 상측 전극을 인접한 서브-화소의 하측 전극에 접속시키는 나란한 서브-화소들을 포함하고, 상기 하측 및 상측 전극들은 상기 제1 및 제2 회로 소자들을 형성하는, 액티브-매트릭스 전계 발광 표시 장치.

청구항 5

제1항 또는 제2항에 있어서,

센서 어레이는 상기 화소 어레이와 일체화되고, 상기 센서들은 상기 도전성 장벽 물질에 의해 상기 회로 기판의 상기 제1 회로 소자에 접속되는 상기 제2 회로 소자들을 제공하는, 액티브-매트릭스 전계 발광 표시 장치.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

센서 어레이는 상기 화소 어레이와 일체화되고, 상기 회로 기판은 상기 화소 어레이 및 상기 센서 어레이 둘 다에 대한 매트릭스 어드레싱 회로를 포함하고, 상기 도전성 장벽 물질은 상기 어레이 센서들을 상기 매트릭스 어드레싱 회로에 접속시키는, 액티브-매트릭스 전계 발광 표시 장치.

청구항 7

제5항에 있어서,

상기 센서 어레이는 상기 장벽들의 상부 상에서 및 상기 화소 어레이 상에서 지지되어 있는, 액티브-매트릭스

전계 발광 표시 장치.

청구항 8

제7항에 있어서,

평탄화층은 상기 화소 어레이 상에서 상기 센서 어레이를 지지하도록 상기 장벽들의 상부로 확장하는 두께로 상기 화소 어레이 상에 있는, 액티브-매트릭스 전계 발광 표시 장치.

청구항 9

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 장벽들의 절연된 길이들은 상기 도전성 장벽 물질인, 액티브-매트릭스 전계 발광 표시 장치.

청구항 10

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 장벽은 상기 제1 회로 소자에 접촉되고 적어도 그것의 측면들 상에 절연 코팅을 갖는 상기 도전성 장벽 물질을 제공하는 금속 코어를 포함하는, 액티브-매트릭스 전계 발광 표시 장치.

청구항 11

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 장벽은 상기 제1 회로 소자에 접촉되고 적어도 그것의 측면들 상에 절연 코팅을 갖는 상기 도전성 장벽 물질을 제공하는 금속 코팅을 포함하는, 액티브-매트릭스 전계 발광 표시 장치.

청구항 12

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 물리적 장벽은 비아들이 상기 회로 기판 내 상기 회로 소자와의 접속을 위해 관통하여 확장한 절연 물질이며, 상기 도전성 장벽 물질을 제공하는 금속 코팅은 상기 물리적 장벽의 상부 상에서 및 상기 물리적 장벽을 관통하는 상기 비아들 내로 확장하는, 액티브-매트릭스 전계 발광 표시 장치.

청구항 13

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 전계 발광 소자는 유기 반도체 물질의 전류-구동 발광 다이오드인, 액티브-매트릭스 전계 발광 표시 장치.

청구항 14

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 도전성 장벽 물질 밑에, 상기 제1 회로 소자와의 접속을 허가하기 위해 상기 회로 기판 상의 중간 절연층 내에 접속 윈도우들이 있는, 액티브-매트릭스 전계 발광 표시 장치.

청구항 15

제1항 내지 제4항 중 어느 한 항에 따른 액티브-매트릭스 전계 발광 표시 장치의 제조 방법에 있어서,

(a) 회로 기판의 제1 회로 소자에 대한 전극 접속들 상에 증착되는 전기적 도전성 물질, 및 화소 영역들에 인접한 물리적 장벽들의 적어도 측면들에서 절연을 갖는 물리적 장벽들을 형성하는 단계로서, 상기 물리적 장벽들은 상기 장벽들의 상부에 상기 도전성 장벽 물질에 대한 비절연 상부 접속 영역을 구비하는, 상기 물리적 장벽들을 형성하는 단계;

(b) 상기 물리적 장벽들 간의 상기 화소 영역들 내에 상기 전계 발광 소자들의 적어도 일부를 제공하는 단계; 및

(c) 상기 장벽들의 상기 비절연 상부 접속 영역에 상기 도전성 장벽 물질과 접속된 상기 제2 회로 소자를 제공

하는 단계를 포함하는, 액티브-매트릭스 전계 발광 표시 장치 제조 방법.

청구항 16

제15항에 있어서,

상기 절연은 상기 도전성 장벽 물질의 적어도 측면들 및 상부에 증착되고 이어서 상기 상부 접속 영역으로부터 에칭되는 절연 코팅을 포함하는, 액티브-매트릭스 전계 발광 표시 장치 제조 방법.

청구항 17

제15항에 있어서,

상기 도전성 장벽 물질은 알루미늄을 포함하고, 상기 절연은 양극산화에 대해 상기 상부 접속 영역을 마스킹하면서, 양극산화에 의해 상기 알루미늄 장벽 물질의 측면들 상에 형성되는 절연 코팅을 포함하는, 액티브-매트릭스 전계 발광 표시 장치 제조 방법.

청구항 18

제15항에 있어서, 상기 단계 (a)는 비아들이 상기 회로 기판상의 상기 접속 원도우들에서 상기 회로 소자와의 접속을 위해 관통하여 형성된 절연 물질로 된 상기 물리적 장벽을 형성하는 단계를 포함하고, 상기 전기적 도전성 물질은 상기 물리적 장벽의 상부 상에 및 상기 물리적 장벽을 관통하는 상기 비아들 내에 도전성 코팅으로서 증착되는, 액티브-매트릭스 전계 발광 표시 장치 제조 방법.

청구항 19

제18항에 있어서,

상기 전계 발광 소자의 상측 전극과 상기 물리적 장벽을 위한 상기 도전성 코팅은 동시에 증착되고 상기 물리적 장벽의 측면 내에서 돌출된 형상의 섀도우-마스킹(shadow-masking) 효과에 의해 분리되는, 액티브-매트릭스 전계 발광 표시 장치 제조 방법.

명세서

기술분야

[0001] 본 발명은 액티브 매트릭스 전계 발광 표시 장치들에 관한 것으로, 특히 반도체성 공액 고분자(semiconducting conjugated polymer) 또는 이와 다른 유기 반도체 물질들의 발광 다이오드들을 사용하는 것에 관한 것이지만, 이것만으로 국한된 것은 아니다. 본 발명은 또한 이러한 장치들을 제조하는 방법들에 관한 것이다.

[0002] 삭제

배경기술

[0003] 회로 기판 상에 있는 화소 어레이를 포함하며, 각 화소는 통상 유기 반도체 물질의 전계 발광 소자를 포함하는, 상기 액티브-매트릭스 전계 발광 표시 장치들은 공지된 것이다. 전계 발광 소자들은 기판 내 회로, 예를 들면 공급 라인을 포함하는 구동 회로 및 어드레싱(행(row)) 및 신호(열(column))라인들을 포함하는 매트릭스 어드레싱 회로에 접속된다. 이들 라인들은 일반적으로 기판 내 박막 도전체 층들에 의해 형성된다.

[0004] 삭제

[0005] 회로 기판은 또한 각 화소에 대한 어드레싱 및 구동 소자들(통상 박막 트랜지스터이며, 이하 "TFT"라 함)을 포함한다.

[0006] 이러한 많은 어레이들에서, 어레이의 적어도 한 방향으로, 이웃한 화소들 사이에는 절연 물질의 물리적 장벽들이 있다. 이러한 장벽들의 예들은 공개된 영국특허 출원 GB-A-2 347 017, 공개된 PCT 특허출원 WO-A1-99/43031, 공개된 유럽특허출원 EP-A-0 895 219, EP-A-1 096 568, 및 EP-A-1 102 317에 주어져 있고, 이들 전

체 내용은 참조자료로서 여기 포함된다.

[0007] 이러한 장벽들은 예를 들면, "벽", "격벽(partitions)", "뱅크(bank)", "리브(ribs)", "격리판", 또는 "댐(dams)"이라고도 한다. 인용된 참조자료들로부터 알 수 있듯이, 이들은 몇가지 기능들을 제공할 수 있다. 이들은 제조시 개개의 화소들 및/또는 화소 열들의 전계 발광층들 및/또는 전극층들을 정의하는데 사용될 수 있다. 이에 따라, 예를 들면, 장벽들은 유색 표시의 적색, 녹색 및 청색 화소들을 위해 잉크-젯으로 인쇄되거나 또는 단색 표시를 위해 스핀-코팅될 수 있는 공액 고분자 물질들의 화소 오버플로(overflow)를 방지한다. 제조된 장치 내 장벽들은 화소들의 뚜렷한 광학적 분리를 제공할 수 있다. 이들은 또한 전계 발광 소자들의 공통 상측 전극의 저항(따라서 이에 걸리는 전압 강하들)을 감소시키기 위한 보조 배선으로서, 도전성 물질(이를테면 전계 발광 소자의 상측 전극 물질)을 구비 또는 포함할 수도 있다.

발명의 상세한 설명

[0008] 본 발명의 목적은 기본 장치 구조, 이의 레이아웃 및 이의 전자장치들에 호환이 되게, 액티브-매트릭스 전계 발광 표시 장치들의 기능들 및/또는 성능을 향상시키는 것이다.

[0009] 본 발명의 일 양상에 따라서, 청구항 1에 개시된 특징들을 갖는 액티브-매트릭스 전계 발광 표시 장치가 제공된다.

[0010] 본 발명에 따라서, 화소들 사이의 물리적 장벽들은 회로 기관의 제1 회로 소자와 장벽의 상부에 접속되는 제2 회로 소자간에 상호접속들을 제공하는데 사용된다. 이에 따라, 이들 화소 장벽들은 부분적으로(심지어 대부분일 수 있음) 상호접속을 제공하는 전기적 도전성 물질(통상 금속)로 구성되고, 전계 발광 소자들에 인접한 장벽들의 적어도 측면들은 또한 절연된다.

[0011] 본 발명에 따라 많은 융통성이 가능하다. 상호접속되는 회로 소자들에 따라, 여러 가지 레이아웃 특징들이 화소 장벽들에 대해 채택될 수 있다. 이에 따라, 도전성 장벽 물질은 예를 들어 개개의 화소들 또는 화소들의 그룹들로 국한되는 상호접속들, 또는 화소 어레이 밖에 놓일 수 있는 상호접속들을 제공할 수도 있다. 따라서, 각각의 비절연 상부 접속 영역은 그 자체가 장벽들의 상부를 따라 접속 패턴의 일부로서 국한될 수 있고, 및/또는 상호접속성 도전성 장벽 물질은 예를 들면 장벽들의 개별적으로 절연된 길이들로 국한될 수도 있다.

[0012] 제1 및 제2 회로 소자들은 특별한 개선 또는 향상 또는 적응이 행해지는가에 따라, 다양한 형태들을 취할 수 있다. 통상, 회로 기관의 제1 회로 소자는, 도전체층; 전극 접속; 공급 라인; 어드레싱 라인; 신호 라인; 박막 트랜지스터; 박막 캐패시터를 포함하는 그룹의 하나 또는 그 이상의 박막 소자들일 수 있다. 제2 회로 소자는 회로 기관 내 또다른 이러한 박막 소자 및/또는, 예를 들면, 각각의 화소 또는 센서와 같은 부가된 구성성분의 전계 발광 소자의 전극 접속일 수도 있다.

[0013] 마지막 가능성은 센서 어레이의 각종의 형태들을 화소 어레이와 일체화될 수 있게 한다. 센서 어레이는 회로 기관 내에 일체화될 수 있다. 그러나, 센서 어레이는 장벽들의 상부 상에서 또한 화소 어레이의 위에서 지지될 수도 있다. 이것은 콤팩트한 레이아웃을 제공하며, 직접적인 펜 입력 및/또는 지문 센싱에 특히 적합하다. 센서 어레이는 회로 기관 내 화소 어레이의 매트릭스 어드레싱 회로를 공유할 수도 있다. 이것은 센서 어레이와 화소 어레이의 일체화를 간단하게 한다. 공유는 예를 들면 미국특허들 US-A-5,386,543 및 US-A-5,838,308 (Philips 참조번호: PHB33816 및 PHB33715)에 개시된 것과 유사한 방식으로 달성될 수 있다. US-A-5,386,543 및 US-A-5,838,308 의 전체 내용을 여기 참조자료로서 포함시킨다.

[0014] 본 발명에 따른 상호접속들을 제공하기 위해 장벽들을 사용할 뿐만 아니라, 장벽들(또는 장벽들의 적어도 다른 개별적으로 절연된 길이들)은 다른 기능들을 제공할 수도 있다. 이들은 예를 들면 캐패시터 또는 인덕터 또는 트랜스포머와 같은 구성성분을 형성, 및/또는 회로 기관의 박막 도전체 라인들의 대용 또는 교체에 사용될 수 있다. 이들 대용 또는 교체 라인들은 예를 들면 어드레스 라인, 신호 라인 또는 공급 라인일 수 있다.

[0015] 본 발명의 또 다른 양상에 따라서, 이러한 액티브-매트릭스 전계 발광 표시 장치를 제조하는 잇점이 있는 방법들이 또한 제공된다.

[0016] 본 발명에 따른 각종의 잇점이 있는 특징들 및 특징의 조합들이 첨부된 청구항들에 개시되어 있다.

[0017] 이들 및 이외의 것들은 첨부한 개략적 도면들을 참조로 예로서 기술되는 본 발명의 실시예들에 도시되었다.

실시예

- [0033] 도 1 내지 도 4의 실시예들
- [0034] 도 1 내지 도 4의 실시예들 각각의 액티브-매트릭스 전계 발광 표시 장치는 매트릭스 어드레싱 회로를 구비한 회로 기판(100) 상에 화소 어레이(200)를 포함한다. 물리적 장벽들(210)은 어레이의 적어도 한 방향으로 적어도 이웃한 일부 화소들 사이에 있다. 적어도 이들 장벽들(210) 일부는 본 발명에 따라 상호접속으로서 사용되는 도전성 장벽 물질(240)로 구성된다. 본 발명에 따른 이러한 특별한 구조 및 장벽들(210)의 사용에서 벗어나서, 표시는 예를 들면 앞서 언급된 배경기술의 참조문헌들에서처럼, 공지의 장치 기술들 및 회로 기술들을 사용하여 구성될 수 있다.
- [0035] 매트릭스 어드레싱 회로는 도 1에 도시한 바와 같이, 횡방향의 다수 세트의 어드레싱(행) 및 신호(열) 라인들(150, 160)을 포함한다. 어드레싱 소자(T2)(통상 박막 트랜지스터이고, 이하 "TFT"라 함)는 이들 라인들(150, 160)의 각 교점에 배치된다. 도 1은 예로서 하나의 특정 화소 회로 구성을 도시한 것에 유의한다. 액티브 매트릭스 전계 발광 표시 장치들에 대한 이외 다른 화소 회로 구성들이 공지되어 있다. 본 발명은 장치의 특정 화소 회로 구성에 관계없이 이러한 장치의 화소 장벽들에 적용될 수 있음을 쉽게 알 수 있을 것이다.
- [0036] 각 화소(200)는 통상 유기 반도체 물질의 발광 다이오드(LED)인, 전류 구동 전계 발광 소자(25)(21, 22 및 23)를 포함한다. LED(25)는 어레이의 두 개의 전압 공급 라인들(140, 230) 사이에 구동 소자(T1)(통상 TFT)와 직렬로 접속된다. 이들 두 공급 라인들은 통상 전원 라인(140)(전압 Vdd를 가짐) 및 접지 라인(230)("리턴 라인(return line)"이라고도 함)이다. LED(25)로부터의 광 방출은 각각의 구동 TFT(T1)에 의해 변경되는, LED(25)에 흐르는 전류 흐름에 의해 제어된다.
- [0037] 화소들의 각행은 관계된 행 도전체(150)(따라서 이 행의 화소들의 어드레싱 TFT들(T2)의 게이트에)에 인가되는 선택 신호에 의해 프레임 기간에 차례로 어드레스된다. 이 신호는 어드레싱 TFT(T2)를 온 시키므로, 이 행의 화소들에 열 도전체들(160)로부터의 각각의 데이터 신호들이 로딩된다. 이들 데이터 신호들은 각각의 화소의 개개의 구동 TFT(T1)의 게이트에 인가된다. 구동 TFT(T1)의 결과적인 도전 상태를 유지하기 위해서, 이 데이터 신호는 이 게이트(5)와 구동 라인(140, 240) 간에 결합되는 유지 캐패시터(holding capacitor; Ch)에 의해 게이트(5) 상에 유지된다. 따라서, 각 화소(200)의 LED(25)에 흐르는 구동 전류는 선행 어드레스 기간에 인가되어 연관된 캐패시터(Ch)에 전압으로서 저장된 구동 신호에 근거하여 구동 TFT(T1)에 의해 제어된다. 도 1의 특정의 예에서, T1은 P-채널 TFT로서 도시되었고 T2는 N-채널 TFT로서 도시되었다.
- [0038] 이 회로는 공지의 박막 기술로 구성될 수 있다. 기판(100)은 예를 들면 산화규소의 절연 표면-버퍼층(11)이 증착되는 절연 유리 베이스(10)를 구비할 수 있다. 박막 회로는 공지의 방법으로 층(11) 상에 형성된다.
- [0039] 도 2 및 도 3은 TFT의 예들로서 T_m 및 T_g를 도시한 것으로, 각각은 액티브 반도체층(1)(통상 폴리실리콘); 게이트 유전층(2)(통상 이산화규소); 게이트 전극(5)(통상 알루미늄 또는 폴리실리콘); 및 위에 놓여지는 절연층(들)(2, 8) 내 윈도우들(비아들(vias))을 통해 반도체층(1)의 도핑된 소스 및 드레인 영역들과 접촉하는 금속 전극들(3, 4)(통상 알루미늄)을 포함한다. 전극들(3, 4 및 5)의 연장부들은 특정의 TFT(예를 들면, 구동 소자(T1) 또는 어드레싱 소자(T2) 또는 회로 기판의 또 다른 TFT)에 의해 제공되는 회로 기능에 따라, 예를 들면 소자들 T1, T2, Ch, 및 LED(25), 및/또는 도전체 라인들(140, 150 및 160)의 적어도 일부 간에 상호접속들을 형성할 수 있다. 유지 캐패시터(Ch)는 공지의 방식으로, 회로 기판(100) 내 박막 구조로서, 유사하게 형성될 수 있다.
- [0040] LED(25)는 통상 하층의 전극(21)과 상층 전극(23) 간에 발광 유기 반도체 물질(22)을 포함한다. 바람직한 특정의 실시예에서, 반도체 공액 고분자들은 전계 발광 물질(22)용으로 사용될 수 있다. 기판(100)을 통해 광(250)을 방출하는 LED에 있어서, 하층 전극(21)은 인듐 주석 산화물(ITO)의 애노드일 수 있고, 상층 전극(23)은 예를 들면 칼슘 및 알루미늄을 포함하는 캐소드일 수 있다. 도 2 및 도 3은 하층 전극(21)이 회로 기판(100) 내에 박막으로서 형성되는 LED 구조를 도시한 것이다. 이어서 증착되는 유기 반도체 물질(22)은 기판(100)의 박막 구조 위에서 확장하는 평탄한 절연층(12)(예를 들면 질화규소) 내의 윈도우(12a)에서 이 박막 전극층(21)과 접촉한다.
- [0041] 공지의 장치들에서처럼, 본 발명에 따라 도 1 내지 도 4의 장치들은 어레이의 적어도 한 방향으로 이웃하는 화소들의 적어도 일부간에 물리적 장벽들(210)을 포함한다. 이들 장벽들(210)은 예를 들면 "벽", "격벽", "뱅크", "리브", "격리판", 또는 "담"이라고도 한다. 특정의 장치 실시예 및 이의 제조에 따라, 이들은 예를 들면 공지의 방식으로,
- [0042] · 반도체 고분자 층들(22)의 제공 동안, 개개의 화소들(200) 및/또는 화소들(200)의 열들 각각의 영역들 사이를

격리하여 고분자 용액의 오버플로우를 방지하고;

- [0043] · 개개의 화소들(200) 및/또는 화소들(200)의 열들에 대해 반도체 고분자 또는 이와 다른 전계 발광층들(22)의 정의에서 기판 표면상에서 자기-패터닝 능력(self-patterning ability)(아울러 화소들의 개개의 전극들, 예를 들면 상측 전극들(23)의 개개의 하부 층의 자기-분리까지도)을 제공하고;
- [0044] 적어도 유기 반도체 물질(22) 및/또는 전극 물질을 증착하는 동안 기판 표면 상에 마스크용의 스페이서(space r)로서 작용하고;
- [0045] 광(250)이 상부를 통해 방출될 때(이 대신, 또는 그와 아울러 하부 기판(100)), 어레이 내 화소들(200)의 명료한 광학적 분리를 위한 불투명 장벽들(210)을 형성하는데 사용될 수 있다.
- [0046] 이들 공지의 방법들로의 어떠한 이들의 특정한 사용이든, 본 발명의 실시예들에서 물리적 장벽들(210)의 적어도 일부 절연된 부분들은 특별한 방식으로 구성되어 사용된다. 이에 따라, 도 2 내지 도 4의 화소 장벽들(210)은 LED들(25)로부터 절연되고 회로 기판(100)의 제1 회로 소자와 장치의 제2 회로 소자간 상호접속을 제공하는 금속(240)(또는 이와 전기적 도전성 물질(240))을 포함한다. 이들 회로 소자들은 도전성 장벽 물질(240)의 비절연된 하부 및 상부 접속 영역들(240b, 240t)에 접속된다.
- [0047] 제1 및 제2 회로 소자들은 행해지는 특별한 개선 또는 향상 또는 적응에 따라 다양한 형태들을 취할 수 있다. 통상, 회로 기판(100)의 제1 회로 소자는, 도전체층 및/또는 전극 접속(4, 5 및 6); 공급 라인(140); 어드레싱 라인(150); 신호라인(160); 박막 트랜지스터(T1, T2, Tm 및 Tg); 박막 캐패시터(Ch)를 포함하는 그룹 중 하나 또는 그 이상의 박막 소자들일 수 있다. 제2 회로 소자는 회로 기판(100) 내 또다른 이러한 박막 소자 및/또는, 예를 들면, 각각의 화소 또는 센서와 같은 부가된 구성성분의 LED(25)의 전극 접속일 수도 있다.
- [0048] 도 2 내지 도 4는 비절연된 상부 접속 영역(240t)을 도시한 것으로, 이에 어떠한 특성의 제2 회로 소자(상측 회로 소자(400))도 접속되어 있지는 않다. 제2 회로 소자의 특정 예들을 도 5 내지 도 8을 참조하여 이하 기술한다. 그러나, 본 발명은 본 발명에 따른 이러한 화소 장벽들(210)에 의해 회로 기판(100) 내 회로에 다양한 상측 회로 소자들(400)의 상호접속에 적용될 수 있음을 쉽게 알 것이다.
- [0049] 도 2의 실시예에서, 제1 회로 소자는 TFT(Tm)의 소스 및/또는 드레인 전극의 연장부이다. 이것은 예를 들면 Tm이 T2일 때 기판 회로의 신호(열) 라인(160), 또는 Tm이 T1일 때 구동 라인(140)을 형성할 수도 있다. 도 3의 실시예에서, 제1 회로 소자는 TFT(Tg)의 게이트 전극(5)의 연장부이다. 이것은 예를 들면 Tg가 T2일 때 기판 회로의 어드레싱(행) 라인(150)을 형성할 수도 있다.
- [0050] 도 2 및 도 3은 중간 절연층(12) 내 접속 윈도우들(12b)에서의 제1 회로 소자(4, 5)에의 도전성 장벽 물질(240)의 하부 접속을 도시한 것이다. 그러나, 이들 윈도우들(12b)은 TFT(Tm, Tg)와 흔히 동일 평면에 있지 않을 수도 있는 것에 유의한다. 특히, 일반적으로 윈도우(12b)를 수용하기엔 TFT(Tg)의 소스 전극(3)과 드레인 전극(4)간 간격이 불충분하다. 이에 따라, 윈도우(12b)는 도면의 면 밖에 놓여진 것을 나타내기 위해서 도 3에서 점선으로 도시되었다.
- [0051] 도 2 내지 도 4의 실시예들에서 화소 장벽들(210)은 주로 전기적 도전성의 물질(240, 240x)로 만들어지고, 바람직하게는 매우 낮은 고유저항의 금속(예를 들면 알루미늄 또는 구리 또는 니켈 또는 은)으로 만들어진다. 도 2 및 도 3의 장벽들(210)은 상호접속(240)을 제공하며 측면들 및 상부에(상부 접속 영역(240t)이 노출된 곳은 제외하고) 절연 코팅(40)을 구비한 도전 물질 벌크(bulk) 또는 코어(core)를 포함한다. 도 4의 장벽(210)은 측면들 및 상부에 절연코팅(40x)을 구비한 도전 물질(240x) 벌크 또는 코어를 포함한다. 도 4에서 상호접속(240)을 제공하는 도전 물질은 절연 코팅(40x) 위에서 확장하는 금속 코팅이다. 절연 코팅(40)은 상부 접속 영역(240t)이 노출된 곳을 제외하곤, 금속 코팅(240)의 측면들 및 상부 위에서 확장한다. 도 4의 이러한 구조는 도 2 및 도 3보다는 더욱 다용도적이다. 이는 금속 코어(240x)가 또 다른 목적에 사용되게, 예를 들면 라인들(140, 150, 또는 160)을 대체 또는 교체도 할 수 있게 하므로 그들의 라인 저항이 감소될 수 있다. 상호접속 금속 코팅(240)은 예를 들면 개개의 화소들 또는 서브-화소들에서 이들 상호접속이 필요한 장벽(210)을 따라 특성의 위치들에 국한될 수도 있다.
- [0052] 센서 어레이들을 구비한 도 5 내지 도 7의 실시예들
- [0053] 도 5 내지 도 7의 실시예들 각각에서, 센서(400s) 어레이는 화소 어레이(200)와 일체화 된다. 센서들(400s)은 도전 장벽 물질(240)에 의해 회로 기판(100)의 제1 회로 소자에 접속되는 제2 회로 소자들(400)을 제공한다. 다양한 센서 어레이들이, 본 발명에 따라 표시(display)와 일체화될 수도 있다. 따라서, 센싱 어레이는 예를

들면 단락-회로 터치 입력, 또는 압력 입력, 또는 용량 입력, 또는 광-펜(light-pen) 입력을 구비할 수도 있다.

[0054] 2차원 센서 어레이로부터의 개개의 상호접속에 있어서, 도전 장벽 물질(240)은 일반적으로 개개의 센서들(400s)에 대응하여 장벽들(210) 내 각각의 절연된 길이들로 분할된다.

[0055] 이러한 일체화된 센서 상태에서, 제1 회로 소자는 예를 들면 기관(100) 내 TFT의 소스/드레인(4) 또는 게이트(5)일 수도 있다. 바람직하게, 제1 회로 소자는 화소(200)의 어레이 및 센서의 어레이(200s) 양자를 위한 매트릭스 어드레싱 회로의 일부이다. 따라서, 제1 회로 소자는 화소 어드레싱을 위한 TFT(T2)의 소스/드레인 라인(4, 160)일 수 있다.

[0056] 도 5 내지 도 7의 각각의 실시예에서, 광(250)이 방출되는 표시의 전면에서 센싱 기능이 제공된다. 센서 어레이는 장벽들(210)의 상부 및 화소 어레이 상에서 지지된다. 절연 평탄화 층(412)이, 화소 어레이 상에서 센서 어레이를 지지하도록 장벽들(210)의 상부로 확장하는 두께로, 화소 어레이 상에 있다. 도 5 내지 도 8이 도 2 및 도 3에서처럼 상호접속성 금속-코어 구조를 예시하고 있지만, 도 4에서처럼 예를 들면 상호접속성 금속-코팅 구조를 사용하는 변경들이 가능하다.

[0057] 도 5의 실시예는 유전체 또는 고저항 물질의 압축성 층(422)을 포함하는 압력 센서 구조를 도시한 것이다. 압축성 층은 예를 들면 ITO로 된 투명한 상측 전극층(423)과 밑에 있는 도전성 장벽 물질(240) 및 절연 평탄화층(412) 사이에 적층된다. 상측 전극층(423)은 보호층(440)으로 덮여있다. 압력(500)이 이 적층에 인가되었을 때, 전극층(423)과 도전 장벽 물질 간 간격이 변하여 유전체에 측정가능한 용량 변화 또는 고저항 물질에서의 저항 감소가 유발된다. 이것은 전극층(423)이 회로 입력들에 대한 ESD 보호도 제공하는 점에서 가장 이로운 실시예이다.

[0058] 도 6은 용량 센서, 예를 들면 지문 센서를 도시한 것이다. ITO 또는 금속으로 된 전극 패드(421) 어레이는 캐패시터 유전층(430)을 구비한 각각의 캐패시터의 한 플레이트(plate)를 형성하기 위해 도전성 장벽 물질(240)의 대응하는 어레이의 상부에 접속된다. 캐패시터의 다른 플레이트는, 유전층(430) 위에 놓여졌을 때 감지될 손가락 또는 이와 다른 물체에 의해 형성된다.

[0059] 도 7은 도전성 장벽 물질(240)의 대응하는 어레이의 상부에 접속되는 ITO의 전극 패드들(424)을 구비하는 직접 입력 센서를 도시한 것이다. 직접 입력은 패드들(424)에 터치하는 유선 펜으로부터의 전류 또는 전압 입력일 수 있다. 아니면, 직접 입력은 단순히, 이웃하는 패드들(424)간, 예를 들면 행 도전체(150)에 접속된 패드(424)와 열 도전체(160)에 접속된 패드(424)간 (선으로 연결되지 않은) 도전성 펜에 의한 단락-회로일 수도 있다. 이러한 단락-회로에 기인한 전류 흐름은 어느 화소가 단락되었는지를 판정하기 위해 표시의 주변에서 측정될 수 있다.

[0060] 서브-화소 상호접속을 구비한 도 8의 실시예

[0061] 도 8의 실시예에서 제2 회로 소자는 도전성 장벽 물질(240)에 의해 회로 기관(100)의 박막 소자에 접속된, LED(25)의 상측 전극(23)이다. 이러한 상호접속은 회로를 주어진 LED(25)의 양 전극들(21, 23)에 일체화되게 한다.

[0062] 그러나, 도 8에 도시한 특정의 실시예에서, 도전성 장벽 물질(240)의 하부 접속은 이웃하는 LED(25)의 하측의 전극을 이루는 박막 소자에의 접속이다. 이러한 구성은 각 화소가 예를 들면 장벽들(210)을 개재한 나란한 서브-화소들을 포함하는 표시에 채택될 수 있다. 이 경우, 도전성 장벽 물질(240)은 한 서브-화소(200b)의 상측 전극(23)을 인접 서브-화소(200a)의 하측 전극(21)에 접속한다.

[0063] 도 9 및 도 10과 도 11의 레이아웃 실시예들

[0064] 본 발명에 따라 장치들 내 상호접속 장벽 물질(240)에 대해 광범위하게 다양한 레이아웃 구성이 가능하다. 잇점이 있게, 상호접속 장벽 물질(240)은 복합층 내에서 화소들 사이의 장벽(210x)의 다른 부분들과 결합될 수도 있다.

[0065] 도 9 및 도 10은 추가된 장벽 부분들(210x)의 도전성 장벽 물질(240x)이 기관(100)의 구동 공급 라인들(140)을 대응 또는 교체도 할 수 있는 하나의 복합 레이아웃을 도시한 것이다. 매트릭스 박막 회로 영역은 도 9에서, 120으로서 표시되었다. 이러한 특정의 예에서, 상호접속 장벽 물질(240)의 절연된 길이들은 추가된 장벽 라인들(210x, 140)에 평행하게 확장한다.

[0066] 도 11은 추가된 장벽 부분들(210x)(240x, 40x)이 상호접속 장벽 물질(240)을 횡단하여 있는 또 다른 복합 레이

아웃을 도시한 것이다. 이 경우, 추가의 장벽 부분들(210x)의 도전성 장벽 물질(240x)은 기관(100)의 라인들(140 또는 150 또는 160)을 대응 또는 교체할 수도 있다. 대안으로, 추가의 장벽 부분들(210x)의 도전성 장벽 물질(240x)은 도 7과 같이 직접 입력 센서 어레이에 대해서 횡단 상호접속들을 형성할 수도 있다.

[0067] 도 12의 수정된 장벽 실시예

[0068] 도 2 내지 도 8 및 도 10의 실시예들에서, 장벽들(210, 210x)은 주로 도전성 물질(240, 240x)로 된 것으로서 도시되었다. 도 12는 장벽(210)이 주로 절연 물질(244)로 된 수정된 실시예를 도시한 것이다. 이 경우, 비아들(244b)이 절연 물질(244)을 관통하여 회로 기관(100) 내 회로 소자(4, 5)까지 에칭(etch) 또는 밀링(milling)된다. 금속 코팅(240)은 절연 장벽(210)의 상부 상에서 아울러 비아들(244b) 내로 이를 관통하여 확장하는 도전성 장벽 물질을 제공한다.

[0069] 장벽(210)의 금속 코팅(240)은 자기정렬 방식으로, LED(25)의 상측 전극(23)의 주요 부분(23a)과 동시에 형성될 수도 있다. 이에 따라, 도 12에 도시된 바와 같이, 장벽(210)의 측면 내에서 돌출된 형상의 새도우-마스킹 효과에 의해 격리된 금속 코팅(240) 및 전극(23)용의 금속층이 동시에 증착될 수도 있다. 이것은 본 발명에 따른 장벽 상호접속들(210, 240)을 형성하기 위한 한 가능한 공정 실시예이다. 도 14 내지 도 17은 주로 금속으로 된 장벽 상호접속들(210, 240)에 대한 다른 공정 실시예들을 도시한 것이다.

[0070] 도 13 내지 도 16의 공정 실시예

[0071] 상호접속 물질(240)을 구비한 장벽들(210)을 구성 및 사용하는 것은 제쳐두고, 본 발명에 따른 장치의 액티브-매트릭스 전계 발광 표시는 예를 들면 배경기술에서 인용 참조 문헌들에서처럼, 공지의 장치 기술들 및 회로 기술들을 사용하여 구성될 수도 있다.

[0072] 도 13 내지 도 16은 특정 제조 실시예에서 신규의 공정 단계들을 도시한 것이다. 상측의 평탄한 절연층(12)(예를 들면, 질화규소)을 구비한 박막 회로 기관(100)은 공지의 방식으로 제조된다. 접속 윈도우들(이를테면 비아들(12a, 12b, 12x 등)은 공지의 방법, 예를 들면 사진식각 마스크 및 에칭에 의해 층(12) 내에 개구(open)된다. 그러나, 본 발명에 따른 장치를 제조하기 위해서, 이들 비아들의 패턴은 도전성 장벽 물질(240, 240x)과의 저부 접속을 위해 소자들(4, 5, 150 등)을 노출시키는 비아들(12b, 12x)을 포함한다. 결과적인 구조를 도 13에 도시하였다. 이 단계는 장벽들(210)이 도 2 내지 도 8 및 도 10에서처럼 주로 도전성 물질로 된 것이든 아니면 도 12에서처럼 주로 절연 물질로 된 것인지 관계없이 공통이다.

[0073] 주로 절연 물질로 된 장벽들(210)의 형성을 도 12를 참조하여 위에 기술하였다. 주로 도전성 물질(도 2 내지 도 8 및 도 10에처럼)의 장벽들(210)에 대한 적합한 공정 단계들을 도 14 내지 도 16을 참조하여 이제 기술할 것이다.

[0074] 이 경우, 장벽들(210)용의 전기적 도전성 물질이 적어도 비아들(12a, 12b, 12x 등) 내 절연층(12) 상에 증착된다. 장벽들(210)에 대해 원하는 길이들 및 레이아웃 패턴은 공지의 마스크 기술들을 사용하여 얻어진다. 도 14는 도전성 장벽 물질의 벌크(240)(예를 들면, 구리 또는 니켈 또는 은)가 도금에 의해 증착되는 실시예를 도시한 것이다. 이 경우, 예를 들면 구리 또는 니켈 또는 은의 얇은 시드(seed) 층(240a)이 먼저 절연층(12) 및 이의 비아들(12a, 12b, 12x 등) 상에 증착되고, 장벽 레이아웃 패턴이 사진식각 마스크를 사용하여 정의되고, 이어서 도전 장벽 물질의 벌크(240)가 원하는 두께로 도금된다. 결과적인 구조를 도 14에 도시하였다.

[0075] 이어서, CVD(화학 기상 증착)를 사용하여, 절연 물질(예를 들면 이산화규소 또는 질화규소)을 절연 코팅(40)용으로 증착한다. 증착된 물질을, 공지의 사진식각 마스크 및 에칭 기술들을 사용한 패턴닝에 의해 도전성 장벽 물질의 측면들 및 상부에 남겨둔다. 이어서, LED들(25)을 형성하도록 공지의 방식으로 제조가 계속된다. 이에 따라, 예를 들면, 공액 고분자 물질들(22)이 화소들(200)에 대하여 잉크-젯 인쇄 또는 스핀-코팅(spin-coating)될 수도 있다. 물리적 장벽들(240, 40)간 화소 영역들로부터 고분자 오버플로를 방지하기 위해서 공지의 방식으로, 절연 코팅(40)이 된 장벽들(240, 40)이 사용될 수 있다. 상측 전극 물질(23)이 층(22) 상에 증착된다. 결과적인 구조를 도 15에 도시하였다.

[0076] 이어서, 도 5 내지 도 7의 센서들의 경우, 평탄화 물질(412')의 층이 LED들(25) 상에 놓여진다. 이 층(412')은 장벽들(210)의 상부에서 절연 코팅(40)을 노출시키도록 다시 에칭될 수 있다. 이 노출된 절연 코팅(40)의 상부를 에칭하여 도 16에 도시한 바와 같이 장벽(210)의 비절연된 상부 접속 영역(240t)을 형성할 수 있다. 이어서 센서 구조가 이 접속 영역(240t) 및 평탄화 층(412)의 상부에 제공된다.

[0077] 도 17의 수정된 공정 실시예

- [0078] 이 실시예는 화소 영역들에 인접한 장벽들(210)의 적어도 측면들에 절연 코팅(40)을 제공하도록 양극산화처리(증착 대신에)를 사용한다. 통상, 도전성 장벽 물질(240)은 알루미늄을 포함할 수 있다. 증착된 알루미늄의 원하는 길이들 및 레이아웃 패턴은 공지의 사진식각 마스크 및 에칭 기술들을 사용하여 정의될 수 있다. 도 17은 알루미늄 장벽 패턴(240)의 상부에 보유된 사진식각으로 정의된 에chant-마스크(etchant-mask)(44)를 도시한 것이다.
- [0079] 이어서, 산화알루미늄의 양극(anodic) 절연 코팅이 공지의 양극산화 기술들을 사용하여 알루미늄 장벽 물질(240)의 적어도 측면들에 형성된다. 이에 따라, 이러한 코팅(40)을 위한 레이아웃 정의에 어떠한 별도의 마스크도 필요하지 않다.
- [0080] 도 17에 도시한 바와 같이, 마스크(44)는 비절연 상부 접속 영역(240t)을 보호 및 형성하는 것이 요구되는 영역들에서, 이러한 양극산화 동안에 보존될 수 있다. 이들 영역들에서, 양극 코팅이 알루미늄 장벽 패턴(240)의 측면들에만 형성된다. 마스크(44)는 이러한 양극산화 전에, 알루미늄 장벽 패턴(240)의 측면들 및 상측 모두에 양극 코팅이 필요한 영역들에서 제거될 수도 있다. 또 다르게는, 절연 고분자, 또는 예를 들면 이산화규소 또는 질화규소로 된 마스크(44)를, 제조된 장치 내 장벽(210)(240, 40)의 상측 상에 절연이 요구되는 이들 영역들 내에 보존해 둘 수도 있다.
- [0081] 지금까지 기술한 실시예들에서, 도전성 장벽 물질(240)은 두꺼운 불투명 금속, 예를 들면, 알루미늄, 구리, 니켈 또는 은이다. 그러나, 이와 다른 도전성 물질들(240), 예를 들면 절연 코팅(40)을 형성하기 위해 표면이 산화될 수도 있는 금속 실리사이드 또는 (덜 효과적이지만) 축퇴 도핑 폴리실리콘(degenerately-doped polysilicon)도 사용될 수 있다. 투명한 장벽들(210)이 요구된다면, 도전성 장벽 물질(240)에 ITO가 사용될 수도 있다. 더욱이, 회로 기판(10)의 도전체 라인(예를 들면, 140, 150, 또는 160)을 대치 또는 대응하기 위해 도전성 장벽 물질(240, 240x)을 사용함으로써 라인 저항이 현저히 감소될 수 있는 것에 유의한다. 이에 따라, 주어진 라인을 따라, 도전성 장벽 물질(240)은 회로 기판(100) 내 전형적인 도전체 층(예를 들면, TFT(Tm)의 소스/드레인 라인(4, 6)(140, 160) 또는 TFT(Tg)의 게이트 라인(5)(150))보다 적어도 2배 큰(또는 크기로도) 단면적을 가질 수 있다. 통상적으로, 도전성 장벽 물질(240)은 회로 기판(100) 내 이 TFT 도전체 층의 두께(z)보다 2배 또는 그 이상인(예를 들면 적어도 5배) 두께(Z)를 가질 수도 있다. 구체적인 예에서 Z는 z의 0.5 μ m 이하에 비해 2 μ m 내지 5 μ m에 있을 수 있다. 통상, 도전성 장벽 물질(240)은 TFT 도전체 층의 라인 폭(y)과 동일한 폭(또는 적어도 2배 큰)인 라인 폭(Y)을 가질 수 있다. 구체적 예로 Y는 y의 10 μ m에 비해 20 μ m일 수 있다.
- [0082] 본 개시된 바를 읽고, 이 기술에 숙련된 자들에게 다른 변형 및 수정들이 명백하게 될 것이다. 이러한 변형 및 수정들은 이 기술에 이미 공지되고(예를 들면 배경기술에 인용된 참조문헌들에서) 여기 기술된 특징들 대신으로 또는 그에 더하여 사용될 수 있는 등가물 및 이외 다른 특징들을 수반할 수도 있다.
- [0083] 본원에서 특징들의 특정한 조합들로 청구항들이 형식화되었지만, 본 발명의 개시 범위는 여기 명료하게 또는 암시적으로 개시된 특징들의 어떤 신규의 특징 또는 어떤 신규의 조합이 어떤 청구항에 현 청구된 바와 동일한 방법에 관한 것이든 또는 본 발명과 동일한 기술적 문제점들 중 어느 하나 또는 전부를 완화시키든, 이들을 포함한다는 것을 알 것이다.
- [0084] 본 출원인은 본원 또는 이의 어떤 다른 출원의 속행 중에 어떤 이러한 특징들 및/또는 이러한 특징들의 조합들로 신설 청구항들이 형식화될 수도 있음을 밝혀둔다.

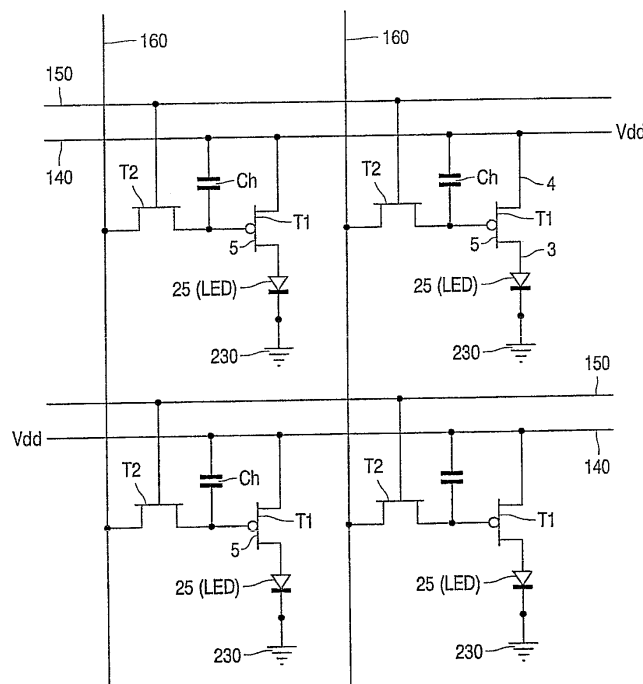
도면의 간단한 설명

- [0018] 이들 및 다른 것이 예를 들어 첨부된 개요도들을 참조하여 지금 설명되는 본 발명의 실시예 내에서 나타내진다.
- 도 1은 본 발명에 따른, 상호접속들이 제공될 수 있는 액티브-매트릭스 전계 발광 표시 장치의 4개의 화소 영역들에 대한 회로도.
- [0019] 도 2는 이러한 장치의 일 실시예의 화소 어레이 및 회로 기판의 일부의 단면도로서, 본 발명에 따른, TFT 소스 또는 드레인 라인에의 상호접속들을 형성하기 위한 도전성 장벽 구조의 일례를 도시한 단면도.
- [0020] 도 3은 이러한 장치의 유사 실시예의 화소 어레이 및 회로 기판의 일부의 단면도로서, 본 발명에 따른, TFT 게이트 라인에의 상호접속들을 형성하기 위한 도전성 장벽 구조의 또 다른 예를 도시한 단면도.
- [0021] 도 4는 도 2 또는 도 3의 것과 같은 실시예의 상호접속부의 단면도로서, 본 발명에 따른, 상호접속들을 형성하기 위한 금속 코팅을 사용하는 수정된 도전성 장벽 구조의 예를 도시한 단면도.

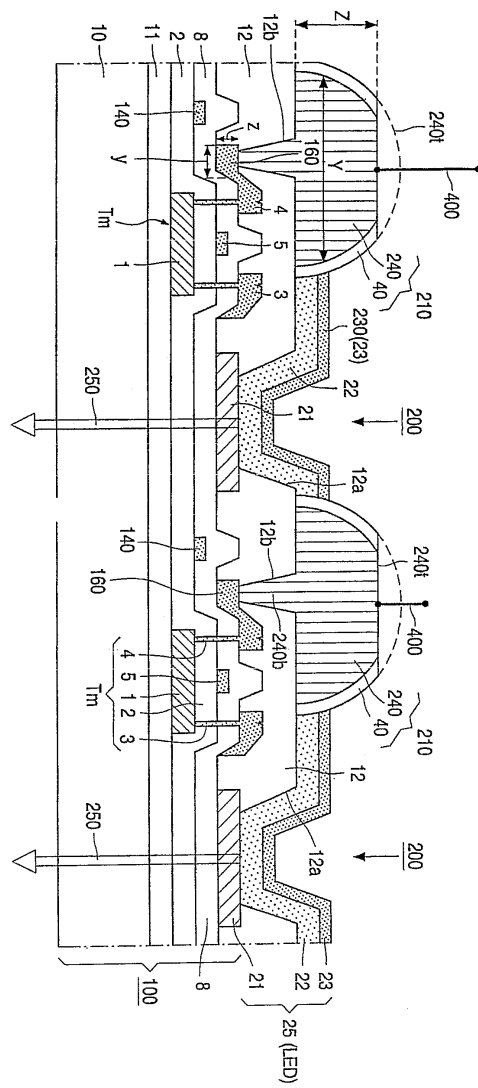
- [0022] 도 5는 도 2 또는 도 3의 것과 같은 장치의 일부의 단면도로서, 전계 발광 장치와 일체화된 압력 센서용의 본 발명에 따른 상호접속들을 도시한 단면도.
- [0023] 도 6은 도 2 또는 도 3의 것과 같은 장치의 일부의 단면도로서, 전계 발광 장치와 일체화된 용량 센서용의 본 발명에 따른 상호접속들을 도시한 단면도.
- [0024] 도 7은 도 2 또는 도 3의 것과 같은 장치의 일부의 단면도로서, 전계 발광 장치와 일체화된 직접 입력 센서용의 본 발명에 따른 상호접속들을 도시한 단면도.
- [0025] 도 8은 도 2 또는 도 3의 것과 같은 장치의 부분의 단면도로서, 인접한 화소들 또는 서브-화소들의 상측 전극과 하측 전극간의 본 발명에 따른 상호접속들을 도시한 단면도.
- [0026] 도 9는 나란한 도전성 장벽들을 구비한, 본 발명에 따른 장치의 특정 실시예의 레이아웃 특징들의 구체적 예를 도시한 4개 화소 영역들의 평면도.
- [0027] 도 10은 도 9의 나란한 장벽들을 X-X선에서 취한 단면도.
- [0028] 도 11은 도전성 장벽들이 횡단하는, 본 발명에 따른 장치의 특정 실시예의 레이아웃 특징의 또 다른 예의 평면도.
- [0029] 도 12는 본 발명에 따른 상호접속들을 형성하기 위한 도전성 장벽 구조의 또 다른 예의 장치 부분의 단면도.
- [0030] 도 13 내지 도 16은 본 발명에 따른 특징의 일 실시예에 의해 제조의 단계들에서 도 2 또는 도 3의 것과 같은 장치의 부분의 단면도들.
- [0031] 도 17은 본 발명에 따른 도전성 장벽 상호접속들의 절연의 변경을 도시한, 절연 단계에서의 장치 부분의 단면도.
- [0032] 모든 도면들은 개략적인 것에 유의해야 한다. 이들 도면들의 상대적 크기들 및 부분들의 비례들은 도면들에서 명료 및 편의를 위해 크기가 과장되거나 축소하여 도시되었다. 수정된 및 상이한 실시예들 내의 대응하거나 유사한 특징들 지칭에 일반적으로 동일 참조부호가 사용된다.

도면

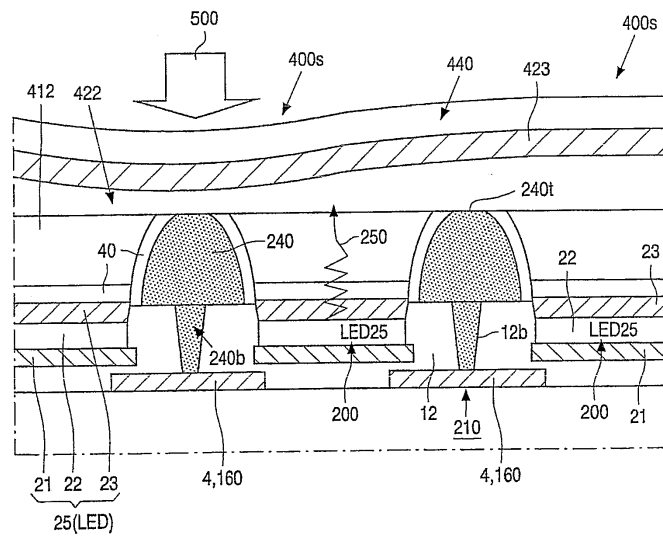
도면1



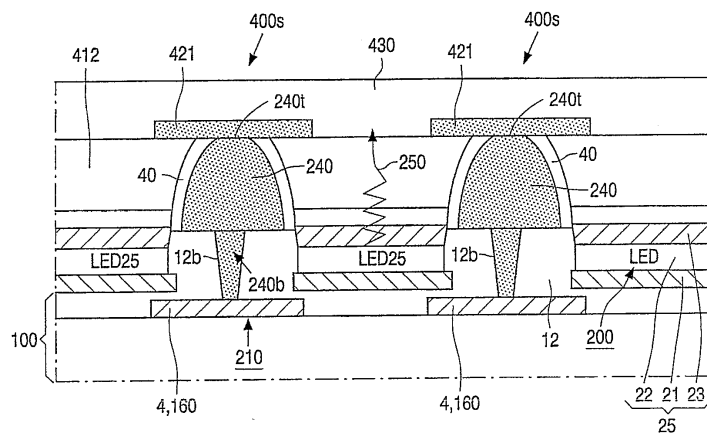
도면2



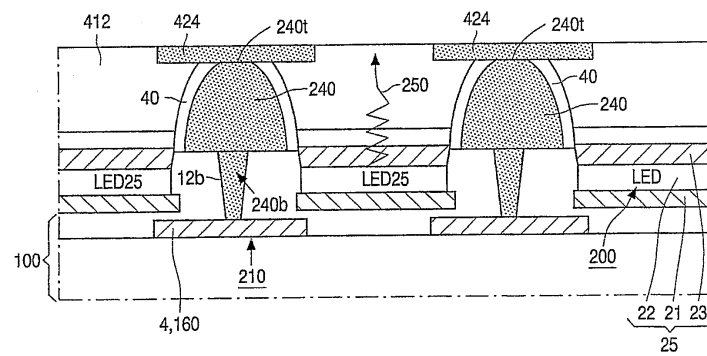
도면5



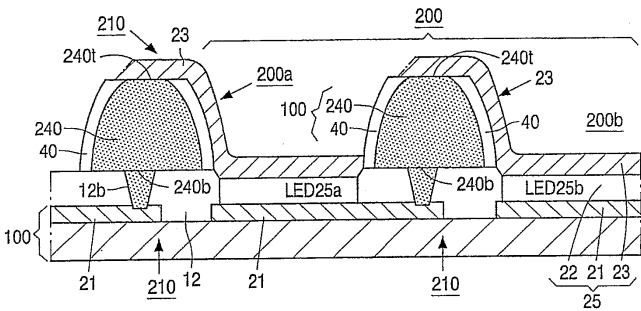
도면6



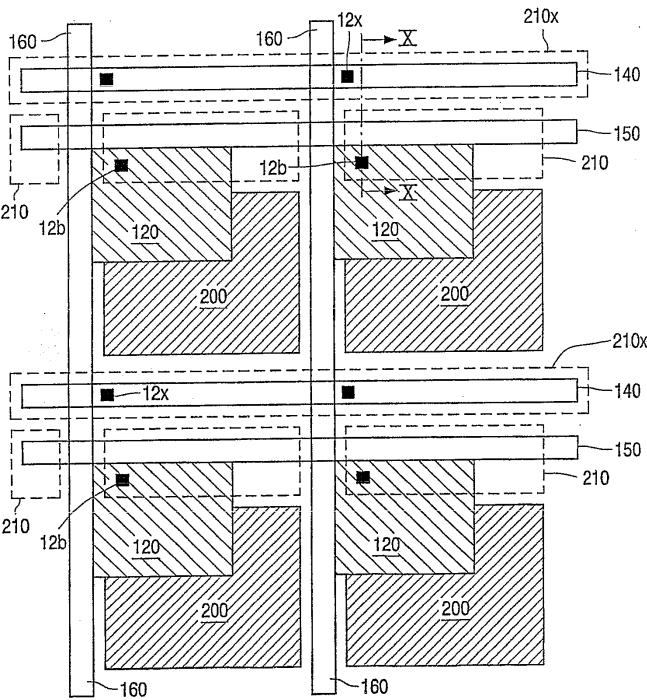
도면7



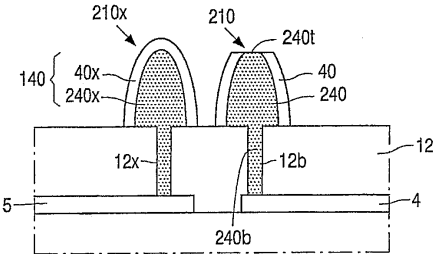
도면8



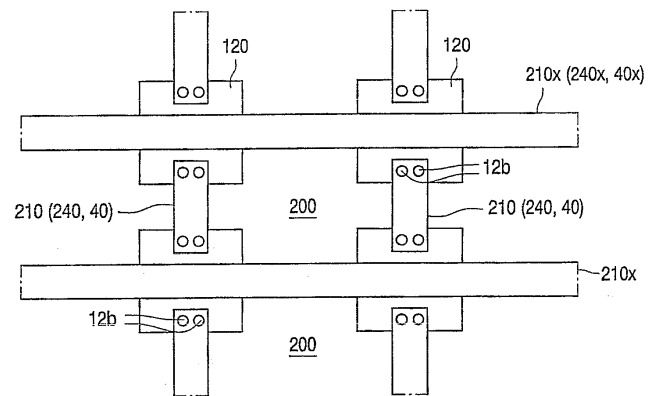
도면9



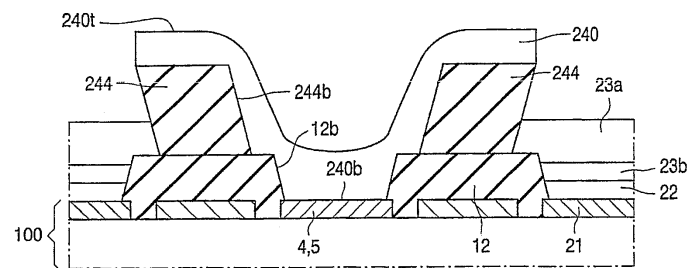
도면10



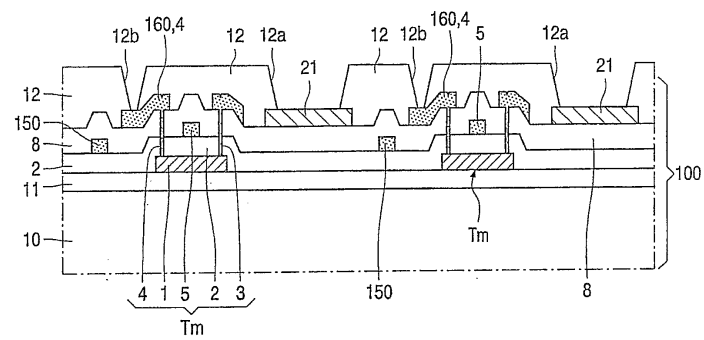
도면11



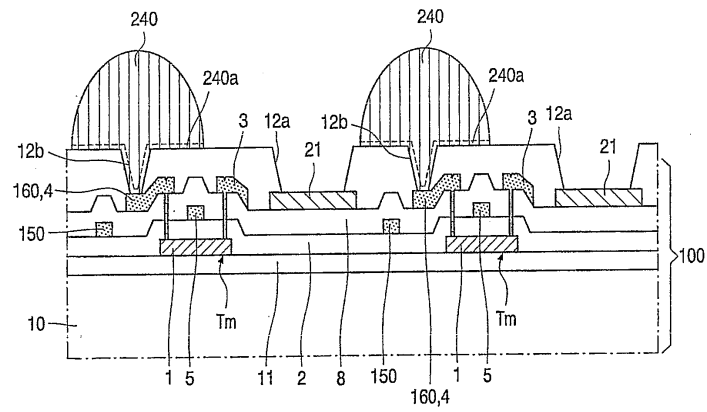
도면12



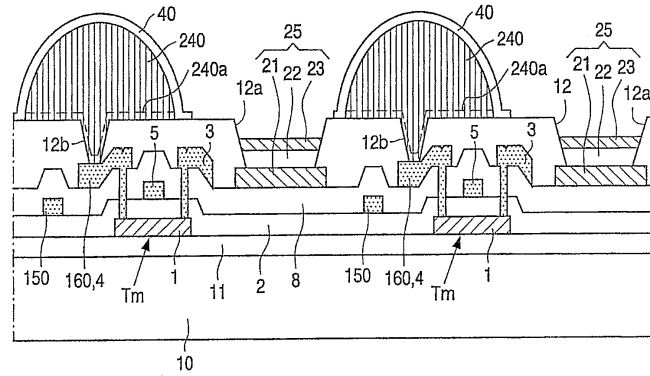
도면13



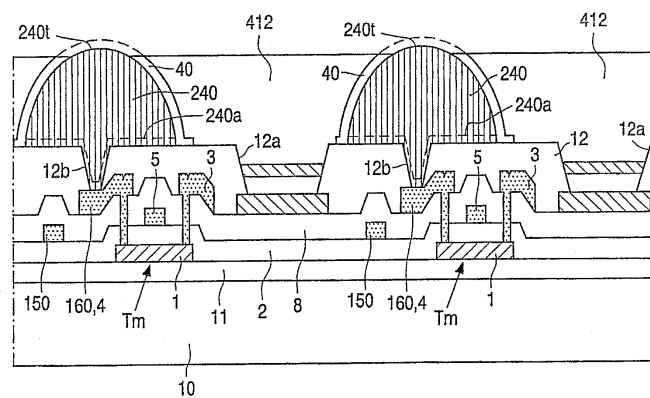
도면14



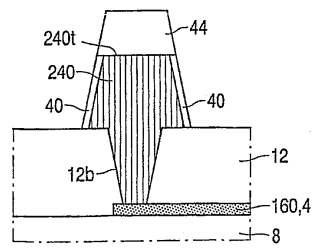
도면15



도면16



도면17



专利名称(译)	有源矩阵电致发光显示器及其制造		
公开(公告)号	KR101016991B1	公开(公告)日	2011-02-25
申请号	KR1020047014823	申请日	2003-03-19
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	YOUNG NIGEL D 영니겔디 CHILDS MARK J 차일즈마크제이 FISH DAVID A 피시데이비드에이 HECTOR JASON R 헥터제이슨알		
发明人	영니겔디. 차일즈마크제이. 피시데이비드에이. 헥터제이슨알.		
IPC分类号	H05B33/22 H05B33/26 H01L27/00 H05B33/10		
代理人(译)	张本勋		
优先权	2002006551 2002-03-20 GB 2002009562 2002-04-26 GB 2002016055 2002-07-11 GB		
其他公开文献	KR1020040093171A		
外部链接	Espacenet		

摘要(译)

在有源矩阵电致发光显示装置上的相邻像素200之间存在物理屏障210，特别是在有机半导体材料的LED25处的电路板100上。本发明基于以下事实：这些屏障210连接到电路板的第一电路元件21,4,5,6,140,150,160，T1，T2，Tm，Tg，Ch和第二电路元件400。例如，金属或其他导电材料（240）用作支撑在电路阵列上的传感器阵列的传感器（400s）之间的互连。导电阻挡金属240具有非绝缘的上接触区域240t，其中第二电路元件连接到导电阻挡材料240并且在邻近LED的阻挡物的侧面处绝缘40。

