



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월05일
(11) 등록번호 10-0782461
(24) 등록일자 2007년11월29일

(51) Int. Cl.
H05B 33/08 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2006-0031134
(22) 출원일자 2006년04월05일
심사청구일자 2006년04월05일
(65) 공개번호 10-2007-0099845
(43) 공개일자 2007년10월10일
(56) 선행기술조사문헌
KR1020030013047 A
KR1020060003632 A
KR1020060114538 A

(73) 특허권자
삼성에스디아이 주식회사
경기 수원시 영통구 신동 575
(72) 발명자
전우식
경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
유경진
경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
(뒷면에 계속)
(74) 대리인
박상수

전체 청구항 수 : 총 22 항

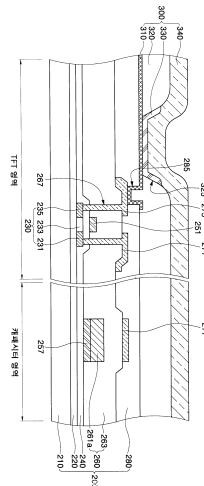
심사관 : 안준형

(54) TFT패널 및 이의 제조 방법, 그리고 이를 구비하는 유기전계 발광 표시 장치

(57) 요약

본 발명은 TFT 패널의 TFT 영역 및 캐패시터 영역의 층간 절연막의 유전율을 달리할 수 있는 TFT 패널 및 이의 제조 방법, 그리고 이를 구비하는 유기 전계 발광 표시 장치에 관한 것으로, 본 발명의 TFT 패널은 TFT 영역 및 캐패시터 영역으로 구분되는 절연 기관의 TFT 영역 상에 형성되며, 소스/드레인 영역을 구비하는 활성층과; 상기 TFT 영역의 게이트 절연막 상에 형성된 게이트 전극과, 상기 캐패시터 영역의 게이트 절연막 상에 형성된 캐패시터 하부 전극과; 상기 게이트 전극 및 캐패시터 하부 전극을 구비하는 절연 기관 전면에 형성된 층간 절연막과; 상기 TFT 영역의 층간 절연막 상에 형성되어 상기 활성층의 소스/드레인 영역과 전기적으로 연결되는 소스/드레인 전극과, 상기 캐패시터 영역의 상기 층간 절연막 상에 형성되어 상기 캐패시터 하부 전극과 대응하는 캐패시터 상부 전극을 구비하며, 상기 층간 절연막은 상기 TFT 영역과 캐패시터 영역에서의 유전율이 다르게 형성되어 있다.

대표도 - 도2f



(72) 발명자

임충열

경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

최종현

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

권도현

경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

특허청구의 범위

청구항 1

TFT 영역 및 캐패시터 영역으로 구분되는 절연 기관의 TFT 영역 상에 형성되며, 소스/드레인 영역을 구비하는 활성층과;

상기 TFT 영역의 게이트 절연막 상에 형성된 게이트 전극과, 상기 캐패시터 영역의 게이트 절연막 상에 형성된 캐패시터 하부 전극과;

상기 게이트 전극 및 캐패시터 하부 전극을 구비하는 절연 기관 전면에 형성된 층간 절연막과;

상기 TFT 영역의 층간 절연막 상에 형성되어 상기 활성층의 소스/드레인 영역과 전기적으로 연결되는 소스/드레인 전극과, 상기 캐패시터 영역의 상기 층간 절연막 상에 형성되어 상기 캐패시터 하부 전극과 대응하는 캐패시터 상부 전극을 구비하며,

상기 TFT 영역에서의 층간절연막의 유전율과 상기 캐패시터 영역에서의 층간절연막의 유전율은 다른 것을 특징으로 하는 TFT 패널.

청구항 2

제 1항에 있어서,

상기 캐패시터 영역에서의 층간 절연막의 유전율은 상기 TFT 영역에서의 층간 절연막의 유전율보다 큰 것을 특징으로 하는 TFT 패널.

청구항 3

제 1항에 있어서,

상기 층간 절연막은

상기 캐패시터 하부 전극 상에 형성된 제 1 절연막 패턴과;

상기 캐패시터 하부 전극 상의 제 1 절연막을 구비하는 절연 기관 전면에 형성된 제 2 절연막을 포함하는 것을 특징으로 하는 TFT 패널.

청구항 4

제 1항에 있어서,

상기 층간 절연막은

상기 TFT 영역에서는 상기 게이트 전극 상부가 제거되며, 상기 캐패시터 영역에서는 상기 캐패시터 하부 전극 상에 형성된 제 1 절연막 패턴과;

상기 제 1 절연막을 구비하는 절연 기관 전면에 형성된 제 2 절연막을 포함하는 것을 특징으로 하는 TFT 패널.

청구항 5

제 3항 및 제 4항 중 어느 하나의 항에 있어서,

상기 제 1 절연막은 상기 제 2 절연막보다 고유전 물질로 이루어지는 것을 특징으로 하는 TFT 패널.

청구항 6

제 3항 및 제 4항 중 어느 하나의 항에 있어서,

상기 제 1 절연막은 Ta₂O₅, TiO₂, SiN_x 또는 Al₂O₃로 이루어지는 것을 특징으로 하는 TFT 패널.

청구항 7

제 3항 및 제 4항 중 어느 하나의 항에 있어서,

상기 제 2 절연막은 SiO₂, SiNx, SiON 중 어느 하나로 이루어지는 것을 특징으로 하는 TFT 패널.

청구항 8

제 1항에 있어서,

상기 소스/드레인 전극 및 캐패시터 상부 전극을 구비하는 절연 기판 전면에 형성된 보호막을 더 구비하는 것을 특징으로 하는 TFT 패널.

청구항 9

TFT 영역 및 캐패시터 영역으로 구분되는 절연 기판의 TFT 영역 상에 소스/드레인 영역을 구비하는 활성층을 형성하는 단계와;

상기 절연 기판 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 TFT 영역에는 게이트 전극을, 캐패시터 영역에는 캐패시터 하부 전극을 형성하는 단계와;

상기 게이트 전극 및 캐패시터 하부 전극을 구비하는 절연 기판 상에 층간 절연막을 형성하는 단계와;

상기 활성층의 소스/드레인 영역과 전기적으로 연결되는 소스/드레인 전극을, 상기 캐패시터 영역에는 캐패시터 상부 전극을 형성하는 단계를 포함하며,

상기 TFT 영역에서의 층간절연막의 유전율과 상기 캐패시터 영역에서의 층간절연막의 유전율은 다른 것을 특징으로 하는 TFT 패널의 제조 방법.

청구항 10

제 9항에 있어서,

상기 캐패시터 영역에서의 층간 절연막의 유전율은 상기 TFT 영역에서의 층간 절연막의 유전율보다 큰 것을 특징으로 하는 TFT 패널의 제조 방법.

청구항 11

제 9항에 있어서,

상기 층간 절연막을 형성하는 단계는

상기 캐패시터 상부 전극을 구비하는 절연 기판 전면에 제 1 절연막을 형성하고 패터닝하여, 상기 캐패시터 상부 전극 상에 제 1 절연막 패턴을 형성하는 단계와;

상기 제 1 절연막 패턴을 구비하는 절연 기판 전면에 저유전 물질을 도포하여 제 2 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 TFT 패널의 제조 방법.

청구항 12

제 9항에 있어서,

상기 층간 절연막을 형성하는 단계는

상기 캐패시터 상부 전극을 구비하는 절연 기판 전면에 제 1 절연막을 형성하고 패터닝하여, 상기 게이트 전극의 상부는 제거되며, 상기 캐패시터 상부 전극 상에는 잔류하는 제 1 절연막 패턴을 형성하는 단계와;

상기 제 1 절연막을 구비하는 절연 기판 전면에 형성된 제 2 절연막을 포함하는 것을 특징으로 하는 TFT 패널의 제조 방법.

청구항 13

제 11항 및 제 12항 중 어느 하나의 항에 있어서,

상기 제 1 절연막은 상기 제 2 절연막보다 고유전 물질로 이루어지는 것을 특징으로 하는 TFT 패널의 제조 방법.

청구항 14

제 11항 및 제 12항 중 어느 하나의 항에 있어서,

상기 제 1 절연막은 Ta2O5, TiO2, SiNx 또는 Al2O3로 이루어지는 것을 특징으로 하는 TFT 패널의 제조 방법.

청구항 15

제 11항 및 제 12항 중 어느 하나의 항에 있어서,

상기 제 2 절연막은 SiO2, SiNx, SiON 중 어느 하나로 이루어지는 것을 특징으로 하는 TFT 패널의 제조 방법.

청구항 16

제 9항에 있어서,

상기 소스/드레인 전극 및 캐패시터 상부 전극을 구비하는 절연 기판 전면에 보호막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 TFT 패널의 제조 방법.

청구항 17

TFT 영역 및 캐패시터 영역으로 구분되는 절연 기판의 TFT 영역 상에 형성되며, 소스/드레인 영역을 구비하는 활성층과;

상기 TFT 영역의 게이트 절연막 상에 형성된 게이트 전극과, 상기 캐패시터 영역의 게이트 절연막 상에 형성된 캐패시터 하부 전극과;

상기 게이트 전극 및 캐패시터 하부 전극을 구비하는 절연 기판 전면에 형성된 층간 절연막과;

상기 TFT 영역의 층간 절연막 상에 형성되어 상기 활성층의 소스/드레인 영역과 전기적으로 연결되는 소스/드레인 전극과, 상기 캐패시터 영역의 상기 층간 절연막 상에 형성되어 상기 캐패시터 하부 전극과 대응하는 캐패시터 상부 전극과;

상기 소스/드레인 전극 및 캐패시터 상부 전극을 구비하는 절연 기판 전면에 형성된 보호막과;

상기 소스/드레인 전극 중 어느 하나와 전기적으로 연결되는 EL 소자를 구비하며,

상기 TFT 영역에서의 층간절연막의 유전율과 상기 캐패시터 영역에서의 층간절연막의 유전율은 다른 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 18

제 17항에 있어서,

상기 캐패시터 영역에서의 층간 절연막의 유전율은 상기 TFT 영역에서의 층간 절연막의 유기 전계 발광 표시 장치.

청구항 19

제 17항에 있어서,

상기 층간 절연막은

상기 캐패시터 하부 전극 상에 형성된 제 1 절연막 패턴과;

상기 캐패시터 하부 전극 상의 제 1 절연막을 구비하는 절연 기판 전면에 형성된 제 2 절연막을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 20

제 17항에 있어서,

상기 층간 절연막은

상기 TFT 영역에서는 상기 게이트 전극 상부가 제거되며, 상기 캐패시터 영역에서는 상기 캐패시터 하부 전극

상에 형성된 제 1 절연막 패턴과;

상기 제 1 절연막을 구비하는 절연 기판 전면에 형성된 제 2 절연막을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 21

제 19항 및 제 20항 중 어느 하나의 항에 있어서,

상기 제 1 절연막은 상기 제 2 절연막보다 고유전 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 22

제 17항에 있어서,

상기 소스/드레인 전극 및 캐패시터 상부 전극을 구비하는 절연 기판 전면에 형성된 보호막을 더 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 TFT 패널 및 이의 제조 방법, 그리고 이를 구비하는 유기 전계 표시 장치에 관한 것으로, 더욱 상세하게는 TFT 패널의 TFT 영역 및 캐패시터 영역의 층간 절연막의 유전율을 달리할 수 있는 TFT 패널 및 이의 제조 방법, 그리고 이를 구비하는 유기 전계 발광 표시 장치에 관한 것이다.
- <16> 일반적으로, 평판 표시 장치 중 하나인 유기 전계 발광 표시 장치는 전자(electron) 주입 전극(cathode)과 정공(hole) 주입 전극(anode)으로부터 각각 전자(electron)와 정공(hole)을 발광층 내부로 주입시켜, 주입된 전자(electron)와 정공(hole)이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저 상태로 떨어질 때 발광하는 발광 표시 장치이다.
- <17> 이러한 원리로 인해 종래의 박막 액정 표시 소자와는 달리 별도의 광원을 필요로 하지 않으므로 소자의 부피와 무게를 줄일 수 있는 장점이 있다.
- <18> 또한, 상기 유기 전계 발광 표시 장치는 구동하는 방식에 따라 패시브 매트릭스형(passive matrix type)과 액티브 매트릭스형(active matrix type)으로 나눌 수 있다.
- <19> 상기 패시브 매트릭스형 유기 전계 발광 표시 장치는 그 구성이 단순하여 제조 방법 또한 단순 하나 높은 소비전력과 표시 소자의 대면적화에 어려움이 있으며, 배선의 수가 증가하면 할수록 개구율이 저하되는 단점이 있다.
- <20> 따라서, 소형의 표시 소자에 적용할 경우에는 상기 패시브 매트릭스형 유기 전계 발광 표시 장치를 사용하는 반면, 대면적의 표시 소자에 적용할 경우에는 상기 액티브 매트릭스형 유기 전계 발광 표시 장치를 사용한다.
- <21> 이하 첨부된 도면을 참조하여, 종래의 전면 발광 유기 전계 발광 표시 장치를 설명한다.
- <22> 도 1은 종래의 유기 전계 발광 표시 장치를 설명하기 위한 단면도로서, 하나의 박막 트랜지스터(TFT, Thin Film Transistor, 이하에서는 "TFT"라 칭함.) 및 화소 전극과 캐패시터에 대응되는 부분에 한정하여 도시한 것이다.
- <23> 도 1을 참조하면, 종래의 일반적인 유기 전계 발광 표시 장치는 TFT 및 캐패시터를 구비하는 TFT 패널 및 상기 TFT 패널 상부에 형성된 유기 EL을 구비하는 구조로 이루어진다.
- <24> 하기에서는, 개략적인 제조 공정을 통하여 종래의 유기 전계 발광 표시 장치의 구조를 설명한다.
- <25> 우선, TFT 영역 및 캐패시터 영역으로 구분되는 절연 기판(100)상에 버퍼층(110)을 형성하고, 상기 버퍼층(110) 상에 소스/드레인 영역(122, 125)을 구비한 활성층(120)을 형성하며, 게이트 절연막(130) 상에 게이트 전극

(141) 및 캐패시터(C)의 하부 전극(147)을 형성한다. 그런 다음, 층간 절연막(150) 상에는 콘택 홀(151, 155)을 통해 상기 소스/드레인 영역(122, 125)과 연결되는 소스/드레인 전극(161, 165)과, 캐패시터(C)의 상부 전극(167)을 형성하여 TFT 및 캐패시터를 형성한다. 그런 다음, 상기 절연 기관(100)의 전면에 보호막(170)을 형성하여, 상기 TFT 패널을 형성한다.

- <26> 상기 TFT 패널을 형성한 후, 상기 보호막(170) 상에 비아 홀(175)을 통해 상기 소스/드레인 전극(161, 165) 중 어느 하나, 예를 들어 드레인 전극(165)에 연결되는 EL소자의 애노드 전극으로써 화소 전극인 하부 전극(180)을 형성한다. 그런 다음, 상기 하부 전극(180)을 일부분을 노출시키는 개구부(189)를 구비하는 화소 정의막(185)을 형성하고, 상기 개구부(189)내의 하부 전극(180)상에 유기막(190)이 형성하며, 상기 유기막(190) 상의 절연 기관(100) 전면에 캐소드 전극으로 작용하는 상부 전극(195)이 형성하여, 상기 TFT 패널의 TFT와 전기적으로 연결되는 유기 EL 소자를 형성한다.
- <27> 한편, 최근에는 상기 TFT 패널에서 캐패시터의 충전 용량을 증가시키기 위하여 상기 층간 절연막(150)에 사용되는 절연 물질로 유전율이 큰 물질을 적용하는 기술이 연구되고 있다.
- <28> 그러나, 유전율이 큰 물질을 사용함으로써, 상기 TFT 패널의 TFT 내에서 기생 컵 효과가 크게 발생하여, TFT의 소자 특성에 영향을 미치는 등의 악영향이 발생하고 있는 실정이다.

발명이 이루고자 하는 기술적 과제

- <29> 본 발명의 목적은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명은 본 발명은 TFT 패널의 TFT 영역 및 캐패시터 영역의 층간 절연막의 유전율을 달리할 수 있는 TFT 패널 및 이의 제조 방법, 그리고 이를 구비하는 유기 전계 발광 표시 장치를 제공하는 데에 그 목적이 있다.
- <30> 보다 궁극적으로, 본 발명은 TFT 패널 캐패시터 영역에 고 유전율의 층간 절연막을 적용하여 캐패시터 충전 용량이 향상된 TFT 패널 및 이의 제조 방법, 그리고 이를 구비하는 유기 전계 발광 표시 장치를 제공하는 데에 그 목적이 있다.

발명의 구성 및 작용

- <31> 상기한 목적을 달성하기 위한 본 발명의 TFT 패널은 TFT 영역 및 캐패시터 영역으로 구분되는 절연 기관의 TFT 영역 상에 형성되며, 소스/드레인 영역을 구비하는 활성층과; 상기 TFT 영역의 게이트 절연막 상에 형성된 게이트 전극과, 상기 캐패시터 영역의 게이트 절연막 상에 형성된 캐패시터 하부 전극과; 상기 게이트 전극 및 캐패시터 하부 전극을 구비하는 절연 기관 전면에 형성된 층간 절연막과; 상기 TFT 영역의 층간 절연막 상에 형성되어 상기 활성층의 소스/드레인 영역과 전기적으로 연결되는 소스/드레인 전극과, 상기 캐패시터 영역의 상기 층간 절연막 상에 형성되어 상기 캐패시터 하부 전극과 대응하는 캐패시터 상부 전극을 구비하며, 상기 층간 절연막은 상기 TFT 영역과 캐패시터 영역에서의 유전율이 다르게 형성되어 있다.
- <32> 바람직하게는 상기 캐패시터 영역에서의 층간 절연막의 유전율은 상기 TFT 영역에서의 층간 절연막의 유전율보다 크다.
- <33> 상기 층간 절연막은 상기 캐패시터 하부 전극 상에 형성된 제 1 절연막 패턴과; 상기 캐패시터 하부 전극 상의 제 1 절연막을 구비하는 절연 기관 전면에 형성된 제 2 절연막을 포함할 수 있다.
- <34> 상기 층간 절연막은 상기 TFT 영역에서는 상기 게이트 전극 상부가 제거되며, 상기 캐패시터 영역에서는 상기 캐패시터 하부 전극 상에 형성된 제 1 절연막 패턴과; 상기 제 1 절연막을 구비하는 절연 기관 전면에 형성된 제 2 절연막을 포함할 수 있다.
- <35> 상기 제 1 절연막은 상기 제 2 절연막보다 고유전 물질로 이루어지며, 바람직하게는 상기 제 1 절연막은 Ta2O5, TiO2, SiNx 또는 Al2O3로 이루어질 수 있다.
- <36> 상기 제 2 절연막은 SiO2, SiNx, SiON 중 선택되는 어느 하나로 이루어질 수 있다.
- <37> 상기 소스/드레인 전극 및 캐패시터 상부 전극을 구비하는 절연 기관 전면에 형성된 보호막을 더 구비할 수 있다.
- <38> 또한, 본 발명의 TFT 패널의 제조 방법은 TFT 영역 및 캐패시터 영역으로 구분되는 절연 기관의 TFT 영역 상에 소스/드레인 영역을 구비하는 활성층을 형성하는 단계와; 상기 절연 기관 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상에 TFT 영역에는 게이트 전극을, 캐패시터 영역에는 캐패시터 하부 전극을 형성하

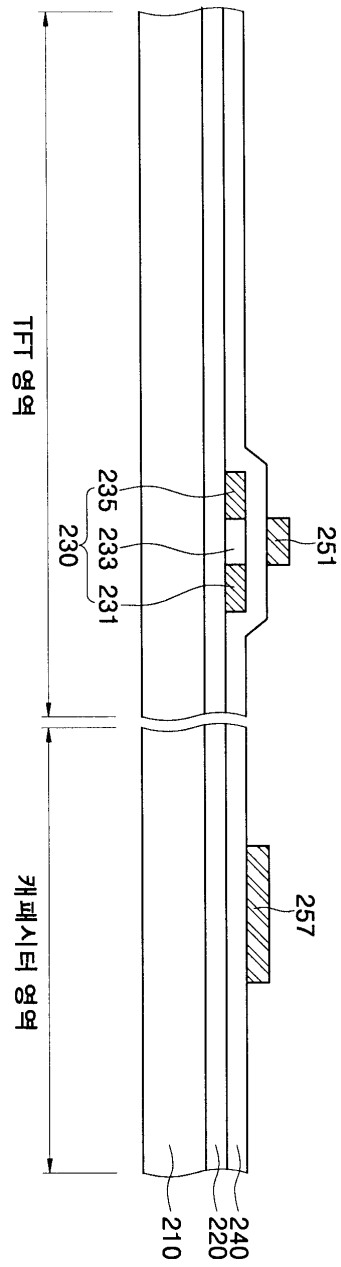
는 단계와; 상기 게이트 전극 및 캐패시터 하부 전극을 구비하는 절연 기판 상에 층간 절연막을 형성하는 단계와; 상기 활성층의 소스/드레인 영역과 전기적으로 연결되는 소스/드레인 전극을, 상기 캐패시터 영역에는 캐패시터 상부 전극을 형성하는 단계를 포함하며, 상기 층간 절연막은 상기 TFT 영역과 캐패시터 영역에서의 유전율이 다르도록 형성한다.

- <39> 상기 층간 절연막을 형성하는 단계는 상기 캐패시터 상부 전극을 구비하는 절연 기판 전면에서 제 1 절연막을 형성하고 패터닝하여, 상기 캐패시터 상부 전극 상에 제 1 절연막 패턴을 형성하는 단계와; 상기 제 1 절연막 패턴을 구비하는 절연 기판 전면에서 저유전 물질을 도포하여 제 2 절연막을 형성하는 단계를 포함할 수 있다.
- <40> 상기 층간 절연막을 형성하는 단계는 상기 캐패시터 상부 전극을 구비하는 절연 기판 전면에서 제 1 절연막을 형성하고 패터닝하여, 상기 게이트 전극의 상부는 제거되며, 상기 캐패시터 상부 전극 상에는 잔류하는 제 1 절연막 패턴을 형성하는 단계와; 상기 제 1 절연막을 구비하는 절연 기판 전면에서 형성된 제 2 절연막을 포함할 수 있다.
- <41> 상기 소스/드레인 전극 및 캐패시터 상부 전극을 구비하는 절연 기판 전면에서 보호막을 형성하는 단계를 더 구비할 수 있다.
- <42> 또한, 본 발명의 유기 전계 발광 표시 장치는 TFT 영역 및 캐패시터 영역으로 구분되는 절연 기판의 TFT 영역 상에 형성되며, 소스/드레인 영역을 구비하는 활성층과; 상기 TFT 영역의 게이트 절연막 상에 형성된 게이트 전극과, 상기 캐패시터 영역의 게이트 절연막 상에 형성된 캐패시터 하부 전극과; 상기 게이트 전극 및 캐패시터 하부 전극을 구비하는 절연 기판 전면에서 형성된 층간 절연막과; 상기 TFT 영역의 층간 절연막 상에 형성되어 상기 활성층의 소스/드레인 영역과 전기적으로 연결되는 소스/드레인 전극과, 상기 캐패시터 영역의 상기 층간 절연막 상에 형성되어 상기 캐패시터 하부 전극과 대응하는 캐패시터 상부 전극과; 상기 소스/드레인 전극 및 캐패시터 상부 전극을 구비하는 절연 기판 전면에서 형성된 보호막과; 상기 소스/드레인 전극 중 어느 하나와 전기적으로 연결되는 EL 소자를 구비하며, 상기 층간 절연막은 상기 TFT 영역과 캐패시터 영역에서의 유전율이 다르게 형성되어 있다.
- <43> 이하 첨부된 도면을 참조하여, 본 발명의 바람직한 실시예를 설명한다.
- <44> 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정을 설명하기 위한 공정 단면도로써, 캐패시터와, 하나의 TFT 및 상기 TFT에 연결되는 EL소자에 한정하여 도시한 것이다.
- <45> 도 2a 내지 도 2f를 참조하면, 본 발명의 일 실시예에 따른 TFT 패널(200) 및 유기 전계 발광 표시 장치는 TFT 패널(200)의 TFT 영역과 캐패시터 영역의 층간 절연막(26)의 유전율이 다르다.
- <46> 이하에서는, 도면과 함께 제조 공정을 통하여 본 발명의 일 실시예를 보다 상세히 설명한다.
- <47> 도 2a를 참조하면, TFT 영역 및 캐패시터 영역으로 구분되며, 버퍼층(220)이 형성된 절연 기판(210) 상에 소스/드레인 영역(231, 235)을 구비하는 활성층(230)을 형성한다. 이때, 상기 활성층(230)의 소스/드레인 영역(231, 235) 사이의 영역은 TFT의 채널 영역으로 작용한다.
- <48> 상기 활성층(230)을 형성한 후, 상기 절연 기판(210) 상에 게이트 절연막(240)을 형성하고, 소정의 전도성 물질을 도포하고 패터닝하여, TFT 패널(200)의 TFT영역에는 게이트 전극(251)을, 캐패시터 영역에는 캐패시터의 하부 전극(257)을 형성한다.
- <49> 도 2b를 참조하면, 상기 게이트 전극(251) 및 캐패시터의 하부 전극(257)을 형성한 후, 상기 절연 기판(210) 전면에서 고 유전 물질로 이루어지는 제 1 절연막(261)을 형성한다.
- <50> 이때, 상기 제 1 절연막(261)을 이루는 고 유전 물질은 Ta₂O₅, TiO₂, SiNx 또는 Al₂O₃로 이루어지는 것이 바람직하다.
- <51> 도 2c를 참조하면, 상기 제 1 절연막(261)을 형성한 후, 상기 제 1 절연막(261)을 패터닝하여, 상기 제 1 절연막(261)이 상기 캐패시터 영역의 캐패시터 하부 전극(257) 상에만 잔류하는 제 1 절연막 패턴(261a)을 형성한다. 즉, 상기 제 1 절연막(261)이 패터닝되어, 캐패시터의 유전층으로 작용할 수 있도록 여타의 부분을 제거하는 것이다.
- <52> 도 2d를 참조하면, 상기 제 1 절연막 패턴(261a)을 형성한 후, 상기 절연 기판(210) 전면에서 제 2 절연막(265)을 형성하여, 층간 절연막(260)을 형성한다.

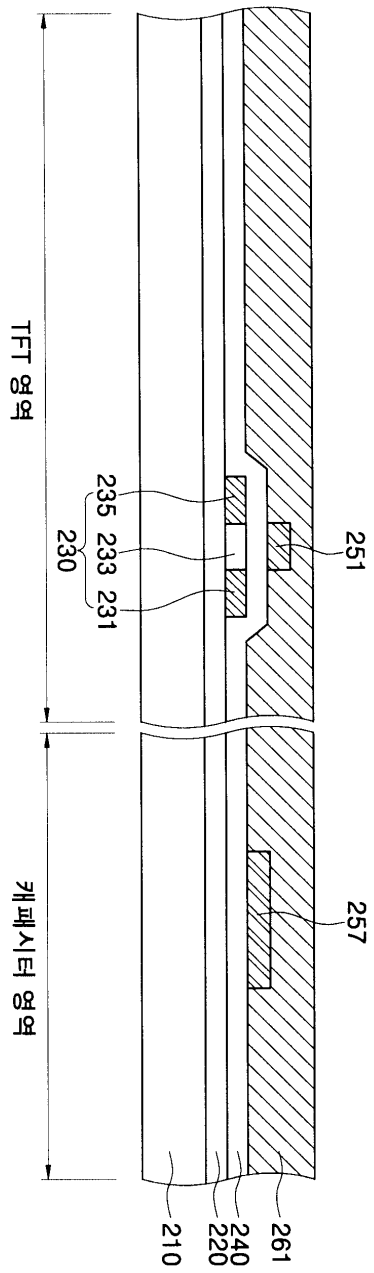
- <53> 이때, 상기 제 2 절연막(265)은 일반적인 절연막으로 사용되는 SiO₂, SiN_x, SiO_N 및 이의 등가물로 이루어지는 것이 바람직하다. 즉, 상기 제 2 절연막(265)은 제 1 절연막(261)에 비하여 상대적으로 저 유전율을 구비하는 물질로 이루어지는 것이 바람직하다.
- <54> 도 2e를 참조하면, 상기 제 2 절연막(265)을 형성하여 층간 절연막(260)을 형성한 후, 상기 활성층(230)의 소스/드레인 영역(231, 225)의 일부를 노출시키는 콘택 홀(267)을 형성한다.
- <55> 상기 콘택 홀(267)을 형성한 후, 소정의 전도성 물질을 증착하고 패터닝하여, 상기 TFT 영역에는 상기 콘택 홀(267)을 통하여 상기 소스/드레인 영역(231, 225)과 전기적으로 연결되는 소스/드레인 전극(271, 275)과, 상기 캐패시터 영역에는 캐패시터 상부 전극(277)을 형성한다.
- <56> 상기 소스/드레인 전극(271, 275) 및 캐패시터 상부 전극(277)을 형성한 후, 상기 절연 기판(210) 전면에 소정의 보호막(280)을 형성하여, TFT 패널을 형성한다.
- <57> 도 2f를 참조하면, 상기 보호막(280)을 형성한 후, 상기 보호막(280)을 패터닝하여, 상기 소스/드레인 전극(271, 275) 중 어느 하나, 예를 들면, 드레인 전극(275)의 일부를 노출시키는 비아 홀(285)을 형성한다.
- <58> 상기 비아 홀(285)을 형성한 후, 상기 비아 홀(285)을 통하여 상기 소스/드레인 전극(271, 275) 중 어느 하나, 예를 들면, 상기 드레인 전극(275)과 전기적으로 연결되는 EL 소자(300)를 형성한다.
- <59> 상기 EL 소자(300)를 예를 들어 보다 상세히 설명하면, 상기 비아 홀(285)을 형성한 후, 소정의 도전막, 예를 들면, ITO 등의 투명한 도전성 물질로 이루어지는 도전막을 형성하고 패터닝하여, 상기 비아 홀을 통하여 상기 소스/드레인 전극(271, 275) 중 어느 하나, 예를 들면 드레인 전극(275)과 전기적으로 연결되는 화소 전극인 EL 소자(300)의 하부 전극(310)을 형성한다.
- <60> 상기 하부 전극(310)을 형성한 후, 상기 하부 전극(310)의 일부분을 노출시키는 개구부(325)가 형성된 화소 정의막(320)을 형성한다.
- <61> 그런 다음, 상기 개구부(325)에 의하여 노출된 하부 전극(310)의 상부를 커버하도록 상기 개구부(325)에 유기막(330)을 형성한다.
- <62> 상기 유기막(330)은 그 기능에 따라 여러 층으로 구성될 수 있는데, 정공 주입층(HIL), 정공 전달층(HTL), 발광층(Emitting Layer), 정공 저지층(HBL), 전자 수송층(ETL), 전자 주입층(EIL) 중 적어도 상기 발광층을 포함하여 하나 이상의 층으로 이루어진다.
- <63> 또한, 본 발명의 일 실시예에서는, 도면상에 도시하지 않았으나, 상기 유기막(330)은 정공 주입층(HIL), 정공 전달층(HTL) 등을 상기 절연 기판 전면에 형성하고, 상기 개구부에 발광층(Emitting Layer)을 형성한 후, 상기 절연 기판 전면에 정공 저지층(HBL), 전자 수송층(ETL), 전자 주입층(ETL)을 형성하여 형성된다.
- <64> 상기 유기막(330)을 형성한 후, 상기 절연 기판(210) 전면에 EL 소자(300)의 상부 전극(340)을 형성하여 EL 소자(340)를 형성한다.
- <65> 이후에는 일반적인 유기 전계 발광 표시 장치의 제조 공정, 즉, 봉지 등의 공정을 통하여, 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치를 완성한다.
- <66> 도 3a 내지 도 3d는 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치의 제조 공정을 설명하기 위한 공정 단면도로써, 캐패시터와, 하나의 TFT 및 상기 TFT에 연결되는 EL소자에 한정하여 도시한 것이다.
- <67> 도 3a 내지 도 3d를 참조하면, 본 발명의 다른 실시예에 따른 TFT 패널(400) 및 유기 전계 발광 표시 장치는 도 2a 내지 도 2f에 도시된 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치와 유사하다. 다만, 층간 절연막(460)의 제 1 절연막 패턴(461a)이 TFT 영역에 일부 잔류하는 구조만이 다르다.
- <68> 이하, 도면을 통하여 본 발명의 다른 실시예에 대하여 보다 상세히 설명한다.
- <69> 도 3a를 참조하면, 버퍼층(420)이 형성된 절연 기판(410) 상에 소스/드레인 영역(431, 435)을 구비하는 활성층(430)을 형성하고, 상기 절연 기판(410) 상에 게이트 절연막(440)을 형성하고, 소정의 전도성 물질을 도포하고 패터닝하여, TFT 패널(400)의 TFT 영역에는 게이트 전극(451)을, 캐패시터 영역에는 캐패시터 하부 전극(457)을 형성한다. 이때, 상기 활성층(430)의 소스/드레인 영역(431, 435) 사이의 영역은 TFT의 채널 영역(433)으로 작용한다.

<6>	220, 420; 버퍼층	230, 430; 활성층
<7>	240, 440; 게이트 절연막	251, 451; 게이트 전극
<8>	257, 457; 캐패시터 하부 전극	260, 460; 층간 절연막
<9>	261, 461; 제 1 절연막	261a, 461a; 제 1 절연막 패턴
<10>	265, 465; 제 2 절연막	271, 471; 소스 전극
<11>	275, 475; 드레인 전극	277, 477; 캐패시터 상부 전극
<12>	280, 480; 보호막	300, 500; EL 소자
<13>	310, 510; 하부 전극	320, 520; 화소 정의막
<14>	330, 530; 유기막	340, 540; 상부 전극

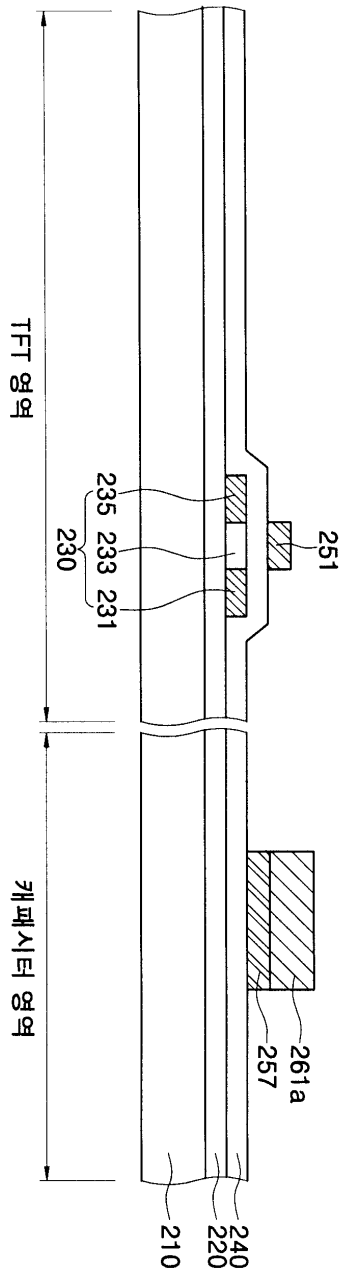
도면2a



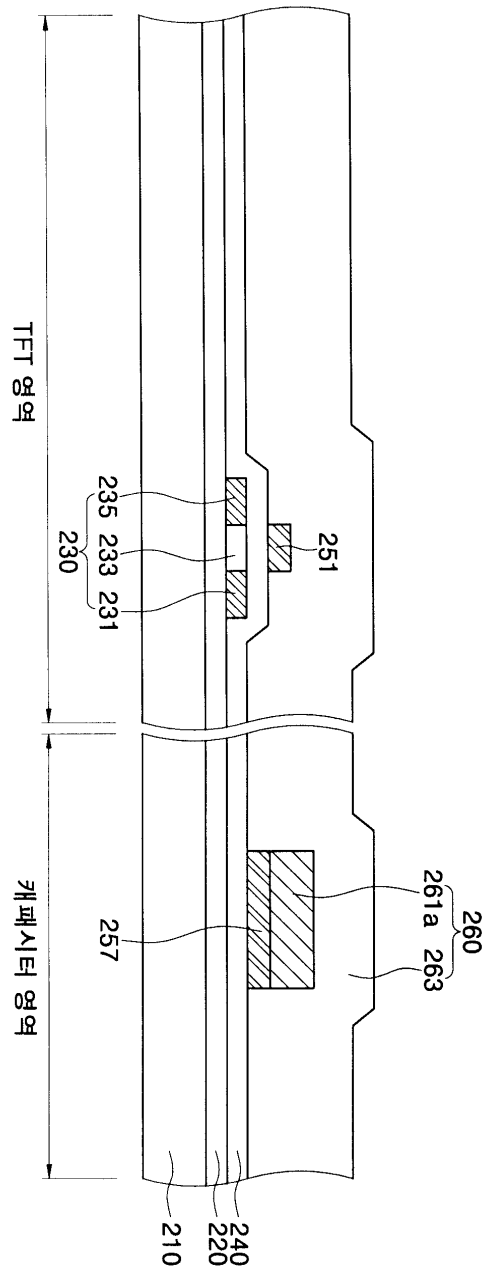
도면2b



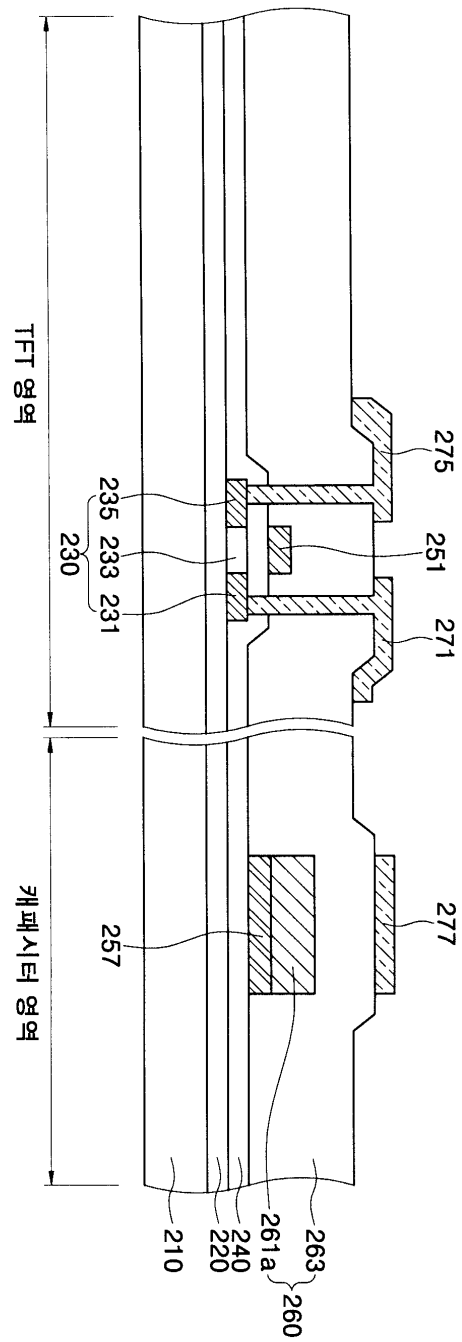
도면2c



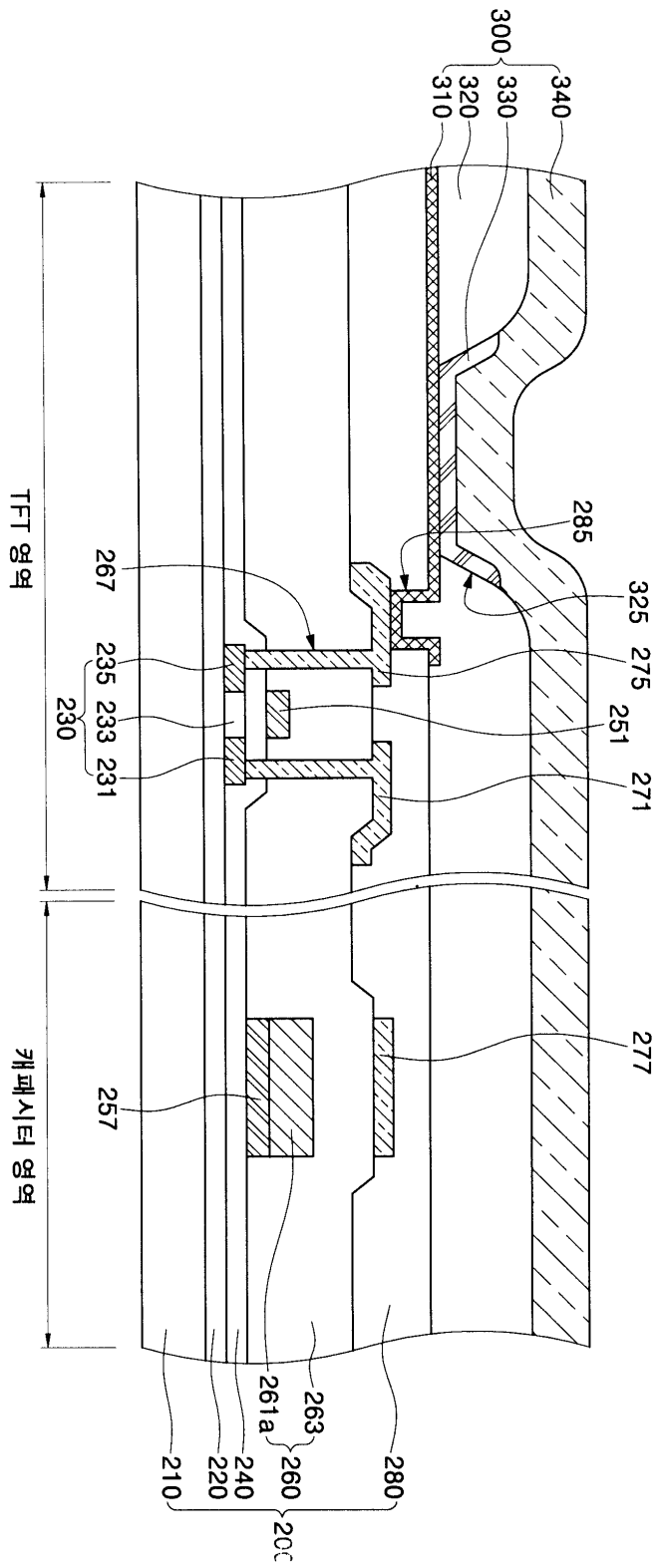
도면2d



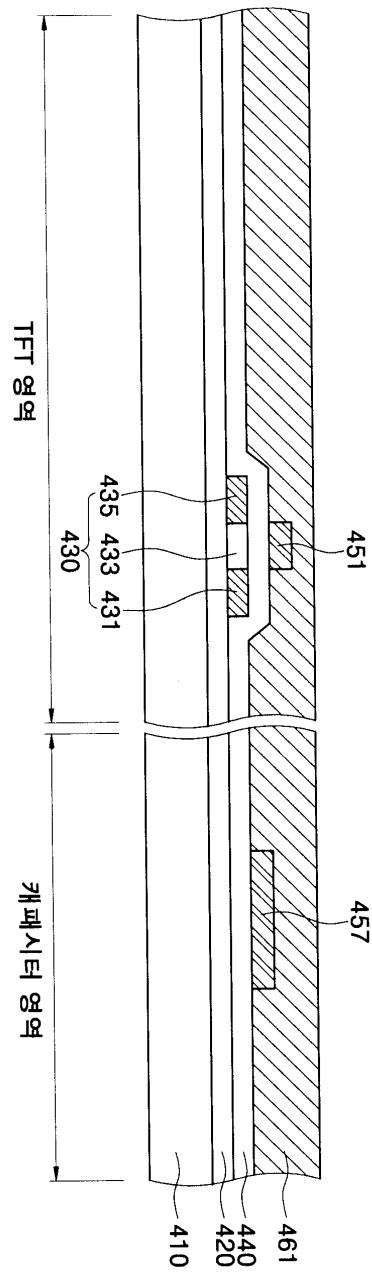
도면2e



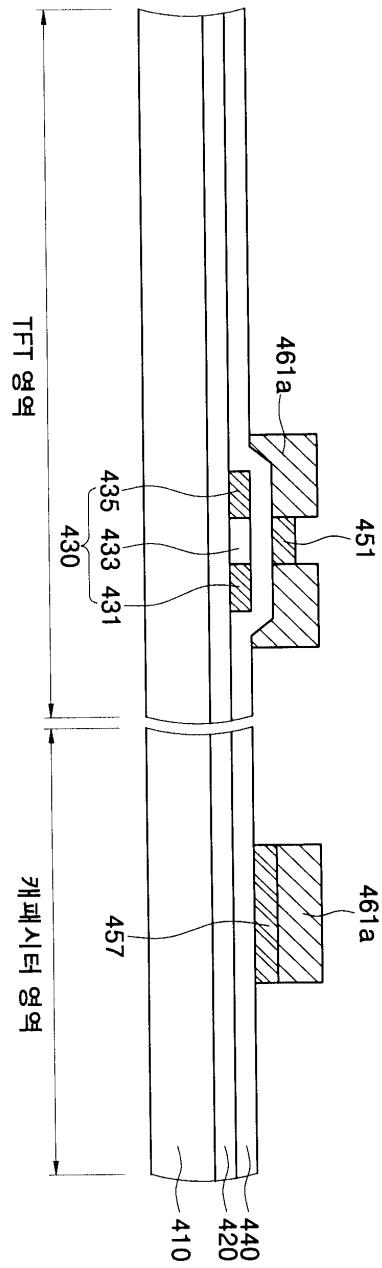
도면2f



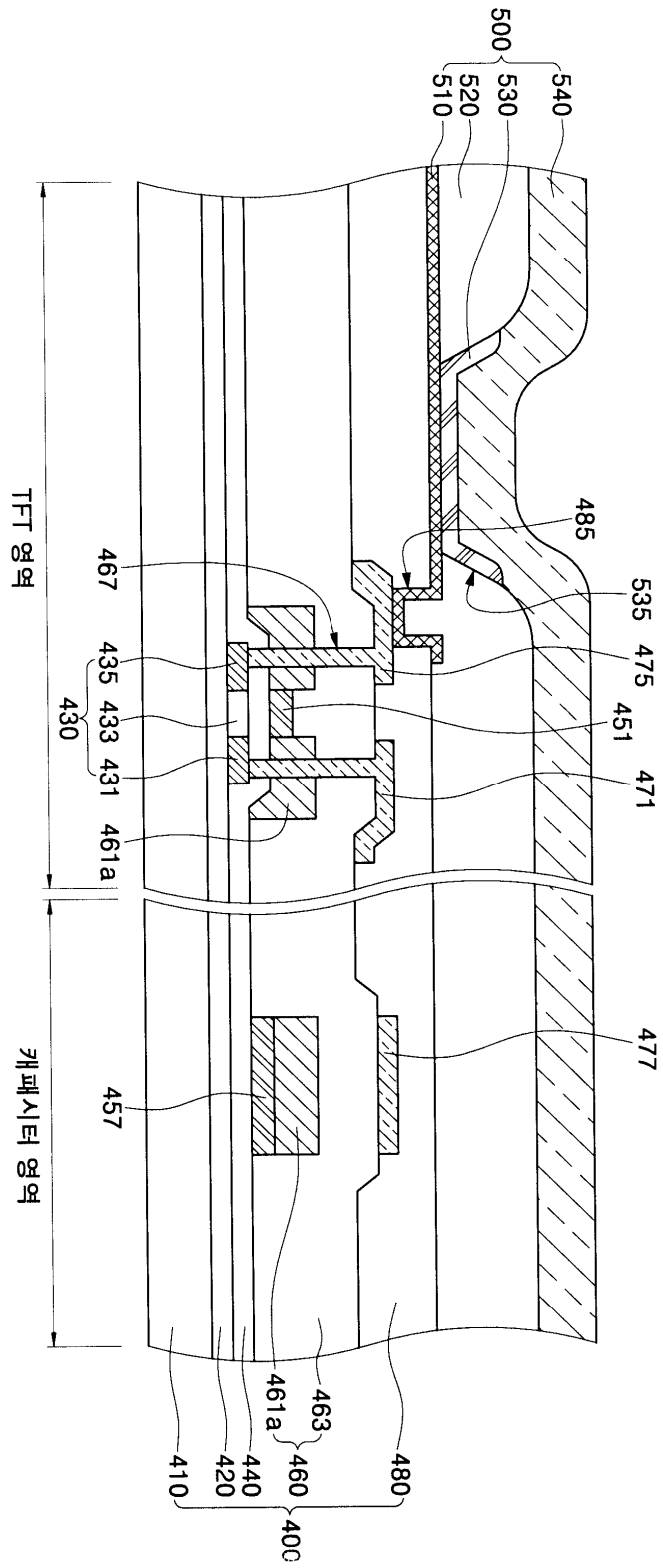
도면3a



도면3b



도면3d



专利名称(译)	TFT面板，其制造方法以及有机发光显示装置		
公开(公告)号	KR100782461B1	公开(公告)日	2007-12-05
申请号	KR1020060031134	申请日	2006-04-05
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	JUN WOO SIK 전우식 YOO KYUNG JIN 유경진 IM CHOONG YOUL 임충열 CHOI JONG HYUN 최종현 KWON DO HYUN 권도현		
发明人	전우식 유경진 임충열 최종현 권도현		
IPC分类号	H05B33/08 H05B33/10		
CPC分类号	H01L27/13 H01L27/1214 H01L27/12 H01L27/1255 E01C5/226 E01C7/26 E01C7/356 E01C13/00		
代理人(译)	PARK, 常树		
其他公开文献	KR1020070099845A		
外部链接	Espacenet		

摘要(译)

本发明涉及区分TFT面板和电容器区域的TFT区域的层间绝缘膜的介电常数的TFT面板及其制造方法和包括该TFT面板的有机电致发光显示装置。并且本发明的TFT面板包括与有源层的源/漏区电连接的源/漏电极，它形成在TFT区域的层间绝缘膜上和形成的层间绝缘膜中。绝缘基板正面包括有源层，该有源层包括源/漏区，有源层形成在分类为电容器区域的绝缘基板的TFT区域和形成在TFT区域的栅极绝缘层上的栅电极，以及电容器下电极：形成在电容器区域的栅极绝缘层和栅电极以及电容器下电极上，电容器上电极对应于电容器下电极，形成在电容器区域的层间绝缘膜上。并且层间绝缘膜与TFT区域和电容器区域处的介电常数边缘不同地形成。有机电致发光显示装置。TFT面板，介电层和介电常数。

