



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월25일
(11) 등록번호 10-0770265
(24) 등록일자 2007년10월19일

(51) Int. Cl.

H05B 33/02(2006.01) H05B 33/22(2006.01)

(21) 출원번호 10-2006-0108492

(22) 출원일자 2006년11월03일

심사청구일자 2006년11월03일

(56) 선행기술조사문헌

KR1020060001377 A

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

전우식

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

유경진

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(뒷면에 계속)

(74) 대리인

박상수

전체 청구항 수 : 총 15 항

심사관 : 하정균

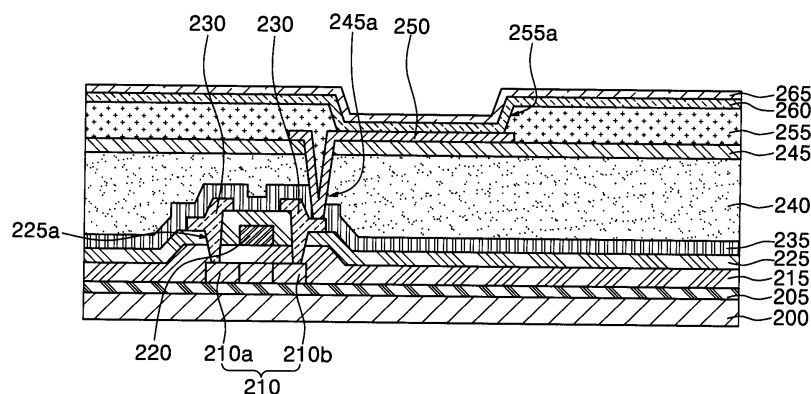
(54) 유기전계발광소자 및 그의 제조방법

(57) 요약

본 발명은 불량률이 감소하여 제품 수율이 향상되는 유기전계발광소자 및 그의 제조방법에 관한 것으로서, 본 발명은 기판; 상기 기판 상부에 위치하고, 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터; 상기 박막트랜지스터 상부에 위치하는 제 1 절연막; 상기 제 1 절연막 상부에 위치하는 무기 평탄화막; 상기 무기 평탄화막 상부에 위치하는 제 2 절연막; 상기 제 2 절연막 상부에 위치하고, 상기 소오스/드레인 전극과 연결되는 제 1 전극; 상기 제 1 전극 상에 위치하며, 발광층을 포함하는 유기막; 및 상기 유기막 상에 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자를 제공한다.

또한, 본 발명은 기판을 제공하고, 상기 기판 상에 반도체층, 게이트 전극, 소오스/드레인 전극을 포함하는 박막트랜지스터를 형성하고, 상기 박막트랜지스터 상부에 제 1 절연막을 형성하고, 상기 제 1 절연막 상에 무기 평탄화막을 형성하고, 상기 무기 평탄화막 상에 제 2 절연막을 형성하고, 상기 제 1 절연막, 상기 무기평탄화막 및 상기 제 2 절연막 상에 상기 소오스/드레인 전극을 노출시키는 비어홀을 형성하고, 상기 비어홀을 통하여 상기 소오스/드레인 전극과 연결되는 제 1 전극을 형성하고, 상기 제 1 전극 상에 발광층을 포함하는 유기막층을 형성하고, 상기 유기막층 상에 제 2 전극을 형성하는 것을 포함하는 유기전계발광소자의 제조방법을 제공한다.

대표도 - 도2



(72) 발명자

최중현

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

임충열

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

권도현

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

특허청구의 범위

청구항 1

기관;

상기 기관 상부에 위치하고, 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터;

상기 박막트랜지스터 상부에 위치하는 제 1 절연막;

상기 제 1 절연막 상부에 위치하는 무기 평탄화막;

상기 무기 평탄화막 상부에 위치하는 제 2 절연막;

상기 제 2 절연막 상부에 위치하고, 상기 소오스/드레인 전극과 연결되는 제 1 전극;

상기 제 1 전극 상에 위치하며, 발광층을 포함하는 유기막; 및

상기 유기막 상에 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 2

제 1 항에 있어서,

상기 제 1 절연막 및 제 2 절연막은 각각 실리콘 질화막 또는 실리콘 산화막인 것을 특징으로 하는 유기전계발광소자.

청구항 3

제 1 항에 있어서,

상기 제 1 절연막의 두께는 100~3000 Å인 것을 특징으로 하는 유기전계발광소자.

청구항 4

제 1 항에 있어서,

상기 무기 평탄화막은 실리케이트 온 글래스(SOG : silicate on glass)인 것을 특징으로 하는 유기전계발광소자.

청구항 5

제 1 항에 있어서,

상기 무기 평탄화막의 두께는 0.5~2 μm인 것을 특징으로 하는 유기전계발광소자.

청구항 6

제 1 항에 있어서,

상기 제 2 절연막의 두께는 500~1000 Å인 것을 특징으로 하는 유기전계발광소자.

청구항 7

제 4 항에 있어서,

상기 실리케이트 온 글래스는 실리카 글래스, 알킬실록산폴리머, 알킬실세스키옥산폴리머, 수소화 실세스키옥산폴리머 및 수소화 알킬실세스키옥산폴리머 중에서 선택되는 어느 하나를 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 8

기관을 제공하고,

상기 기관 상에 반도체층, 게이트 전극, 소오스/드레인 전극을 포함하는 박막트랜지스터를 형성하고,

상기 박막트랜지스터 상부에 제 1 절연막을 형성하고,

상기 제 1 절연막 상에 무기 평탄화막을 형성하고,

상기 무기 평탄화막 상에 제 2 절연막을 형성하고,

상기 제 1 절연막, 상기 무기 평탄화막 및 상기 제 2 절연막을 상에 상기 소오스/드레인 전극을 노출시키는 비어홀을 형성하고,

상기 비어홀을 통하여 상기 소오스/드레인 전극과 연결되는 제 1 전극을 형성하고,

상기 제 1 전극 상에 발광층을 포함하는 유기막층을 형성하고,

상기 유기막층 상에 제 2 전극을 형성하는 것을 포함하는 유기전계발광소자의 제조방법.

청구항 9

제 8 항에 있어서,

상기 제 1 절연막 및 상기 제 2 절연막은 실리콘 산화막 또는 실리콘 질화막인 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 10

제 8 항에 있어서,

상기 제 1 절연막의 두께는 100~3000 Å인 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 11

제 8 항에 있어서,

상기 무기 평탄화막은 실리케이트 온 글래스(SOG: silicate on glass)인 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 12

제 8 항에 있어서,

상기 무기 평탄화막의 두께는 0.5~2 μm인 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 13

제 8 항에 있어서,

상기 무기 평탄화막은 스핀 코팅법을 수행하여 형성하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 14

제 8 항에 있어서,

상기 제 2 절연막의 두께는 500~1000 Å인 것을 특징으로 하는 유기전계발광소자의 제조방법.

청구항 15

제 11 항에 있어서,

상기 실리케이트 온 글래스는 실리카 글래스, 알킬실록산폴리머, 알킬실세스키옥산폴리머, 수소화 실세스키옥산폴리머 및 수소화 알킬실세스키옥산폴리머 중에서 선택되는 어느 하나를 포함하는 것을 특징으로 하는 유기전계발광소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 불량률이 감소하여 제품 수율이 향상되는 유기전계발광소자 및 그의 제조방법에 관한 것으로, 제 1 절연막, 무기 평탄화막 및 제 2 절연막을 포함하는 유기전계발광소자 및 그의 제조방법에 관한 것이다.
- <18> 유기전계발광소자는 유기물박막에 음극과 양극을 통하여 주입된 전자와 정공이 재결합하여 여기자를 형성하고 여기자로부터 에너지에 의해 특정한 파장의 빛이 자체 발광하는 현상을 이용한 디스플레이를 말한다.
- <19> 유기전계발광소자는 현재 상용화된 액정디스플레이(LCD: Liquid Crystal Display)에 비하여 30,000배 이상의 빠른 응답속도를 가지고 있어 동영상 구현이 가능하고 자체적인 발광 소자로 시야각이 넓고 높은 휘도를 낼 수 있는 장점을 가지고 있다. 이러한 유기전계발광소자는 전자와 정공의 재결합을 통해 가능한 최고의 발광효율을 구현할 수 있는 적층형 구조를 가지고 있다.
- <20> 도 1은 종래의 유기전계발광소자를 도시한 단면도이다.
- <21> 도 1을 참고하면, 버퍼층(105)이 형성된 기판(100)을 제공하고, 상기 버퍼층 (105) 상에 반도체층(110)을 형성한다.
- <22> 상기 반도체층(110)을 포함하는 기판 전면에 걸쳐 게이트 절연막(115)을 형성하고, 상기 게이트 절연막(115) 상부의 상기 반도체층(110)과 대응되는 영역에 게이트 전극(120)을 형성한다. 상기 게이트 전극(120)을 마스크로 이용하여 이온도핑공정을 수행하여 상기 반도체층(110)의 소오스/드레인 영역(110a, 110b)을 형성한다.
- <23> 이어서, 상기 게이트 전극(120)을 포함하는 기판 전면에 걸쳐 층간절연막(125)을 형성하고, 상기 층간절연막(125)을 식각하여 상기 소오스/드레인 영역(110a, 110b)을 노출하는 콘택홀(125a)을 형성한다.
- <24> 이어서, 상기 콘택홀(125a)을 통하여 상기 소오스/드레인 영역(110a, 110b)과 연결되는 소오스/드레인 전극(130)을 형성한다.
- <25> 상기 소오스/드레인 전극(130)을 포함하는 기판 전면에 걸쳐 스핀 온 글래스를 포함하는 무기막인 평탄화막(140)을 형성하고, 이를 식각하여 상기 평탄화막(140)상에 상기 소오스/드레인 전극(130)을 노출하는 비어홀(140a)을 형성한다.
- <26> 상기 비어홀(140a)을 통하여 상기 소오스/드레인 전극(130)과 연결되는 제 1 전극(150)을 형성한다. 이어서 상기 제 1 전극(150) 상에 화소정의막(155)을 형성하여 패터닝하고 개구부(155a)를 형성한다.
- <27> 이어서 상기 제 1 전극(150) 상에 발광층을 포함하는 유기막층(155)을 형성하고, 상기 유기막층(155) 상에 제 2 전극(160)을 형성하여 유기전계발광소자를 완성한다.
- <28> 그러나 종래의 유기전계발광소자의 무기 평탄화막은 하부막 즉, 소오스/드레인 전극과의 접착력이 좋지 않아 뜯김 현상이 발생하며, 이로 인하여 불량률이 유발되는 문제점이 발생한다. 또한 무기 평탄화막은 후공정 즉, 제 1 전극을 형성할 때 사용되는 스트립 용액으로 인하여 변색 및 크랙 현상이 발생하여 제품의 불량률이 야기되는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

- <29> 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 무기 평탄화막 하부에 소오스/드레인 전극과의 접착성이 좋은 제 1 절연막을 형성하고, 후 공정에서 무기 평탄화막을 보호할 수 있도록, 무기 평탄화막 상부에 제 2 절연막을 형성함으로써 불량을 방지하여 제품 수율을 향상시키는 유기전계발광소자 및 그의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

- <30> 본 발명의 상기 기술적 과제를 이루기 위하여, 본 발명은 기판; 상기 기판 상부에 위치하고, 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터; 상기 박막트랜지스터 상부에 위치하는 제 1 절연막; 상기 제 1 절연막 상부에 위치하는 무기 평탄화막; 상기 무기 평탄화막 상부에 위치하는 제 2 절연막; 상기 제 2 절연막 상부에 위치하고, 상기 소오스/드레인 전극과 연결되는 제 1 전극; 상기 제 1 전극 상에 위치하며, 발광층을 포함하는 유기막; 및 상기 유기막 상에 위치하는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발

광소자를 제공한다.

- <31> 또한, 본 발명은 기판을 제공하고; 상기 기판 상에 반도체층, 게이트 전극, 소오스/드레인 전극을 포함하는 박막트랜지스터를 형성하고; 상기 박막트랜지스터 상부에 제 1 절연막을 형성하고; 상기 제 1 절연막 상에 무기평탄화막을 형성하고; 상기 무기평탄화막 상에 제2 절연막을 형성하고; 상기 제 1 절연막, 상기 무기평탄화막 및 상기 제 2 절연막 상에 상기 소오스/드레인 전극을 노출시키는 비어홀을 형성하고; 상기 비어홀을 통하여 상기 소오스/드레인 전극과 연결되는 제 1 전극을 형성하고; 상기 제 1 전극 상에 발광층을 포함하는 유기막층을 형성하고; 상기 유기막층 상에 제 2 전극을 형성하는 것을 포함하는 유기전계발광소자의 제조방법을 제공한다.
- <32> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하면 다음과 같다. 첨부된 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- <33> 도 2 는 본 발명의 일실시예에 따른 유기전계발광소자의 단면도이다.
- <34> 도 2를 참조하면, 유리, 스테인레스 스틸 또는 플라스틱 등으로 구성된 기판 (200)상에 버퍼층(205)을 형성한다. 여기서 상기 버퍼층(205)은 실리콘 질화막, 실리콘 산화막 또는 이들의 다중층으로 형성할 수 있다. 이때 상기 버퍼층(205)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달 속도를 조절함으로써 후공정에서 형성될 반도체층(210)의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- <35> 상기 버퍼층(205)상에 비정질 실리콘층을 형성한 후, 상기 비정질 실리콘층을 결정화하여 다결정 또는 단결정 실리콘층을 형성하고, 패터닝하여 반도체층(210)을 형성한다. 상기 비정질 실리콘은 화학 기상 증착법(Chemical Vapor Deposition) 또는 물리 기상 증착법(Physical Vapor Deposition)을 이용하여 형성될 수 있다. 또한 상기 비정질 실리콘을 형성할 때 또는 형성한 후에 탈수소처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다. 또한 상기 비정질 실리콘층을 결정화하는 방법은 RTA(Rapid Thermal Annealing) 공정, SPC법(Solid Phase Crystallization), MIC법(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization), SGS법(Super Grain Silicon), ELA법(Excimer Laser Crystallization) 또는 SLS법(Sequential Lateral Solidification) 중 어느 하나 이상을 이용할 수 있다.
- <36> 상기 반도체층(210)이 형성된 기판 전면에 실리콘 산화막, 실리콘 질화막 또는 이들의 다중층인 게이트 절연막(215)을 형성하고, 상기 게이트 절연막(215) 상에 알루미늄(Al), 알루미늄 합금(Al-alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo-alloy)으로 이루어진 군에서 선택되는 하나로 게이트 전극 물질을 형성한다. 여기서 상기 게이트 전극 물질은 몰리브덴-텅스텐(MoW) 합금으로 형성하는 것이 더욱 바람직하다.
- <37> 상기 게이트 전극 물질을 패터닝하여 게이트 전극(220)을 형성하고, 상기 게이트 전극(220)을 마스크로 이용하여 이온도핑공정을 실시하여 상기 반도체층(210)의 소오스/드레인 영역(210a,210b)을 형성한다.
- <38> 이어서 상기 게이트 전극(220)을 포함하는 기판 전면에 걸쳐 층간절연막(225)형성한다. 여기서, 상기 층간절연막(225)은 실리콘 질화막, 실리콘 산화막 또는 이들의 다중층일 수도 있다.
- <39> 상기 층간절연막(225)을 식각하여 상기 소오스/드레인 영역(210a,210b)을 노출시키는 콘택홀(225a)을 형성한다. 상기 콘택홀(225)을 통하여 상기 소오스/드레인 영역(210a,210b)와 연결되는 소오스/드레인 전극(230)을 형성한다. 여기서, 상기 소오스/드레인 전극(230)은 몰리브덴(Mo), 텅스텐(W), 몰리브덴텅스텐(MoW), 텅스텐 실리사이드(WSi_2), 몰리브덴 실리사이드($MoSi_2$) 및 알루미늄(Al)중에서 선택되는 어느 하나로 형성될 수 있다. 이로써 상기 반도체층(210), 상기 게이트 전극(220) 및 상기 소오스/드레인 전극(230)을 포함하는 박막트랜지스터를 완성한다.
- <40> 이어서, 상기 소오스/드레인 전극(230)을 포함하는 기판 전면에 제 1 절연막(235)을 형성한다. 상기 제 1 절연막(235)은 상기 박막트랜지스터를 보호하는 역할을 수행하며, 후공정에서 형성되는 무기평탄화막과 상기 소오스/드레인 전극(230)과의 계면특성, 즉 접착성을 향상시키며, 이로 인하여 무기평탄화막 뜯김현상이 현저하게 감소하는 효과가 있다. 상기 제 1 절연막(235)은 실리콘 산화막이나 실리콘 질화막인 것이 바람직하다. 또한, 상기 제 1 절연막(235)의 두께는 100~3000Å인 것이 바람직하며, 두께가 100Å 미만일 경우에는 하부막, 즉 상기 소오스/드레인 전극(230) 및 상기 층간절연막(225) 상에 균일하게 형성될 수 없으며, 두께가 3000Å을 초과하면, 제조공정시간이 증가하며, 제조비용이 상승하는 문제점이 발생한다.
- <41> 상기 제 1 절연막(235) 상에 실리케이트 온 글래스를 포함하는 무기평탄화막(240)을 형성한다. 상기 실리케이트 온 글래스는 실리카 글래스, 실록산 폴리머, 알킬실세스키옥산폴리머(MSQ), 수소화 실리세스키옥산폴리머

(HSQ), 수소화 알킬실세스키옥산폴리머 중에서 선택되는 어느 하나를 포함하는 용액이며, 주로 스핀 코팅법을 사용하여 상기 제 1 절연막(235) 상에 형성된다. 상기 무기 평탄화막(240)의 두께는 0.5~2 μm 인 것이 바람직하다. 왜냐하면, 두께가 0.5 μm 미만이면 평탄도를 유지하기 어렵고, 2 μm 를 초과하면, 공정 시간이 증가하고 제조비용이 증가하는 문제점이 발생한다. 여기서 상기 무기 평탄화막의 두께는 1 μm 인 것이 가장 바람직하다.

<42> 상기 무기 평탄화막(240)을 열처리 공정을 실시한다. 상기 열처리는 200~500℃에서 30분 내지 4시간동안 수행되는 것이 바람직하다. 왜냐하면 상기 열처리가 200℃ 미만 또는 30분 미만으로 수행되면 실리케이트 온 글래스를 경화시킬 수 없어, 실리케이트 온 글래스 내의 수분을 제거할 수 없기 때문이다. 또한 500℃를 초과하는 온도 및 4시간을 초과하여 열처리를 수행하면, 기판 스트레스 때문에 기판이 손상되는 문제점이 발생한다.

<43> 이러한 열처리는 상기 제 1 절연막(235)을 실리콘 질화막으로 사용하는 경우 수소화 공정이 진행되어 하부 박막 트랜지스터의 패시베이션을 가능하게 하는 효과가 있다.

<44> 이어서, 상기 무기 평탄화막(240) 상에 실리콘 산화막 또는 실리콘 질화막을 포함하는 제 2 절연막(245)을 형성한다. 상기 제 2 절연막의 두께는 500~1000Å인 것이 바람직하다. 왜냐하면 상기 제 2 절연막의 두께가 500℃ 미만이면, 상기 무기 평탄화막(240) 상에 균일하게 형성되지 못할 뿐 아니라, 후 공정인 제 1 전극 형성과정에서 사용하는 스트립 용액으로부터 상기 무기 평탄화막(240)을 보호하지 못하여 상기 무기 평탄화막(240)이 변색되거나, 크랙이 발생하는 문제점이 발생한다. 또한, 1000Å을 초과하면, 공정시간이 증가하며, 제조비용이 증가하는 문제점이 발생한다.

<45> 상기 제 1 절연막(235), 상기 무기 평탄화막(240) 및 상기 제 2 절연막(245)을 식각하여 상기 드레인 전극(230)을 노출하는 비어홀(245a)을 형성한다. 상기 비어홀(245a)을 통해서 상기 드레인 전극(230)과 연결되는 제 1 전극(250)을 형성한다. 여기서 상기 제 1 전극(250)은 일함수가 높은 ITO 또는 IZO 및 반사막을 포함하는 2 중 구조 또는 3 중 구조일 수도 있다. 상기 반사막은 Al, Ag 및 이들의 합금으로 이루어질 수 있다.

<46> 상기 제 1 전극(250) 상에 화소정의막(255)을 형성하고 이를 패터닝하여 개구부를 형성한다. 상기 화소정의막(255)은 유기막인 폴리이미이드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin) 및 아크릴레이트(acrylate)로 이루어진 군에서 선택되는 1종의 물질로 형성할 수 있고, 무기막인 실리케이트 온 글래스로 형성될 수도 있다.

<47> 상기 제 1 전극(250) 상에 유기발광층을 포함하는 유기막층(260)을 형성한다. 상기 유기막층(260)은 증착법, 잉크젯 프린팅법 또는 레이저 열전사법을 수행하여 형성할 수 있다. 또한, 상기 유기막층(260)은 정공주입층, 정공수송층, 정공억제층, 전자수송층 및 전자주입층 중에서 선택되는 하나 또는 다수개를 더욱 포함할 수 있다.

<48> 상기 유기막층(260) 상에 제 2 전극(265)을 형성한다. 상기 제 2 전극(265)은 Ag, Al, Ca, Mg 및 이들의 합금으로 형성된다.

<49> 실런트(미도시) 또는 프릿(미도시)을 이용하여 봉지기관(미도시)으로 봉지하여 본 발명의 일실시예에 따른 유기 전계발광소자를 완성한다.

<50> 이하, 본 발명을 하기 실시예를 들어 예시하기로 하되, 본 발명의 범위는 하기의 실시예에 의해서 한정되는 것은 아니다.

<51> <실시예>

<52> 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터가 형성된 기판 상에 제 1 절연막인 실리콘질화막을 0.1 μm 두께로 형성하였다. 상기 제 1 절연막 상에 무기평탄화막인 실리케이트 온 글래스를 1 μm 두께로 형성하였고, 상기 실리케이트 온 글래스 상에 제 2 절연막인 실리콘질화막을 500Å두께로 형성하였다. 상기 제 1 절연막, 무기평탄화막 및 제 2 절연막을 식각하여 비어홀을 형성하였고, 상기 비어홀을 통해 상기 소오스 드레인 전극과 연결된 제 1 전극인 ITO를 0.1 μm 두께로 형성하였다.

<53> <비교예>

<54> 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터가 형성된 기판 상에 제 1 절연막인 실리콘질화막을 0.1 μm 두께로 형성하였다. 상기 제 1 절연막 상에 무기평탄화막인 실리케이트 온 글래스를 1 μm 두께로 형성하였다. 상기 제 1 절연막 및 무기평탄화막을 식각하여 비어홀을 형성하였고, 상기 비어홀을 통해 상기 소오스 드레인 전극과 연결된 제 1 전극인 ITO를 0.1 μm 두께로 형성하였다.

<55> 도 3a 및 3b는 <실시예>의 평면 및 단면을 나타낸 사진이다.

- <56> 도 3a를 참조하면, 제 1 전극인 ITO가 형성된 후에도 상기 제 2 절연막이 무기 평탄화막인 실리케이트 온 글래스를 보호하여 제 1 전극의 스트립 공정시에 실리케이트 온 글래스의 유실이 발생하지 않아 얼룩이 없음을 알 수 있다.
- <57> 또한 도 3b를 참조하여도, 소오스/드레인 전극(330) 상부에 제 1 절연막(335), 무기 평탄화막(340), 제 2 절연막(345)이 손상 없이 형성된 것을 알 수 있다.
- <58> 도 4a 및 4b는 <비교예>의 평면 및 단면을 나타낸 사진이다.
- <59> 도 4a를 참조하면, 제 1 전극 하부의 무기 평탄화막인 실리케이트 온 글래스가 유실되어 얼룩(A)이 발생한 것을 알 수 있다. 이는 제 1 전극을 패터닝할 때 사용하는 스트립 용액에 의한 것으로써, 상기 스트립 용액이 실리케이트 온 글래스에 직접 접촉하게 되면 내화학성 저하로 실리케이트 온 글래스가 유실된다.
- <60> 도 4b를 참조하면, 게이트 전극(420) 상에 층간절연막(425)이 형성되었고, 상기 층간절연막(425) 상에 소오스/드레인 전극(430)이 형성되어 있다. 상기 소오스/드레인 전극(430) 상에 제 1 절연막(435)이 형성되어 있고, 상기 제 1 절연막(435) 상에 무기 평탄화막(440)인 실리케이트 온 글래스가 형성되어 있다. 상기 실리케이트 온 글래스는 도 4a에 대한 설명에서 언급한 바와 같이 스트립 용액에 의해 손상(B)된 것을 알 수 있다.
- <61> 본 발명의 일실시예에 따른 유기전계발광소자는 무기 평탄화막 상, 하부에 절연막을 형성함으로써, 소오스/드레인 전극과의 계면 특성이 향상되어 무기 평탄화막의 뜯김현상을 방지할 수 있고, 제 1 전극 패터닝시 사용되는 스트립 용액으로 인한 무기 평탄화막의 변색 및 크랙 현상을 방지할 수 있는 효과가 있다.
- <62> 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

- <63> 본 발명의 유기전계발광소자는 무기 평탄화막 상, 하부에 절연막을 형성함으로써, 소오스/드레인 전극과의 계면 특성이 향상되어 무기 평탄화막의 뜯김현상을 방지할 수 있고, 제 1 전극 패터닝시 사용되는 스트립 용액으로 인한 무기 평탄화막의 변색 및 크랙 현상을 방지할 수 있는 효과가 있다.

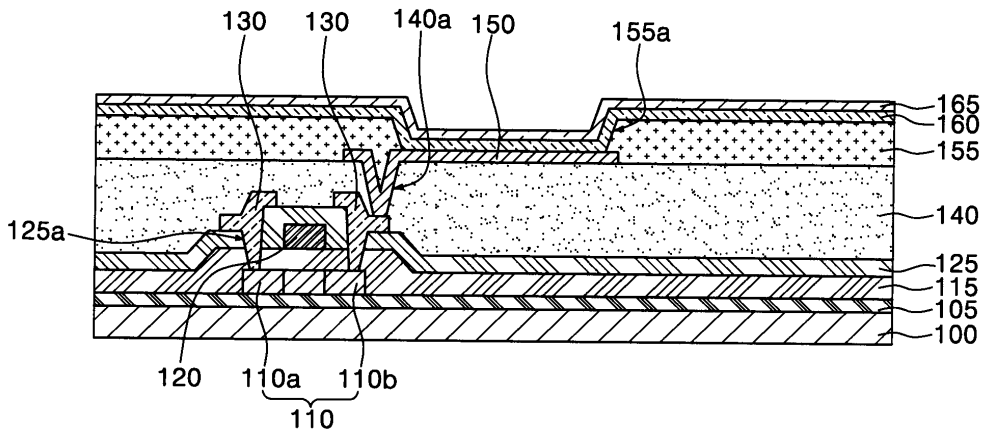
도면의 간단한 설명

- <1> 도 1은 종래의 유기전계발광소자를 도시한 단면도.
- <2> 도 2는 본 발명의 일실시예에 따른 유기전계발광소자를 도시한 단면도.
- <3> 도 3a는 <실시예>의 스트립 공정 후의 평면을 나타낸 사진.
- <4> 도 3b는 <실시예>의 스트립 공정 후의 단면을 나타낸 사진.
- <5> 도 4a는 <비교예>의 스트립 공정 후의 평면을 나타낸 사진.
- <6> 도 4b는 <비교예>의 스트립 공정 후의 단면을 나타낸 사진.
- <7> <도면의 주요 부위에 대한 부호의 설명>
- | | |
|--------------------------|---------------------------------|
| <8> 100,200: 기판 | 105,205: 버퍼층 |
| <9> 110,210: 반도체층 | 110a,110b,210a,210b: 소오스/드레인 영역 |
| <10> 115,215: 게이트 절연막 | 120,220: 게이트 전극 |
| <11> 125,225: 층간절연막 | 125a,225a: 콘택홀 |
| <12> 130,230: 소오스/드레인 전극 | 235: 제 1 절연막 |
| <13> 140,240: 평탄화막 | 245: 제 2 절연막 |
| <14> 140a,245a: 비어홀 | 150,250: 제 1 전극 |
| <15> 155,255: 화소정의막 | 155a,255a: 개구부 |

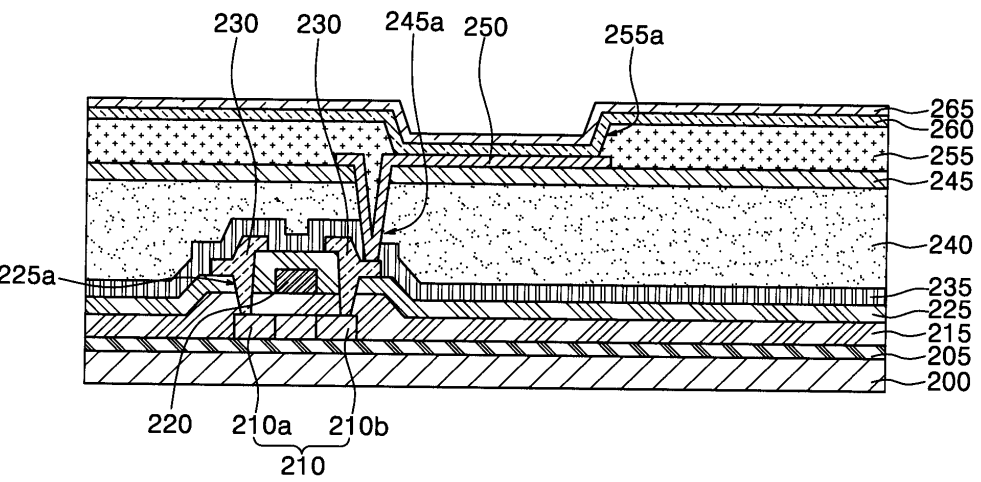
<16> 160,260: 유기막층 165, 265: 제 2 전극

도면

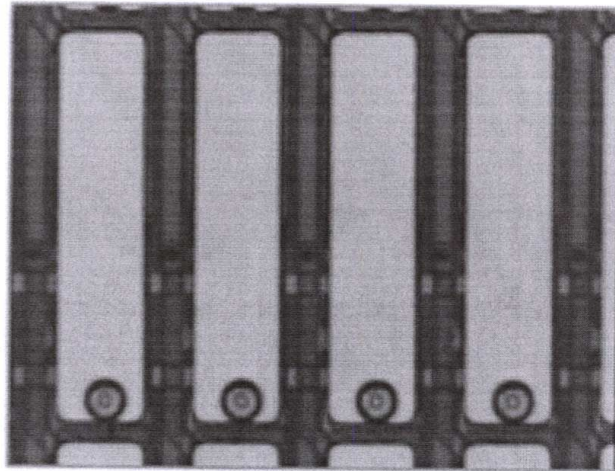
도면1



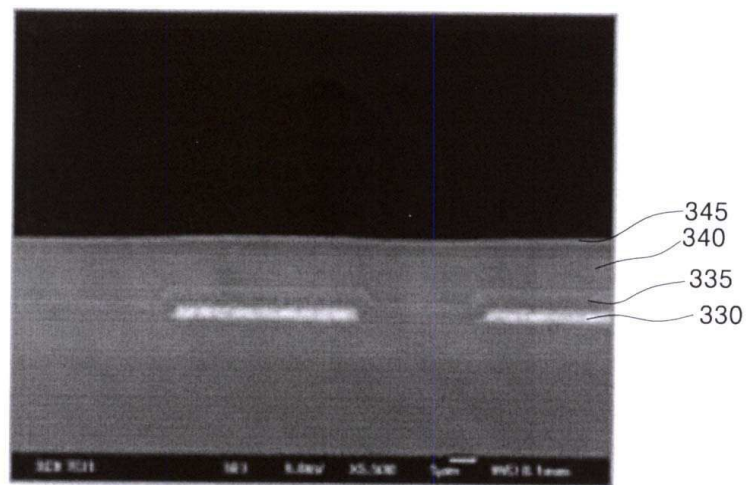
도면2



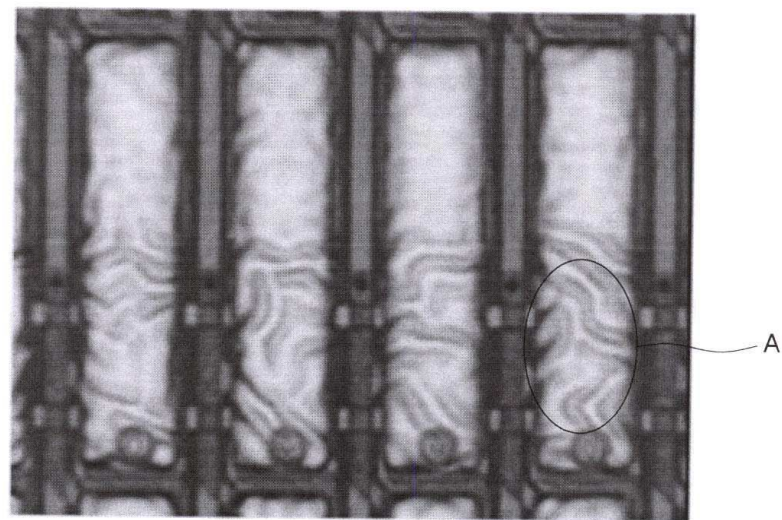
도면3a



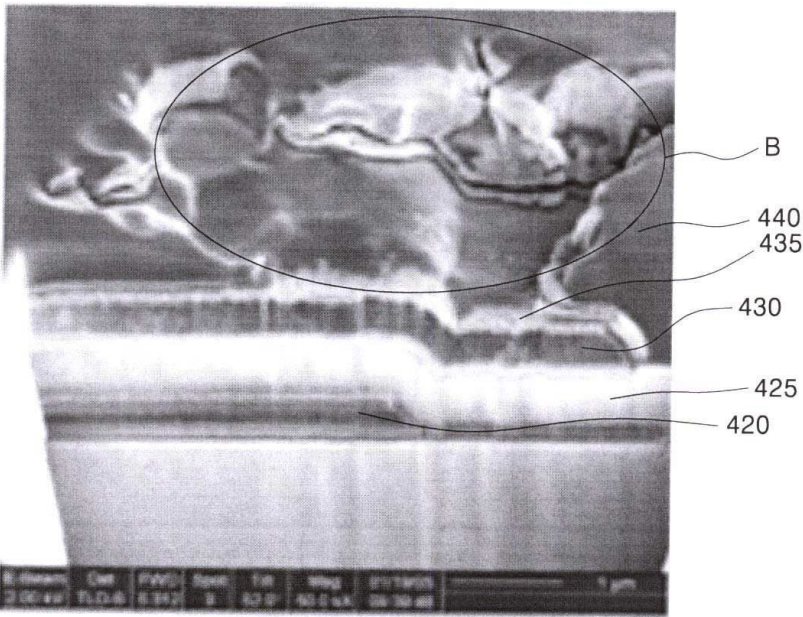
도면3b



도면4a



도면4b



专利名称(译)	有机电致发光器件及其制造方法		
公开(公告)号	KR100770265B1	公开(公告)日	2007-10-25
申请号	KR1020060108492	申请日	2006-11-03
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	JUN WOO SIK 전우식 YOO KYUNG JIN 유경진 CHOI JONG HYUN 최중현 IM CHOONG YOUL 임충열 KWON DO HYUN 권도현		
发明人	전우식 유경진 최중현 임충열 권도현		
IPC分类号	H05B33/22 H05B33/02		
CPC分类号	H01L27/1214 H01L27/3258 H01L27/1248		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示装置及其制造方法，以通过改善无机平坦化膜与源/漏电极之间的界面性质来防止有机平坦化膜上的裂缝现象。 TFT（薄膜晶体管）布置在基板（200）上，并包括半导体层，栅电极和源/漏电极。第一绝缘膜（235）设置在TFT上。无机平坦化膜（240）布置在第一绝缘膜上。第二绝缘膜（245）布置在无机平坦化膜上。第一电极（250）布置在第二绝缘膜上并连接到源/漏电极。有机膜（260）布置在第一电极上并包括发光层。在有机膜上形成第二电极（265）。

