



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

G11C 27/02 (2006.01)

(45) 공고일자 2007년03월23일

(11) 등록번호 10-0698709

(24) 등록일자 2007년03월15일

(21) 출원번호 10-2006-0040222

(65) 공개번호

(22) 출원일자 2006년05월03일

(43) 공개일자

심사청구일자 2006년05월03일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 정경훈
경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

이안수
경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

(74) 대리인 신영무

(56) 선행기술조사문헌

kr10200500110463 A

* 심사관에 의하여 인용된 문헌

심사관 : 최정윤

전체 청구항 수 : 총 14 항

(54) 샘플/홀딩 회로 및 이를 이용한 유기 전계발광 표시장치

(57) 요약

본 발명의 실시예에 의한 샘플/홀딩 회로는, 구동 트랜지스터(M1)와; 상기 구동 트랜지스터의 제 1전극 및 제 1전원(VDD) 사이에 접속된 제 1 스위칭 트랜지스터(Sa)와; 상기 구동 트랜지스터의 게이트 전극 및 신호선(SP) 사이에 접속된 제 2 스위칭 트랜지스터(Sb)와; 상기 구동 트랜지스터의 제 2전극 및 신호선(SP) 사이에 접속된 제 3 스위칭 트랜지스터(Sc)와; 상기 구동 트랜지스터의 제 1전극 및 데이터선(DATA) 사이에 접속된 제 4 스위칭 트랜지스터(Ha)와; 상기 구동 트랜지스터의 제 2전극 및 제 2전원(VSS) 사이에 접속된 제 5 스위칭 트랜지스터(Hb)와; 상기 구동 트랜지스터의 제 1전극 및 게이트 전극 사이에 접속된 제 1 커패시터(C1)와; 상기 구동 트랜지스터의 게이트 전극과 부스트 신호선(BOOST) 사이에 접속된 제 2 커패시터(C2)가 포함됨을 특징으로 한다.

대표도

도 6

특허청구의 범위

청구항 1.

구동 트랜지스터(M1)와;

상기 구동 트랜지스터의 제 1전극 및 제 1전원(VDD) 사이에 접속된 제 1 스위칭 트랜지스터(Sa)와;

상기 구동 트랜지스터의 게이트 전극 및 신호선(SP) 사이에 접속된 제 2 스위칭 트랜지스터(Sb)와;

상기 구동 트랜지스터의 제 2전극 및 신호선(SP) 사이에 접속된 제 3 스위칭 트랜지스터(Sc)와;

상기 구동 트랜지스터의 제 1전극 및 데이터선(DATA) 사이에 접속된 제 4 스위칭 트랜지스터(Ha)와;

상기 구동 트랜지스터의 제 2전극 및 제 2전원(VSS) 사이에 접속된 제 5 스위칭 트랜지스터(Hb)와;

상기 구동 트랜지스터의 제 1전극 및 게이트 전극 사이에 접속된 제 1 커패시터(C1)과;

상기 구동 트랜지스터의 게이트 전극과 부스트 신호선(BOOST) 사이에 접속된 제 2 커패시터(C2)가 포함됨을 특징으로 하는 샘플/홀딩 회로.

청구항 2.

제 1항에 있어서,

상기 제 1 내지 제 4 스위칭 트랜지스터(Sa, Sb, Sc, Ha)는 P타입 채널을 갖는 트랜지스터로 구현되고, 제 5 스위칭 트랜지스터(Hb)는 N타입 채널을 갖는 트랜지스터로 구현됨을 특징으로 하는 샘플/홀딩 회로.

청구항 3.

제 2항에 있어서,

상기 제 1 내지 제 3 및 제 5 스위칭 트랜지스터(Sa, Sb, Sc, Hb)의 게이트 전극에 샘플링 제어신호(S1 내지 S6)가 제공되며, 이에 의해 턴 온/오프가 제어됨을 특징으로 하는 샘플/홀딩 회로.

청구항 4.

제 2항에 있어서,

상기 제 4 스위칭 트랜지스터(Ha)의 게이트 전극에 홀딩 제어신호(H1, H2)가 제공되며, 이에 의해 턴 온/오프가 제어됨을 특징으로 하는 샘플/홀딩 회로.

청구항 5.

제 1항에 있어서,

상기 부스트 신호선에는 샘플링 동작 시작 전에 로우 레벨의 부스팅 신호가 제공되어 상기 샘플링 동작 시 상기 제 1 커패시터에 저장되는 전압이 유지됨을 특징으로 하는 샘플/홀딩 회로.

청구항 6.

제 5항에 있어서,

상기 부스트 신호선에는 상기 샘플링 동작이 완료되고, 홀딩 동작이 시작되기 전 대기 기간 중에 하이 레벨의 부스팅 신호가 제공되어 상기 구동 트랜지스터(M1)의 게이트 전압이 $\Delta V = V_{boost} \frac{C_1}{C_1 C_2}$ 만큼 상승됨을 특징으로 하는 샘플/홀딩 회로.

청구항 7.

화상을 나타내는 데이터 신호를 전달하는 복수의 데이터선과 상기 데이터선에 전기적으로 연결된 복수의 화소 회로를 포함하는 표시 영역;

복수의 제1 신호선;

상기 복수의 제1 신호선에 전기적으로 연결되고, 상기 데이터 신호를 시분할하여 상기 제1 신호선에 제1 전류를 공급하는 데이터 구동부;

상기 복수의 제1 신호선으로부터 전달된 상기 제1 전류를 역다중화한 상기 데이터 신호를 적어도 2개의 데이터선으로 인가하는 k개의 역다중화 회로를 구비한 역다중화부; 및

상기 각각의 역다중화 회로는, 데이터 저장 수단, 샘플링 스위치와, 홀딩 스위치를 포함하는 다수의 샘플/홀드 회로를 포함하여 구성됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 8.

제 7항에 있어서,

상기 샘플/홀드 회로의 데이터 저장수단은,

구동 트랜지스터(M1)와;

상기 구동 트랜지스터의 제 1전극 및 게이트 전극 사이에 접속된 제 1 커패시터(C1)과;

상기 구동 트랜지스터의 게이트 전극과 부스트 신호선(BOOST) 사이에 접속된 제 2 커패시터(C2)가 포함됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 9.

제 8항에 있어서,

상기 샘플/홀드 회로의 샘플링 스위치는,

상기 구동 트랜지스터의 제 1전극 및 제 1전원(VDD) 사이에 접속된 제 1 스위칭 트랜지스터(Sa)와;

상기 구동 트랜지스터의 게이트 전극 및 신호선(SP) 사이에 접속된 제 2 스위칭 트랜지스터(Sb)와;

상기 구동 트랜지스터의 제 2전극 및 신호선(SP) 사이에 접속된 제 3 스위칭 트랜지스터(Sc)가 포함됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 10.

제 9항에 있어서,

상기 제 1 내지 제 3 스위칭 트랜지스터(Sa, Sb, Sc)는 P타입 채널을 갖는 트랜지스터로 구현되고, 상기 제 1 내지 제 3 스위칭 트랜지스터(Sa, Sb, Sc)의 게이트 전극에 샘플링 제어신호(S1 내지 S6)가 제공됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 11.

제 8항에 있어서,

상기 샘플/홀드 회로의 홀딩 스위치는,

상기 구동 트랜지스터의 제 1전극 및 데이터선(DATA) 사이에 접속된 제 4 스위칭 트랜지스터(Ha)와;

상기 구동 트랜지스터의 제 2전극 및 제 2전원(VSS) 사이에 접속된 제 5 스위칭 트랜지스터(Hb)가 포함됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 12.

제 11항에 있어서,

상기 제 4 스위칭 트랜지스터(Ha)는 P타입 채널을 갖는 트랜지스터로 구현되고, 상기 제 5 스위칭 트랜지스터(Hb)는 N타입 채널을 갖는 트랜지스터로 구현되며, 상기 제 4 스위칭 트랜지스터(Ha)의 게이트 전극에 샘플링 제어신호(S1 내지 S6)가 제공되고, 상기 제 5 스위칭 트랜지스터(Hb)의 게이트 전극에 홀딩 제어신호(H1, H2)가 제공됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 13.

제 8항에 있어서,

상기 부스트 신호선에는 샘플링 동작 시작 전에 로우 레벨의 부스팅 신호가 제공되어 상기 샘플링 동작 시 상기 제 1 커패시터에 저장되는 전압이 유지됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 14.

제 13항에 있어서,

상기 부스트 신호선에는 상기 샘플링 동작이 완료되고, 홀딩 동작이 시작되기 전 대기 기간 중에 하이 레벨의 부스팅 신호가 제공되어 상기 구동 트랜지스터(M1)의 게이트 전압이 $\Delta V = V_{boost} \frac{C_1}{C_1 C_2}$ 만큼 상승됨을 특징으로 하는 유기 전계 발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 표시장치에 관한 것으로, 특히 전류 기입형 유기 전계발광 표시장치에 구비되는 역다중화부의 샘플/홀딩 회로에 관한 것이다.

일반적으로 유기 전계발광 표시장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, N*M 개의 유기 발광셀들을 전압 기입 혹은 전류 기입하여 영상을 표현한다. 상기 유기 발광셀은 애노드, 유기 박막, 캐소드 레이어의 구조로 이루어지며, 이는 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL), 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함할 수 있다.

상기 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막트랜지스터(thin film transistor, TFT)를 이용한 능동 구동(active matrix) 방식이 있다. 상기 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 접속하고 박막트랜지스터의 게이트에 접속된 커패시터의 용량에 의해 유지된 전압에 의하여 구동하는 방식이다. 이때, 커패시터에 전압을 기록하기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나뉘어진다.

이 때, 상기 전류 기입 방식 유기 전계발광 표시장치의 경우 상기 유기 발광셀에 전류를 공급하는 전류원이 패널 전체를 통해 균일하게 인가될 경우 각 화소 내의 구동 박막트랜지스터가 불균일한 전압-전류특성을 갖더라도 균일한 디스플레이 특성을 얻을 수 있다는 장점이 있다.

그러나, 상기 전류 기입 방식은, 상기 각각의 유기 발광셀 즉, 각 화소 회로에서 데이터 기입시간이 이전 화소 라인의 데이터 전류에 의하여 데이터선의 기생 커패시턴스에 충전된 전압 상태에 영향을 받게되어, 특히 저계조에서 데이터 기입 속도가 낮아지는 문제점이 있다.

즉, 상기 유기발광셀 내의 유기 EL 소자에 흐르는 전류(IOLED)는 데이터 전류(IDATA)와 동일하므로, 기입 전류원이 데이터선 전체에 대해서 균일하다면 모든 화소가 균일한 특성을 가지게 되나, 유기 EL 소자에 흐르는 전류(IOLED)는 미세 전류이면서 데이터선의 전압 범위가 넓으므로, 미세 전류(IDATA)로 화소 회로를 구동하는 경우에는 데이터선의 기생 용량 등을 충전하는데 시간이 많이 걸린다는 문제점이 있다. 예를 들어, 데이터선 부하 커패시턴스가 30pF이라 가정할 경우에 수십 nA에서 수백 nA 정도의 데이터 전류로 데이터선의 부하를 충전하려면 수ms의 시간이 필요하다. 이는 수십 μs 수준인 라인 시간(예를 들면 수평 주사 시간)을 고려 해볼 때 충전 시간이 충분하지 못하다는 문제점이 있다.

또한, 이러한 유기 전계발광 표시장치는 주사선을 구동하기 위한 주사 구동부와 데이터선을 구동하기 위한 데이터 구동부가 필요하다. 이 때, 데이터 구동부는 디지털 데이터 신호를 아날로그 신호로 변환하여 모든 데이터선에 인가하여야 하므로, 데이터 선의 개수에 해당하는 출력 단자를 가져야 한다. 그런데, 일반적으로 데이터 구동부는 복수의 집적 회로로 제작되며, 하나의 집적 회로가 가지는 출력 단자의 개수는 제한되어 있으므로 모든 데이터선을 구동하기 위해서는 많은 집적 회로가 사용되어야 하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 데이터 구동부의 집적 회로 수를 감소시키기 위해 역다중화부가 구비된 전류 기입형 유기 전계발광 표시장치에 있어서, 상기 역다중화부를 구성하는 샘플/홀딩 회로 내에 부스팅 커패시터가 포함됨으로써, 저계조의 데이터 표현 시 저전류를 샘플링하지 아니하고 큰 전류값으로 샘플링 한 후 상기 부스팅 커패시터를 통해 저전류를 샘플링 하도록 하는 샘플/홀딩 회로 및 이를 이용한 유기 전계발광 표시장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시예에 의한 샘플/홀딩 회로는, 구동 트랜지스터(M1)와; 상기 구동 트랜지스터의 제 1전극 및 제 1전원(VDD) 사이에 접속된 제 1 스위칭 트랜지스터(Sa)와; 상기 구동 트랜지스터의 게이트 전극 및 신호선(SP) 사이에 접속된 제 2 스위칭 트랜지스터(Sb)와; 상기 구동 트랜지스터의 제 2전극 및 신호선(SP) 사이에 접속된 제 3 스위칭 트랜지스터(Sc)와; 상기 구동 트랜지스터의 제 1전극 및 데이터선(DATA) 사이에 접속된 제 4 스위칭 트랜지스터(Ha)와; 상기 구동 트랜지스터의 제 2전극 및 제 2전원(VSS) 사이에 접속된 제 5 스위칭 트랜지스터(Hb)와; 상기 구동 트랜지스터의 제 1전극 및 게이트 전극 사이에 접속된 제 1 커패시터(C1)와; 상기 구동 트랜지스터의 게이트 전극과 부스트 신호선(BOOST) 사이에 접속된 제 2 커패시터(C2)가 포함됨을 특징으로 한다.

또한, 상기 제 1 내지 제 4 스위칭 트랜지스터(Sa, Sb, Sc, Ha)는 P타입 채널을 갖는 트랜지스터로 구현되고, 제 5 스위칭 트랜지스터(Hb)는 N타입 채널을 갖는 트랜지스터로 구현됨을 특징으로 한다.

또한, 상기 제 1 내지 제 3 및 제 5 스위칭 트랜지스터(Sa, Sb, Sc, Hb)의 게이트 전극에 샘플링 제어신호(S1 내지 S6)가 제공되며, 이에 의해 턴 온/오프가 제어되고, 상기 제 4 스위칭 트랜지스터(Ha)의 게이트 전극에 홀딩 제어신호(H1, H2)가 제공되며, 이에 의해 턴 온/오프가 제어됨을 특징으로 한다.

또한, 상기 부스트 신호선에는 샘플링 동작 시작 전에 로우 레벨의 부스팅 신호가 제공되어 상기 샘플링 동작 시 상기 제 1 커패시터에 저장되는 전압이 유지되고, 상기 부스트 신호선에는 상기 샘플링 동작이 완료되고, 홀딩 동작이 시작되기 전

대기 기간 중에 하이 레벨의 부스팅 신호가 제공되어 상기 구동 트랜지스터(M1)의 게이트 전압이 만큼 상승됨을 특징으로 한다.

$$\Delta V = V_{boost} \frac{C_1}{C_1 + C_2}$$

또한, 본 발명의 실시예에 의한 유기 전계발광 표시장치는, 화상을 나타내는 데이터 신호를 전달하는 복수의 데이터선과 상기 데이터선에 전기적으로 연결된 복수의 화소 회로를 포함하는 표시 영역; 복수의 제1 신호선; 상기 복수의 제1 신호선에 전기적으로 연결되고, 상기 데이터 신호를 시분할하여 상기 제1 신호선에 제1 전류를 공급하는 데이터 구동부; 상기 복수의 제1 신호선으로부터 전달된 상기 제1 전류를 역다중화한 상기 데이터 신호를 적어도 2개의 데이터선으로 인가하는 k 개의 역다중화 회로를 구비한 역다중화부; 및 상기 각각의 역다중화 회로는, 데이터 저장 수단, 샘플링 스위치와, 홀딩 스위치를 포함하는 다수의 샘플/홀딩 회로를 포함하여 구성됨을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

도 1은 본 발명의 일 실시예에 따른 유기 전계발광 표시장치의 블록도이다.

도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 전계발광 표시장치는 표시 패널(100), 주사 구동부(200, 300), 데이터 구동부(400) 및 역다중화부(500)를 포함한다.

표시 패널(100)에는 복수의 데이터선(Data[1]-Data[m]), 복수의 선택 주사선(select1[1]-select1[n]), 복수의 발광주사선(select2[1]-select2[n]), 및 복수의 화소 회로(110)를 포함한다. 복수의 데이터선(Data[1]-Data[m])은 열 방향으로 뻗어 있으며 화상을 나타내는 데이터 전류를 화소(110)로 전달한다. 복수의 선택 주사선(select1[1]-select1[n])과 복수의 발광 주사선(select2[1]-select2[n])은 행 방향으로 뻗어 있으며 각각 선택 신호와 발광 신호를 화소(110)로 전달한다. 각 화소(110)는 이웃한 데이터선과 이웃한 두 주사선에 의하여 정의되는 영역에 형성되어 있다.

주사 구동부(200)는 선택 주사선(select1[1]-select1[n])에 선택 신호를 순차적으로 인가하고, 주사 구동부(300)는 발광 주사선(select2[1]-select2[n])에 발광 신호를 순차적으로 인가한다. 데이터 구동부(400)는 신호선(SP[1]-SP[m'])을 통하여 데이터 전류를 역다중화부(500)로 출력하고, 역다중화부(500)는 신호선(SP[1]-SP[m'])에 의하여 입력된 데이터 전류를 역다중화하여 데이터선(Data[1]-Data[m])으로 전달한다.

본 발명의 일 실시예에 따르면, 상기 역다중화부(500)는 1:3형태의 역다중화 장치로서, 데이터 구동부(400)로부터 입력되는 데이터 신호를 3개의 데이터선으로 분할하여 인가한다. 단, 이는 하나의 실시예로서 1:2, 1:4 등의 1:N 역다중화 장치를 이용할 수도 있다.

이 때, 상기 역다중화부는 k개의 샘플/홀드 방식의 역다중화 회로(미도시)로 구성되며, 본 발명의 실시예의 경우 상기 각 역다중화 회로는 1:3 역다중화 회로이므로, 1개의 신호선으로 입력된 데이터 전류가 역다중화되어 3개의 데이터선으로 전달된다.

상기 주사 구동부(200, 300), 데이터 구동부(400) 및/또는 역다중화부(500)는 표시 패널(100)에 전기적으로 연결되거나, 또는 표시 패널(100)에 접촉되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package, TCP)에 칩 등의 형태로 장착될 수 있다. 또한, 상기 표시 패널(100)에 접촉되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit, FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있다.

반면에 상기 주사 구동부(200, 300), 데이터 구동부(400) 및/또는 역다중화부(500)는 표시 패널(100)의 유리 기판 위에 직접 장착되거나, 상기 유리 기판 위에 주사선, 데이터선 및 박막 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로와 대체되도록 직접 장착될 수도 있다.

도 2는 도 1의 유기 전계발광 표시장치에 채용된 화소의 일 실시예를 나타내는 회로도이고, 도 3은 도 2에 도시된 화소를 구동하기 위한 신호의 타이밍도이다. 단, 이는 하나의 실시예로써 본 발명에 채용되는 화소의 회로 구성이 이에 한정되는 것은 아니다.

도 2를 참조하면, 상기 화소는 유기 전계발광 소자(OLED) 및 화소 회로를 포함한다. 상기 화소 회로는 구동 트랜지스터(MD), 제 1 내지 3 스위칭 트랜지스터(MS1, MS2, MS3) 및 캐패시터(C)를 포함한다. 구동 트랜지스터(MD) 및 제 1 내지 3 스위칭 트랜지스터(MS1, MS2, MS3)는 각자 게이트, 소오스 및 드레인을 가진다. 캐패시터(C)는 제 1 단자 및 제 2 단자를 가진다.

제 1 스위칭 트랜지스터(MS1)의 게이트는 제 1 선택 주사선(select1[1])에 접속되고 소오스는 제 1 노드(N1)에 접속되고 드레인은 데이터선(Data[1])에 접속된다. 이에 상기 제 1 스위칭 트랜지스터(MS1)는 제 1 선택 주사선(select1[1])에 인가되는 제 1 선택신호에 응답하여 캐패시터(C)에 전하를 충전한다.

제 2 스위칭 트랜지스터(MS2)의 게이트는 제 1 선택 주사선(select1[1])에 접속되고 소오스는 제 2 노드에 접속되고 드레인은 데이터선(Data[1])에 접속된다. 이에 상기 제 2 스위칭 트랜지스터(MS2)는 제 1 주사선(select1[1])에 인가되는 제 1 선택신호에 응답하여 데이터선(Data[1])에 흐르는 데이터전류(IDout)를 구동 트랜지스터(MD)에 전달한다.

제 3 스위칭 트랜지스터(MS3)의 게이트는 제 1 발광 주사선(select2[1])에 접속되고 소오스는 제 2 노드(N2)에 접속되고 드레인은 유기 전계발광 소자에 접속된다. 이에 상기 제 3 스위칭 트랜지스터(MS3)는 제 1 발광 주사선(select2[1])에 인가되는 제 1 발광신호에 응답하여 구동 트랜지스터(MD)에 흐르는 전류를 유기 전계발광 소자(OLED)에 공급하게 된다.

상기 캐패시터(C)의 제 1 단자에는 전원전압(VDD)이 인가되고, 제 2 단자는 제 1 노드(N1)에 접속된다. 캐패시터(C)는 제 1 및 2 스위칭 트랜지스터(MS1, MS2)가 온 상태인 기간에 구동 트랜지스터(MD)에 흐르는 데이터전류(IDout)에 대응하는 게이트 소오스간 전압(VGS)에 해당하는 전하량을 충전하고, 제 1 및 2 스위칭 트랜지스터(MS1, MS2)가 오프 상태인 기간동안에 상기 전압을 유지하는 기능을 수행한다.

구동 트랜지스터(MD)의 게이트는 제 1 노드(N1)에 접속되고, 소오스에는 전원전압이 인가되고, 드레인은 제 2 노드(N2)에 접속된다. 이에 상기 구동 트랜지스터(MD)는 제 3 스위칭 트랜지스터(MS3)가 온 상태인 기간동안에 캐패시터의 제 1 단자와 제 2 단자 사이에 걸린 전압에 대응하는 전류를 유기 전계발광 표시장치에 공급한다.

도 2 및 도 3을 참조하여 상기 화소의 동작을 설명하면, 제 1 선택신호(s1[1])가 로우(low) 레벨이고, 제 1 발광신호(s2[1])가 하이(high) 레벨인 선택 기간에는 제 1 및 2 스위칭 트랜지스터(MS1, MS2)가 온(on) 상태가 되고, 제 3 스위칭 트랜지스터(MS3)는 오프(off) 상태가 된다. 이 기간에 제 1 데이터선(Data[1])에 흐르는 데이터전류(IDout)가 구동 트랜지스터(MD)에 전달된다. 수학식 1에 의하여 구동 트랜지스터(MD)의 게이트 및 소오스 사이의 전압(VGS)이 결정되고, 게이트 및 소오스 사이의 전압(VGS)에 상응하는 전하가 캐패시터(C)에 충전된다.

수학식 1

$$ID = ID_{out} = (\beta/2)(V_{GS} - V_{TH})^2$$

또한, 상기 제 1 선택신호(s1[1])가 하이 레벨이고, 제 1 발광신호(s2[1])가 로우 레벨인 발광 기간에는 제 3 스위칭 트랜지스터(MS3)가 온 상태가 되고, 제 1 및 2 스위칭 트랜지스터(MS1, MS2)는 오프 상태가 된다. 이에 상기 선택 기간동안 캐패시터(C)에 충전된 전하가 발광 기간동안 유지되므로, 선택 기간에 정해진 캐패시터(C)의 제 1 단자와 제 2 단자 사이의 전압 즉 구동 트랜지스터(MD)의 게이트와 소오스 사이의 전압이 발광 기간동안 유지된다. 구동 트랜지스터(MD)에 흐르는 전류(ID)는 상기 수학식 1에 표현된 바와 같이 소오스와 드레인 사이의 전압(VGS)에 의하여 결정되므로, 선택 기간에 구동 트랜지스터에 흐르는 데이터전류(IDout)가 발광 기간동안에도 구동 트랜지스터(MD)에 흐르게 된다. 따라서, 유기 전계발광 소자(OLED)에 흐르는 전류 IOLED는 수학식 1의 IDout, ID와 같다. 즉, 상기 화소의 유기 전계발광 소자(OLED)에 흐르는 전류(IOLED)는 데이터전류(IDout)와 같으므로, 유기 전계발광 소자(OLED)에 흐르는 전류(IOLED)는 구동 트랜지스터(MD)의 문턱전압에 영향을 받지 않는다. 즉, 상기의 화소 회로를 사용하면, 구동 트랜지스터(MD)의 문턱전압의 영향을 받지 않는다.

이하에서는 본 발명의 일 실시예에 따른 역다중화부(500)에 대하여 설명한다.

도 4는 도 1의 유기 전계발광 표시장치에 구비되는 역다중화부의 일 실시예에 대한 구성을 나타내는 블록도이고, 도 5는 도 4에 도시된 역다중화부(500)의 구동 파형도이다.

단, 본 발명의 실시예에 의한 역다중화부는 k개의 역다중화 회로를 구비하며, 각 역다중화 회로는 샘플/홀드 방식의 1 : 3 역다중화 회로임을 그 예로 설명토록 한다.

도 4를 참조하면, 상기 역다중화부(500)를 구성하는 각각의 역다중화 회로(510)는 1개의 신호선(SP)으로 입력된 데이터 전류가 역다중화되어 3개의 데이터선(Data)으로 전달된다.

상기 각 역다중화 회로(510)는 데이터 저장 수단(521, 522, 523, 524, 525, 526), 샘플링 스위치(S1, S2, S3, S4, S5, S6)와, 홀딩 스위치(H1, H2)를 포함하는 6개의 샘플/홀드 회로(520)를 포함하여 구성된다.

상기 데이터 저장 수단(522 내지 526)은 샘플링 스위치(S1, S2, S3, S4, S5, S6)를 통하여 하나의 신호선(SP)에 연결되고, 홀딩 스위치(H1, H2)를 통하여 3개의 데이터선(Data)에 연결된다.

한편, 본 발명의 명세서에서 사용되는 용어인 "샘플", "홀드"에 대해서 이하와 같이 정의한다.

샘플/홀드 회로의 동작을 살펴보면, 샘플링 스위치를 통하여 흐르는 전류를 샘플링하여 전압 형태로 데이터 저장 수단에 기록하는 동작과, 샘플링 스위치와 홀딩 스위치가 모두 열려 있어 기록된 데이터를 유지하면서 대기하는 상태와, 홀딩 스위치를 통하여 기록된 데이터에 대응하는 전류를 데이터선에 공급하는 동작을 포함한다. 따라서, 본 발명의 명세서에서는, 각각의 단계를 명확히 구별하기 위하여, 상기 각각의 단계를 "샘플링" 단계, "대기" 단계, "홀딩" 단계로 정의하기로 한다.

도 4 및 도 5를 참조하여 본 발명의 실시예에 의한 역다중화 회로의 동작을 설명하도록 한다. 단, 상기 샘플링 스위치(S1, S2, S3, S4, S5, S6) 및 홀딩 스위치(H1, H2)는 인가되는 제어신호가 로우 레벨일 때 닫히는 것으로 가정한다.

먼저, 샘플링 스위치(S1, S2, S3)가 순차적으로 닫히면, 데이터 저장 수단(521, 522, 523)은 데이터 전류를 입력하여 샘플링 동작을 수행한다.

이 후, 샘플링 스위치(S4, S5, S6)가 순차적으로 닫히어 데이터 저장 수단(524, 525, 526)이 샘플링 동작을 수행한다. 이때, 선택 신호(select[1])가 인가되고, 홀딩 스위치(H1)가 닫히므로, 상기 데이터 저장 수단(521, 522, 523)에 샘플링되었던 전류가 각각 3개의 데이터선에 홀딩되어 화소로 기입된다.

이 후, 선택 신호(select[2])가 인가되고 홀딩 스위치(H2)가 닫히면, 데이터 저장 수단(524, 525, 526)에 샘플링되었던 전류가 각각 3개의 데이터선에 홀딩되어 화소로 기입된다.

상기 동작이 반복적으로 수행되고, 역다중화부(500)는 데이터 구동부(400)로부터 출력된 데이터 전류를 역다중화하여 데이터선에 제공한다.

이와 같이, 본 발명의 일실시예에 따른 역다중화부(500)는 3개의 샘플/홀드 회로가 데이터선을 통하여 데이터를 홀딩하고 있는 동안, 나머지 3개의 샘플/홀드 회로는 데이터 구동부(400)로부터 데이터 전류를 순차적으로 샘플링함으로써, 데이터 기입 시간을 늘릴 수 있다.

또한, 본 발명은 상기 역다중화 회로를 구성하는 샘플/홀딩 회로(520) 내에 부스팅 커패시터(미도시)가 포함됨으로써, 저계조의 데이터 표현 시 저 전류를 샘플링하지 아니하고 큰 전류값으로 샘플링 한 후 상기 부스팅 커패시터를 통해 저 전류를 샘플링 함을 특징으로 한다.

종래의 경우 전류 기입형 유기 전계발광 표시장치에서는, 저계조의 data 표현을 위해 저전류가 기입(programming)될 경우 샘플링 에러(sampling error)가 커져 저계조 표현이 어려워지는 단점이 있었다.

본 발명은 이를 극복하기 위하여 부스팅 커패시터를 추가로 구성하고, 도 4에 도시된 바와 같은 부스팅 신호를 제공한다. 즉, 상기 제 1, 2, 3 샘플/홀딩 회로의 샘플링이 시작되기 전에 로우 레벨의 제 1부스팅 신호(Boost1)를 제공하여 상기 샘플링이 상기 전압을 유지하고, 이후 상기 제 1, 2, 3 샘플/홀딩 회로의 샘플링이 완료되고 홀딩이 시작되기 전에 상기 하이 레벨의 제 1부스팅 신호(Boost1)를 제공함으로써, 부스팅 커패시터의 부스팅 동작에 의해 샘플/홀딩 회로 내에 구비된 구동 트랜지스터의 게이트 전압을 높여 상기 구동 트랜지스터가 상기 제공된 샘플링 전류보다 낮은 전류를 흘려주도록 동작하게 된다.

따라서, 저계조의 데이터를 표현할 때 기존과 달리 역다중화부에 큰 전류로 샘플링할 수 있어, 저전류에서 발생하는 큰 샘플링 에러를 방지할 수 있게 된다. 또한, 이와 같이 큰 전류로 샘플링을 해주므로 샘플/홀딩 회로 내에 구비된 박막트랜지스터의 특성 편차에 따라 발생하는 샘플링 전류의 편차도 개선되어, 저계조에서의 uniformity도 향상된다.

이하에서는, 본 발명의 일실시예에 따른 역다중화부(500)를 구성하는 샘플/홀드 회로에 대하여 설명한다. 다만, 역다중화부(500)에 사용되는 6개의 샘플/홀드 회로는 실질적으로 서로 동일하게 구현되므로, 이하에서는 제1 샘플/홀드 회로에 대한 설명으로 나머지 샘플/홀드 회로의 설명을 대신한다.

도 6은 본 발명의 일 실시예에 의한 제 1 샘플/홀드 회로의 구성을 나타내는 회로도이다.

도 6을 참조하면, 본 발명의 일실시예에 따른 제1 샘플/홀드 회로(520)는, 데이터 저장 수단(521), 샘플링 스위치(530), 및 홀딩 스위치(540)를 포함하여 구성되며, 여기서, 데이터 저장 수단(521)은 도 6의 구동 트랜지스터(M1) 및 제 1 커패시터(C1) 및 제 2 커패시터(C2)에 대응되고, 샘플링 스위치(530)는 도 6의 제 1 내지 제 3 스위칭 트랜지스터(Sa, Sb, Sc)에 대응되며, 홀딩 스위치(540)는 도 6의 제 4 및 제 5 스위칭 트랜지스터(Ha, Hb)에 대응된다.

이 때, 상기 제 1 내지 제 3 및 제 5 스위칭 트랜지스터(Sa, Sb, Sc, Hb)는 실질적으로 동일한 제어 신호에 의하여 제어된다. 즉, 도 6에 도시된 바와 같이 상기 제 1 내지 제 4 스위칭 트랜지스터는 P타입 채널을 갖는 트랜지스터로 구현되고, 제 5 스위칭 트랜지스터는 N타입 채널을 갖는 트랜지스터로 구현될 수 있다.

도 6에 도시된 바와 같이 상기 샘플/홀드 회로(520)는, 구동 트랜지스터(M1)와; 상기 구동 트랜지스터의 제 1전극 및 제 1전원(VDD) 사이에 접속된 제 1 스위칭 트랜지스터(Sa)와; 상기 구동 트랜지스터의 게이트 전극 및 신호선(SP) 사이에 접속된 제 2 스위칭 트랜지스터(Sb)와; 상기 구동 트랜지스터의 제 2전극 및 신호선(SP) 사이에 접속된 제 3 스위칭 트랜지스터(Sc)와; 상기 구동 트랜지스터의 제 1전극 및 데이터선(DATA) 사이에 접속된 제 4 스위칭 트랜지스터(Ha)와; 상기 구동 트랜지스터의 제 2전극 및 제 2전원(VSS) 사이에 접속된 제 5 스위칭 트랜지스터(Hb)와; 상기 구동 트랜지스터의 제 1전극 및 게이트 전극 사이에 접속된 제 1 커패시터(C1)과; 상기 구동 트랜지스터의 게이트 전극과 부스트 신호선(BOOST) 사이에 접속된 제 2 커패시터(C2)가 포함되어 구성된다.

이 때, 상기 제 1 내지 제 4 스위칭 트랜지스터(Sa, Sb, Sc, Ha)는 P타입 채널을 갖는 트랜지스터로 구현되고, 제 5 스위칭 트랜지스터(Hb)는 N타입 채널을 갖는 트랜지스터로 구현되며, 이에 상기 제 1 내지 제 3 스위칭 트랜지스터(Sa, Sb, Sc)의 게이트 전극에는 앞서 도 5에 도시된 바와 같은 샘플링 제어신호(S1 내지 S6)가 제공되어 상기 샘플링 제어신호(S1 내지 S6)가 로우 레벨일 때 턴 온 되며, 상기 제 4 스위칭 트랜지스터(Ha)의 게이트 전극에는 앞서 도 5에 도시된 바와 같은

홀딩 제어신호(H1, H2)가 제공되어 상기 홀딩 제어신호(H1, H2)가 로우 레벨일 때 턴 온되며, 상기 제 5 스위칭 트랜지스터(Hb)의 게이트 전극에는 앞서 도 5에 도시된 바와 같은 샘플링 제어신호(S1 내지 S6)가 제공되어 상기 샘플링 제어신호(S1 내지 S6)가 하이 레벨일 때 턴 온된다.

또한, 도 6에서는 상기 구동 트랜지스터(M1)가 P 타입 채널을 갖는 트랜지스터로 구현된 경우를 도시하였으나, 반드시 이에 한정되는 것은 아니며, 상기 구동 트랜지스터(M1)는 제1 전극, 제2 전극, 및 제3 전극을 구비하고, 제1 전극 및 제2 전극에 인가되는 전압에 의하여 제3 전극으로 흐르는 전류를 제어하는 능동 소자로 구현될 수 있다.

도 5 및 도 6을 참조하여, 상기 샘플/홀딩 회로의 동작을 설명하면, 먼저 상기 제 1 내지 3 스위칭 트랜지스터(Sa, Sb, Sc)가 턴 온 상태 및 상기 제 5 스위칭 트랜지스터(Hb)가 턴 오프 상태가 되도록 로우 레벨의 샘플링 제어신호(S1 내지 S6)가 인가되고, 상기 제 4 스위칭 트랜지스터(Ha)가 턴 오프 상태가 되도록 하이 레벨의 홀딩 제어신호(H1 또는 H2)가 인가되는 샘플링 기간에는, 상기 제 1전원(VDD)로부터 제 1 트랜지스터(M1)를 경유하여 신호선(SP)으로 전류 경로(current path)가 형성되어 신호선으로부터의 입력 데이터전류(IDin)가 구동 트랜지스터(M1)로 전달되며, 상기 구동 트랜지스터(M1)에 흐르는 전류에 대응하는 전압이 상기 제 1 커패시터(C1)에 저장된다. 즉, 상기 샘플/홀드 회로는 데이터의 샘플링 동작을 수행하게 된다.

그 다음, 상기 제 1 내지 제 3 스위칭 트랜지스터(Sa, Sb, Sc) 및 제 4 스위칭 트랜지스터(Ha)가 모두 턴 오프되고 상기 제 5 스위칭 트랜지스터(Hb)가 턴 온되면, 상기 샘플/홀드 회로는 대기 상태가 된다. 상기 대기 상태는 역다중화부 내의 또 다른 샘플/홀드 회로가 데이터선에 데이터를 홀딩하고 있는 동안 대기하고 있는 상태이다.

이후, 상기 제 1 내지 3 스위칭 트랜지스터(Sa, Sb, Sc)가 턴 오프 상태 및 상기 제 5 스위칭 트랜지스터(Hb)가 턴 온 상태가 되도록 하이 레벨의 샘플링 제어신호(S1 내지 S6)가 인가되고, 상기 제 4 스위칭 트랜지스터(Ha)가 턴 온 상태가 되도록 로우 레벨의 홀딩 제어신호(H1 또는 H2)가 인가되는 홀딩 기간에는, 데이터선(DATA)으로부터 상기 구동 트랜지스터(M1)를 경유하여 제 2전원(VSS)으로 전류 경로(current path)가 형성되어 제 1 커패시터(C1)에 저장된 전압에 대응하는 전류 즉, 입력 데이터전류(IDin)와 동일한 전류가 데이터선(DATA)으로 전달된다. 즉, 상기 샘플/홀드 회로는 데이터 기입 동작을 수행하게 되고, 데이터선을 통하여 데이터를 홀딩하게 된다.

이와 같이, 상기 샘플/ 홀드 회로는 샘플링 제어신호에 응답하여 신호선으로부터 제공되는 입력 데이터전류(IDin)에 대응하는 전압을 제 1 커패시터(C1)에 저장하고, 홀딩 제어신호에 응답하여 상기 제 1 커패시터(C1)에 저장된 전압에 대응하는 전류를 데이터선(IDout)에 전달한다.

또한, 전류 기입 방식의 유기 전계발광 표시장치에 구비되는 데이터 구동부의 출력단은 전류 싱크(sink) 방식 즉, 데이터 구동부의 출력단을 통하여 외부에서 데이터 구동부의 내부로 전류가 유입되는 방식이 선호된다.

왜냐하면, 전류 싱크 방식의 출력단을 가지는 데이터 구동부는 출력 전류의 편차를 줄일 수 있고, 전원장치의 전압 레벨을 낮출 수 있고, 저전압 소자를 사용함으로써 칩의 면적을 줄일 수 있고, 데이터 구동부 용 칩의 가격을 낮출 수 있기 때문이다. 따라서, 도 6의 샘플 및 홀드 회로는 전류 싱크 방식의 출력단을 가지는 데이터 구동부에 적합한 전류 소오스 방식의 입력단을 가진다. 즉, 샘플 및 홀드 회로의 입력단을 통하여 전류가 외부로 흐른다.

또한, 본 발명은 저계조의 데이터 표현을 위해 저전류가 기입(programming)될 경우 샘플링 에러(sampling error)가 커져 저계조 표현이 어려워지는 단점을 극복하기 위해 구동 트랜지스터(M1)의 게이트 전압을 부스팅하는 제 2커패시터(C2)가 포함되어 구성됨을 특징으로 하는 것으로, 상기 제 2커패시터(C2)의 부스팅 동작에 의해 상기 구동 트랜지스터(M1)의 게이트 전압을 높여 상기 구동 트랜지스터가 상기 제공된 샘플링 전류보다 낮은 전류를 흘려주도록 동작하게 된다.

즉, 상기 제 2커패시터(C2)가 구비된 본 발명에 의한 샘플/ 홀딩 회로는, 앞서 설명한 샘플링 동작이 시작되기 전에 도 5에 도시된 바와 같은 로우 레벨의 부스팅 신호(BOOST1 또는 BOOST2)를 제공하여 상기 샘플링 동작 시 상기 제 1 커패시터에 저장되는 전압을 유지하고, 이후 상기 샘플링 동작이 완료되고, 홀딩 동작이 시작되기 전의 대기 기간 중에 도 5에 도시된 바와 같이 하이 레벨의 부스팅 신호(BOOST1 또는 BOOST2)를 제공한다.

이에 상기 제 2 커패시터(C2)의 부스팅 현상으로 상기 구동 트랜지스터(M1)의 게이트 전압은 $\Delta V = V_{boost} \frac{C_1}{C_1 + C_2}$ 만큼 상승되며, 결과적으로 상기 구동 트랜지스터(M1)는 상기 최초 샘플링된 전류 보다 낮은 전류를 데이터선으로 흘려주도록 동작하게 된다. 이 때, 상기 Vboost는 부스팅 신호의 전압 스윙 폭을 나타낸다.

이를 통해 상기 저계조의 데이터 표현 시 저 전류를 샘플링하지 아니하고 큰 전류값으로 샘플링 한 후 상기 부스팅 커패시터를 통해 저 전류를 샘플링 함으로써, 저전류에서 발생하는 큰 샘플링 에러를 방지할 수 있게 된다.

또한, 이와 같이 큰 전류로 샘플링을 해주므로 샘플/홀딩 회로 내에 구비된 박막트랜지스터의 특성 편차에 따라 발생하는 샘플링 전류의 편차도 개선되어, 저계조에서의 uniformity도 향상된다.

발명의 효과

이와 같은 본 발명에 의하면, 데이터 구동부의 집적 회로 수를 감소시키기 위해 역다중화부가 구비된 전류 기입형 유기 전계발광 표시장치에 있어서, 상기 역다중화부를 구성하는 샘플/홀딩 회로 내에 부스팅 커패시터가 포함됨으로써, 저계조의 데이터 표현 시 저 전류를 샘플링하지 아니하고 큰 전류값으로 샘플링 한 후 상기 부스팅 커패시터를 통해 저 전류를 샘플링 하도록 하여 저 전류에서 발생하는 샘플링 오류를 방지할 수 있다는 장점이 있다.

또한, 이와 같이 큰 전류로 샘플링하기 때문에 샘플/홀딩 회로 내의 박막트랜지스터 특성 편차에 의해 발생하는 샘플링 전류의 편차도 개선되고, 저계조에서의 uniformity도 향상된다는 장점이 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 유기 전계발광 표시장치의 블록도.

도 2는 도 1의 유기 전계발광 표시장치에 채용된 화소의 일 실시예를 나타내는 회로도.

도 3은 도 2에 도시된 화소를 구동하기 위한 신호의 타이밍도.

도 4는 도 1의 유기 전계발광 표시장치에 구비되는 역다중화부의 일 실시예에 대한 구성을 나타내는 블록도.

도 5는 도 4에 도시된 역다중화부의 구동 파형도.

도 6은 본 발명의 일 실시예에 의한 제 1 샘플/홀드 회로의 구성을 나타내는 회로도.

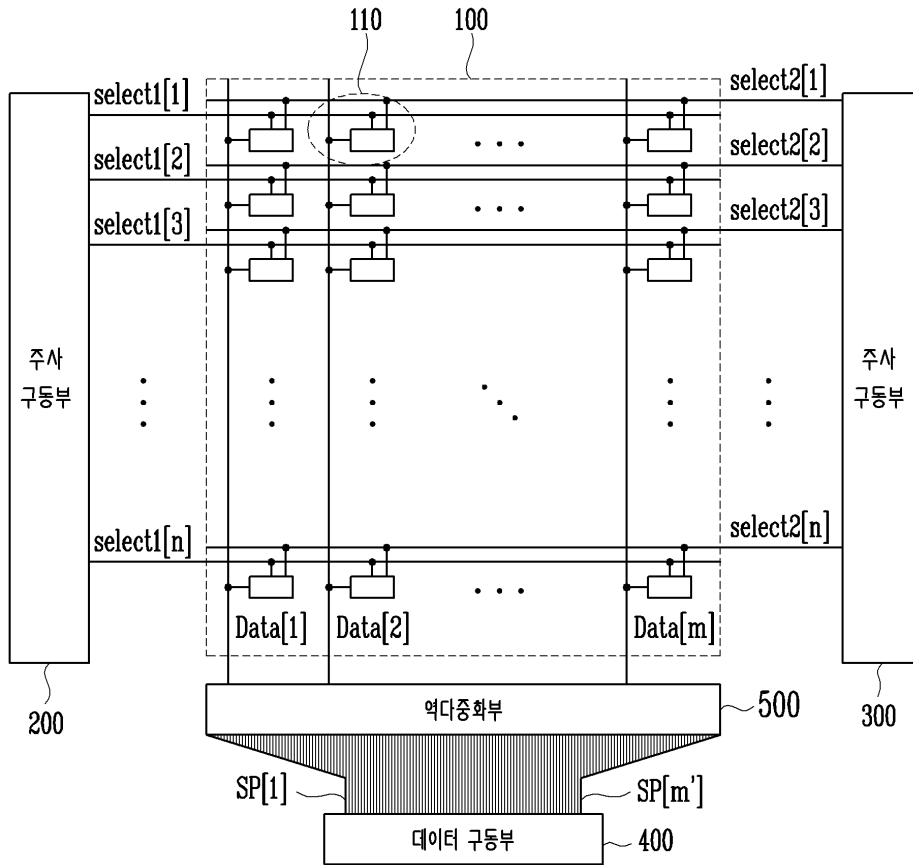
<도면의 주요 부분에 대한 부호의 설명>

500 : 역다중화부 510 : 역다중화 회로

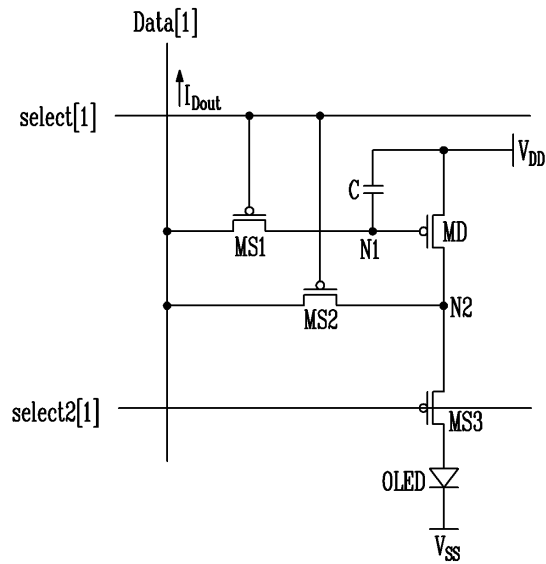
520 : 샘플/홀딩 회로 521 내지 526 : 데이터 저장부

도면

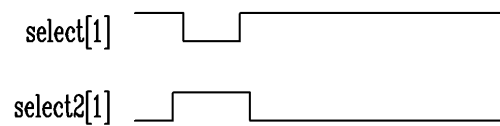
도면1



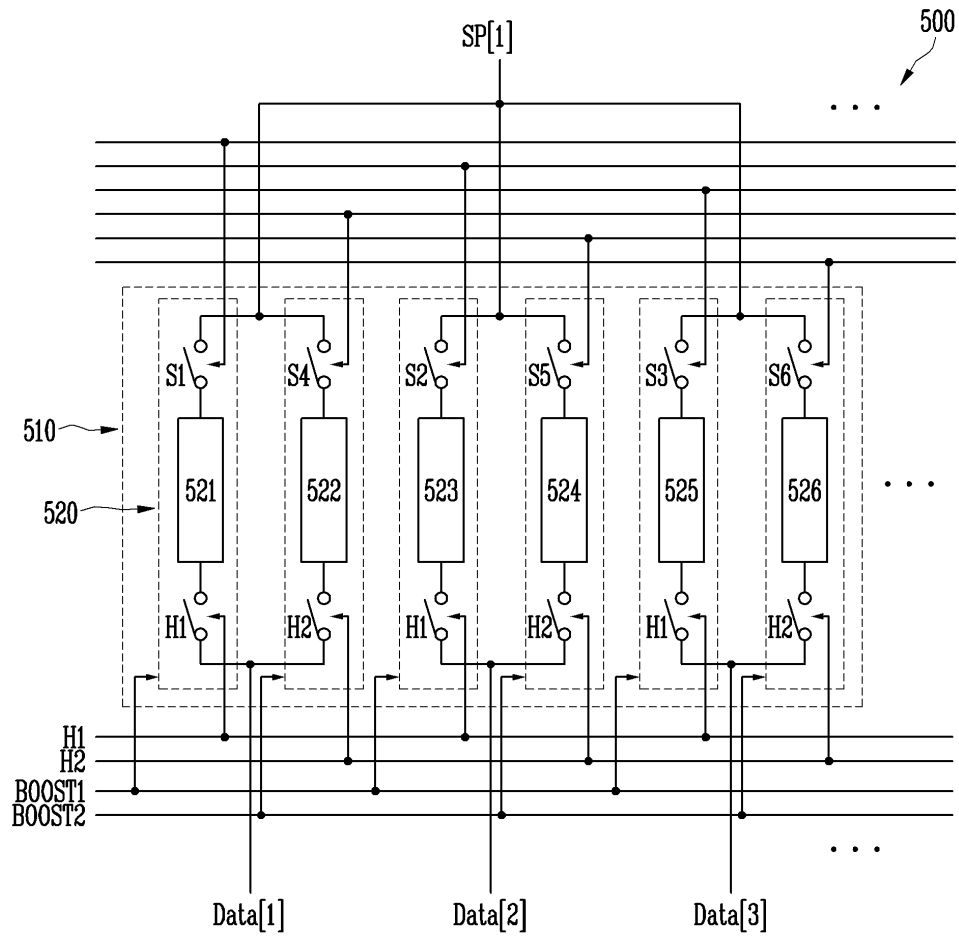
도면2



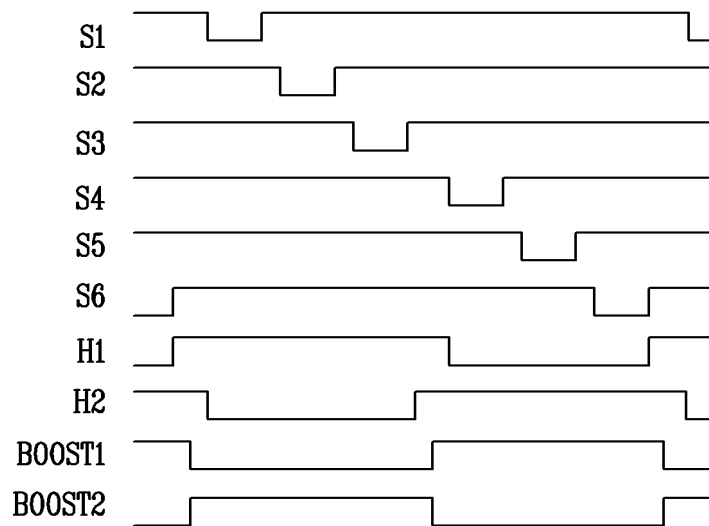
도면3



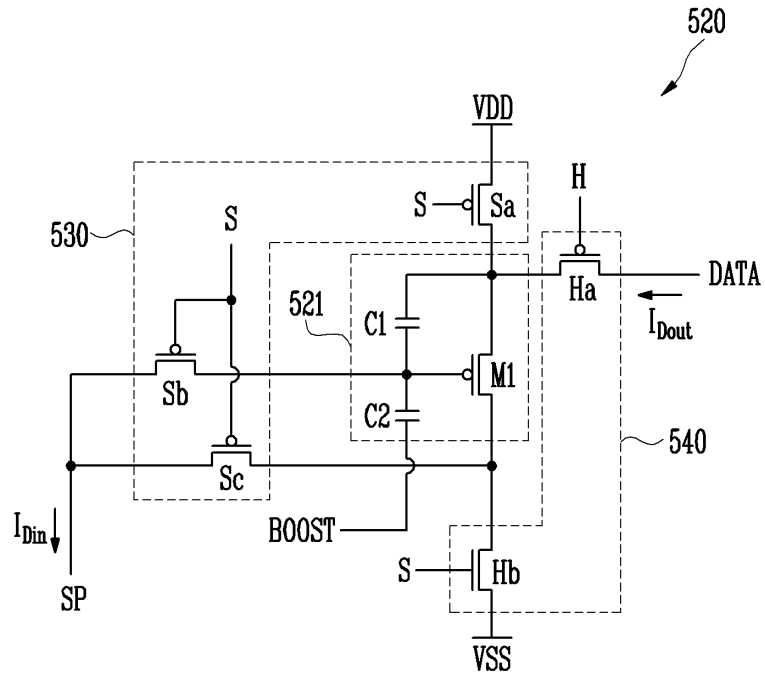
도면4



도면5



도면6



专利名称(译)	采样/保持电路和使用其的有机发光显示器		
公开(公告)号	KR100698709B1	公开(公告)日	2007-03-23
申请号	KR1020060040222	申请日	2006-05-03
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KYUNGHOON CHUNG 정경훈 ANSU LEE 이안수		
发明人	정경훈 이안수		
IPC分类号	G09G3/30 G09G3/20 G11C27/02		
CPC分类号	G09G3/3266 G09G2310/0297 G09G2320/0233 G11C27/02 H01L27/3248 H01L27/3265		
外部链接	Espacenet		

摘要(译)

提供采样/保持电路和使用其的有机发光装置，以通过在采样之前提高低电流来减少在采样低电流时产生的误差。采样/保持电路包括驱动晶体管（M1），第一至第五开关晶体管，以及第一和第二电容器。第一开关晶体管（Sa）连接在驱动晶体管的第一电极和第一电压源之间。第二开关晶体管（Sb）连接在驱动晶体管的栅极和信号线之间。第三开关晶体管（Sc）连接在驱动晶体管的第二电极和信号线之间。第四开关晶体管（Ha）连接在驱动晶体管的第一电极和数据线之间。第五开关晶体管（Hb）连接在第二电压源的第二电极和数据线之间。第一电容器（C1）连接在驱动晶体管的第一电极和栅极之间。第二电容器（C2）连接在驱动晶体管的栅极和升压信号线之间。

