

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년10월17일
<i>H05B 33/10</i> (2006.01)	(11) 등록번호	10-0635563
<i>H05B 33/00</i> (2006.01)	(24) 등록일자	2006년10월11일

(21) 출원번호	10-2004-0049173	(65) 공개번호	10-2006-0000362
(22) 출원일자	2004년06월28일	(43) 공개일자	2006년01월06일

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 이홍로
 경기도 수원시 팔달구 영통동 1016-5번지 301호

 장근호
 서울특별시 성동구 옥수동 1000 옥수하이츠 108동 704호

(74) 대리인 박상수

심사관 : 김창균

(54) 유기전계발광 표시장치와 그 제조방법

요약

유기전계발광 표시장치와 그 제조방법에 관한 것으로, 더욱 상세하게는 커패시터와 박막 트랜지스터에 대한 유기전계발광 표시장치와 그 제조방법에 관한 것이다. 커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기판; 상기 박막 트랜지스터 영역 상에 위치하는 폴리 실리콘막인 반도체층과 상기 커패시터 영역 상에 위치하고 상기 반도체층의 표면 거칠기보다 높은 표면 거칠기를 갖는 폴리 실리콘막인 커패시터 제 1 전극; 상기 반도체층 및 상기 커패시터 제 1 전극 상에 위치하는 제 1 절연막; 및 상기 커패시터 영역의 제 1 절연막 상에 위치하는 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 위치하는 게이트 전극을 포함하는 것을 특징으로 하는 유기전계발광 표시장치를 제공한다.

대표도

도 2d

색인어

표면 거칠기, 폴리 실리콘, 커패시터

명세서

도면의 간단한 설명

도 1은 종래의 유기전계발광 표시장치의 커패시터와 박막 트랜지스터에 대한 단면도,

도 2a 내지 2d는 본발명의 제 1 실시예에 따른 유기전계발광 표시장치의 커패시터와 박막 트랜지스터에 대한 단면도들, 도 3a 내지 3d는 본발명의 제 1 실시예에 따른 유기전계발광 표시장치의 커패시터와 박막 트랜지스터에 대한 단면도들이다.

(도면의 주요 부분에 대한 부호의 설명)

100, 200, 300 : 기판

130a : 커패시터 하부 전극, 210a, 310a : 커패시터 제 1 전극

110b, 210b, 310b : 반도체층, 220 : 제 1 절연막

150a : 커패시터 상부 전극, 230a, 330a : 커패시터 제 2 전극

240, 340 : 제 2 절연막, 250a, 350a : 커패시터 제 3 전극

A : 커패시터 영역, B : 박막 트랜지스터 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광 표시장치와 그 제조방법에 관한 것으로, 더욱 상세하게는 커패시터와 박막 트랜지스터의 실리콘 층에 대한 유기전계발광 표시장치와 그 제조방법에 관한 것이다.

평판 표시 장치 중 유기 전계 발광 표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 장치의 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 또한, 저온 제작이 가능하고, 기존의 반도체 공정 기술을 바탕으로 제조 공정이 간단하므로 향후 차세대 평판 표시 장치로 주목받고 있다.

유기 전계 발광 표시장치는 구동 방법에 따라 수동 구동(passive matrix)방식과 능동 구동(active matrix)방식으로 나뉜다. 수동 구동방식은 양극의 버스선과 음극의 버스선이 서로 교차되는 부분에 유기발광소자가 놓이며, 순차 펄스 구동(line by line scanning)방식으로 구동한다. 그러나 배선의 저항문제, 소비 전력 문제, 구동 전압의 문제로 인해 현재까지는 대화면의 표시 장치에는 부적합하다. 능동 구동방식은 한 유기발광소자 당 한 개 이상의 박막 트랜지스터를 사용하여 각 단위 화소 별로 On/Off를 조절하며 저장용량을 이용하여 정보를 저장하기 때문에 수동 구동방식에 비해 소비전력이 작아진다. 또한, 단위화소 형성 공정이 수동 구동방식에 비해 간단하고, 고해상도의 패널을 제작할 수 있는 장점이 있다.

상기의 능동 구동방식에 있어서, 하나의 단위화소 구동을 위해 박막 트랜지스터를 비롯한 여러 소자들과 배선들이 구동회로부를 구성하게 되며, 그로 인해 발광영역 크기의 제약을 받게 된다.

도 1은 상기 능동 구동방식의 유기전계발광 표시장치의 커패시터와 박막 트랜지스터의 단면이다.

도면을 참조하면, 기판(100)상에 커패시터 영역(A)과 박막 트랜지스터 영역(B)이 구비된다. 상기 커패시터 영역(A)에는 커패시터 하부전극(130a)과 그 상부에 커패시터 유전막(140)이 위치한다. 상기 커패시터 하부전극(130a)은 도전막이 패터닝되어 박막 트랜지스터의 게이트 전극(130b)과 동시에 형성되고, 상기 유전막은 상기 박막 트랜지스터 영역의 층간 절연막과 동일한 층이 된다. 상기 커패시터 유전막(140)상에 커패시터 상부전극(150a)이 위치한다. 상기 커패시터 상부전극(150a)은 상기 박막 트랜지스터의 소스 전극(150b) 및 드레인 전극(150c)과 동시에 형성이 된다. 또한 상기 소스 전극(150b) 및 드레인 전극(150c) 중 선택된 하나의 전극은 화소전극(170)과 연결되어, 유기전계발광 표시장치를 구동시킨다.

상기 박막 트랜지스터의 경우, 폴리실리콘막을 결정화하여 형성한 반도체층의 표면에는 결정화로 인한 표면 거칠기(roughness)가 발생하여 소자의 안정성에 문제가 발생할 수 있다. 따라서 게이트 절연막의 두께에 제약이 따르게 되고, 그로 인해 박막 트랜지스터의 특성도 한계를 가지게 된다.

또한 커패시터의 경우, 유전막에 있어서 박막 트랜지스터의 절연막과 동일한 물질로 형성이 되므로 유전막의 종류와 두께에 제한이 있고, 개구율의 확보에 따라 커패시터의 면적에 제한을 받게 된다. 따라서, 적정 용량의 커패시터 구현에 어려움이 있게 되고, 대면적의 표시장치일수록 더욱 높은 용량의 커패시터를 요구하게 되므로, 표시장치의 발광영역을 보장해주면서 정전용량은 향상될 수 있는 커패시터의 개발이 더욱 필요하게 되었다.

이와 같은 문제점은 디램과 같은 메모리소자에서도 동일하게 발생하며, 상기의 문제점을 해결하기 위해 폴리 실리콘막에 반구형 결정립(HSG: hemispherical silicon grain)을 형성하여 전극의 면적을 늘리는 방법, 유전율이 높은 물질을 사용하여 유전막을 형성하는 방법, 및 실린더 형태의 2중 커패시터를 형성하는 방법 등을 사용해왔다.

그러나, 위와 같은 방법은 유기전계발광 표시장치와 같은 평판표시 소자의 제조과정에 적용하기에는 공정이 복잡해지거나, 적용 자체가 어려운 문제가 있다.

발명이 이루고자 하는 기술적 과제

상기한 문제를 해결하기 위해 본 발명은 커패시터 전극막의 표면적을 증가시켜 단위 면적당 커패시턴스를 증가시킨 유기전계발광 표시장치와 그 제조방법을 제공하는 것에 목적이 있다.

또한, 본 발명의 다른 목적은 박막 트랜지스터의 반도체층인 폴리 실리콘의 표면 거칠기는 낮춤으로써 소자의 신뢰성을 더욱 향상시킬 수 있는 유기전계발광 표시장치와 그 제조방법을 제공하는 것에 목적이 있다.

발명의 구성 및 작용

상기한 문제를 해결하기 위해 본 발명은 커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기판; 상기 박막 트랜지스터 영역 상에 위치하는 폴리 실리콘막인 반도체층과 상기 커패시터 영역 상에 위치하고 상기 반도체층의 표면 거칠기보다 높은 표면 거칠기를 갖는 폴리 실리콘막인 커패시터 제 1 전극; 상기 반도체층 및 상기 커패시터 제 1 전극 상에 위치하는 제 1 절연막; 및 상기 커패시터 영역의 제 1 절연막 상에 위치하는 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 위치하는 게이트 전극을 포함하는 것을 특징으로 하는 유기전계발광 표시장치를 제공한다.

상기 박막 트랜지스터 영역 상에 위치하는 반도체층은 표면 거칠기 RMS 값이 50Å 이하인 폴리 실리콘으로 구비될 수 있다.

상기 커패시터 영역 상에 위치하는 커패시터 제 1 전극은 표면 거칠기 RMS 값이 200Å 이상인 폴리 실리콘으로 구비될 수 있다.

상기 유기전계발광 표시장치는 상기 커패시터 제 2 전극과 상기 게이트 전극상에 위치하는 제 2 절연막; 및 상기 커패시터 영역의 제 2 절연막 상에 위치하고 상기 제 1 절연막과 제 2 절연막을 관통하여 상기 커패시터 제 1 전극과 콘택되는 커패시터 제 3 전극과, 상기 박막 트랜지스터 영역의 제 2 절연막 상에 위치하고 상기 제 2 절연막과 상기 제 1 절연막을 관통하여 상기 반도체층과 접속하는 소스/드레인 전극을 더욱 포함할 수 있다.

상기 박막 트랜지스터는 PMOS 또는 NMOS 일 수 있다.

또한, 상기한 문제를 해결하기 위해 본 발명은 커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기판상에 비정질 실리콘막을 형성하는 단계; 상기 커패시터 영역의 비정질 실리콘막 상에 선택적으로 실리콘산화막을 형성하는 단계; 상기 커패시터 영역과 박막 트랜지스터 영역의 비정질 실리콘막을 동시에 결정화하여 커패시터 제 1 전극과 반도체층을 형성하는 단계; 상기 결정화된 폴리 실리콘막을 커패시터 영역과 박막 트랜지스터 영역에 대응되도록 패터닝을 하는 단계; 상기 커패시터 제 1 전극과 반도체층 상에 제 1 절연막을 형성하는 단계; 및 상기 제 1 절연막 상에 도전막을 적층하고 패터닝함으로써 상기 커패시터 영역의 제 1 절연막 상에 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 유기전계발광 표시장치의 제조방법을 제공한다.

상기 커패시터 영역의 비정질 실리콘막 패턴 상에 선택적으로 실리콘산화막을 형성하는 것은 상기 비정질 실리콘막에 실리콘산화막을 형성하고, 박막 트랜지스터 영역의 실리콘산화막을 노출시키는 포토 레지스트 패턴을 형성하고, 상기 포토 레지스트 패턴을 식각 마스크로 사용하여 상기 노출된 실리콘 산화막을 식각하고, 상기 포토레지스트 패턴을 제거함으로써 수행할 수 있다.

상기 실리콘산화막은 자연 산화막 내지 CVD 산화막일 수 있다.

상기 결정화는 ELA법을 사용하여 수행할 수 있다.

상기 유기전계발광 표시장치의 제조방법은 상기 커패시터 제 2 전극과 게이트 전극 상에 제 2 절연막을 형성하는 단계; 및 상기 제 2 절연막 상에 도전막을 형성하고 패터닝하여, 상기 커패시터 영역에 커패시터 제 3 전극을 형성하고, 상기 박막 트랜지스터 영역에 소스 전극 및 드레인 전극을 형성하는 단계를 포함할 수 있다.

상기 제 2 절연막 상에 도전막을 형성하기 전에 상기 제 2 절연막 및 상기 제 2 절연막 내에 상기 커패시터 제 1 전극을 노출시키는 콘택홀을 형성하는 것을 더욱 포함하고, 상기 커패시터 제 3 전극은 상기 콘택홀을 통해 상기 커패시터 제 1 전극과 콘택할 수 있다.

또한, 상기한 문제를 해결하기 위해 본 발명은 커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기판상에 비정질 실리콘막을 형성하는 단계; 상기 비정질 실리콘막 상에 실리콘산화막을 형성하는 단계; 상기 실리콘산화막이 형성된 비정질 실리콘막을 결정화함으로써 폴리 실리콘막을 형성하는 단계; 상기 박막 트랜지스터 영역의 폴리 실리콘막을 선택적으로 산소 플라즈마 처리하는 단계; 상기 선택적으로 산소 플라즈마 처리된 폴리 실리콘막을 패터닝하여 상기 커패시터 영역 상에 커패시터 제 1 전극과 상기 박막 트랜지스터 영역 상에 반도체층을 형성하는 단계; 상기 커패시터 제 1 전극과 상기 반도체층 상에 제 1 절연막을 형성하는 단계; 및 상기 제 1 절연막 상에 도전막을 적층하고 패터닝하여 커패시터 제 2 전극과 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법을 제공한다.

상기 박막 트랜지스터 영역의 폴리 실리콘막을 선택적으로 산소 플라즈마 처리하는 단계는 상기 폴리 실리콘막 상에 마스크를 형성하여 상기 박막 트랜지스터 영역의 폴리 실리콘막을 선택적으로 노출시킨 후, 산소 플라즈마 처리를 수행하는 단계를 포함할 수 있다.

상기 실리콘산화막은 자연 산화막 내지 CVD 산화막일 수 있다.

상기 결정화는 ELA법을 사용하여 수행할 수 있다.

상기 유기전계발광 표시장치의 제조방법은 상기 커패시터 제 2 전극과 게이트 전극 상에 제 2 절연막을 형성하는 단계; 및 상기 제 2 절연막 상에 도전막을 형성하고 패터닝하여, 상기 커패시터 영역에 커패시터 제 3 전극을 형성하고, 상기 박막 트랜지스터 영역에 소스 전극 및 드레인 전극을 형성하는 단계를 포함할 수 있다.

상기 제 2 절연막 상에 도전막을 형성하기 전에 상기 제 2 절연막 및 상기 제 2 절연막 내에 상기 커패시터 제 1 전극을 노출시키는 콘택홀을 형성하는 것을 더욱 포함하고, 상기 커패시터 제 3 전극은 상기 콘택홀을 통해 상기 커패시터 제 1 전극과 콘택할 수 있다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 2d는 본 발명의 실시예들에 따른 유기전계발광 표시장치에 대한 단면도로써 커패시터와 박막 트랜지스터에 한정하여 나타낸 것이다.

도면을 참조하면, 커패시터 영역(A) 및 박막 트랜지스터 영역(B)을 구비하는 기판 상에 상기 박막 트랜지스터 영역 상에 폴리 실리콘막인 반도체층(210b)과, 상기 커패시터 영역 상에 상기 반도체층의 표면 거칠기보다 높은 표면 거칠기를 갖는 폴리 실리콘막인 커패시터 제 1 전극(210a)이 위치한다. 상기 박막 트랜지스터 영역(B)의 박막 트랜지스터는 NMOS 또는 PMOS일 수 있다.

상기 커패시터 제 1 전극(210a)은 표면 거칠기 RMS(Root Mean Square ; RMS) 값이 200Å 이상일 수 있고, 상기 반도체층(210b)은 표면 거칠기 RMS 값이 50Å 이하일 수 있다. 따라서 상기 커패시터 제 1 전극의 면적을 더욱 증가시킬 수 있고, 박막 트랜지스터 반도체층의 표면 거칠기를 낮추어 줌으로써 고정 전하와 핫캐리어를 줄일 수 있다.

그리고, 상기 반도체층(210b) 및 상기 커패시터 제 1 전극(210a) 상에 제 1 절연막(220)이 위치한다. 상기 제 1 절연막(220)은 상기 박막 트랜지스터 영역(B)에서는 게이트 절연막의 역할을 하고, 상기 커패시터 영역(A)에서는 커패시터 유전막의 역할을 한다.

상기 커패시터 영역의 제 1 절연막 상에는 커패시터 제 2 전극(230a)이 위치하고, 상기 박막 트랜지스터 영역의 제 1 절연막 상에는 게이트 전극(230b)이 위치한다. 상기 커패시터 제 2 전극(230a) 및 게이트 전극(230b)은 도전막의 패터닝을 통해 구비된다.

상기 커패시터 제 2 전극(230a)과 상기 게이트 전극(230b)상에는 제 2 절연막(240)이 위치하고, 상기 제 2 절연막(240) 상에는 커패시터 제 3 전극(250c)과 박막 트랜지스터의 소스 전극(250a) 및 드레인 전극(250b)이 위치한다. 따라서 상기 제 2 절연막은 상기 커패시터 영역에 있어서 또 다른 커패시터(290)의 커패시터 유전막이 될 수 있고, 상기 박막 트랜지스터 영역에 있어서 층간 절연막이 될 수 있다.

커패시터 제 3 전극(250c)은 상기 제 1 절연막과 제 2 절연막을 관통하는 콘택홀을 통하여 상기 커패시터 제 1 전극과 콘택될 수 있다. 따라서, 두 개의 커패시터(280, 290)가 병렬 연결된 구조를 가지게 되므로 커패시터의 병렬 연결로 인해 커패시턴스는 더욱 증가되는 효과가 있다.

상기 커패시터 제 1 전극(210a)은 폴리 실리콘의 표면 거칠기를 높여서 표면적을 증가시킨 전극막이므로, 그로 인해 단위 면적당 커패시턴스는 증가한다. 따라서, 유기전계발광 표시장치에 있어서, 동일 정전 용량을 가지면서 크기가 작아진 커패시터를 구비할 수 있으므로, 그로 인해 개구율을 향상시킬 수 있다. 또한 대면적의 표시장치에 있어서, 평면적으로 동일한 면적이더라도 표면적의 증가로 커패시턴스가 커지므로 표시장치의 특성이 향상될 수 있다.

또한, 박막 트랜지스터에 있어서, 반도체층의 표면 거칠기를 낮추어줌으로써 핫 캐리어(hot carrier)가 줄어들고, 항복전압(breakdown voltage)가 높아져서 소자의 신뢰성이 더욱 향상될 수 있다.

도 2a 내지 도 2d는 본발명의 일 실시예에 따른 유기전계발광 표시장치의 제조방법에 대한 단면도들으로써, 커패시터와 박막 트랜지스터에 한정하여 나타낸 것이다.

도 2a를 참조하면, 커패시터 영역(A)과 박막 트랜지스터 영역(B)이 구비된 기판 상에 비정질 실리콘막(210)을 형성한다. 상기 커패시터 영역의 비정질 실리콘막 상부에 선택적으로 실리콘산화막(205)을 형성한다. 상기 실리콘산화막은 자연 산화막 내지 화학기상증착(Chemical Vapor Deposition ; 이하 CVD) 방법으로 형성한 산화막일 수 있다. 상기 커패시터 영역의 비정질 실리콘막 상에 선택적으로 실리콘산화막을 형성하는 것은 상기 비정질 실리콘막에 실리콘산화막을 형성하고, 박막 트랜지스터 영역의 실리콘산화막을 노출시키는 포토 레지스트 패터를 형성하고, 상기 포토레지스트 패터를 식각 마스크로 사용하여 상기 노출된 실리콘 산화막을 식각한 후, 상기 포토레지스트 패터를 제거함으로써 수행할 수 있다.

도 2b를 참조하면, 상기 비정질 실리콘막(210)을 결정화하여 폴리 실리콘막으로 형성한다. 커패시터 영역의 폴리 실리콘막의 거칠기를 효과적으로 증가시키기 위하여 상기 결정화는 레이저에 의한 결정화 방법이 바람직하며, 엑시머 레이저 어닐링(Excimer Laser Annealing ; 이하 ELA) 방법이 더욱 바람직하다. 즉, ELA 방법으로 결정화를 수행하면, 상기 커패시터 영역(A)에는 상기 실리콘 산화막(205)으로 인해 표면 거칠기가 큰 폴리 실리콘막이 형성이 되고, 상기 박막 트랜지스터 영역(B)에는 표면 거칠기가 작은 폴리 실리콘막이 형성된다. 실리콘 산화막의 유무에 따라 표면거칠기가 다른 폴리 실리콘막이 형성되는 이유는 결정화 과정 중 레이저의 조사 후 실리콘 입자들이 결정화되면서 표면에 있는 실리콘 산화막으로 인해 스트레스를 받음으로 인해 막의 표면에는 융기가 일어남으로써 돌출부가 형성되기 때문이다.

상기 결정화된 폴리 실리콘막(210)을 상기 커패시터 영역(A)과 박막 트랜지스터 영역(B)에 대응되도록 패터닝한다.

상기 커패시터 영역의 폴리 실리콘막은 커패시터 제 1 전극(210a)이 되고, 상기 박막 트랜지스터 영역의 폴리 실리콘막은 박막 트랜지스터의 반도체층(210b)이 된다. 상기 반도체층(210b)의 결정화된 폴리 실리콘의 표면 거칠기는 RMS 값이 50Å 이하가 되도록 형성하는 것이 바람직하다. 또한, 상기 커패시터 제 1 전극(210a)은 폴리 실리콘의 표면 거칠기 RMS 값이 200Å 이상이 되도록 형성하는 것이 바람직하다.

커패시터 제 1 전극(210a) 및 반도체층(210b) 상에 제 1 절연막(220)을 형성한다. 상기 제 1 절연막(220)은 커패시터 영역에서는 커패시터 유전막의 역할을 하고, 박막 트랜지스터 영역에서는 게이트 절연막의 역할을 하게 된다. 상기 제 1 절연막(220) 상에 도전층(230)을 형성한다.

도 2c를 참조하면, 상기 도전층(230)을 패터닝하여, 커패시터 제 2 전극(230a)과 게이트 전극(230b)을 형성한다. 상기 도전층은 금속막, 도핑된 폴리 실리콘막, 및 투명 도전막으로 이루어진 군에서 선택되는 하나의 물질을 사용하여 형성할 수 있다.

따라서, 상기 커패시터 영역(A)에는 커패시터 제 1 전극(210a), 제 1 절연층(220), 및 커패시터 제 2 전극(230a)으로 이루어진 커패시터(280)가 형성된다. 상기 커패시터(280)는 하부 전극인 상기 커패시터 제 1 전극(210a)을 폴리실리콘의 표면 거칠기를 높여서 표면적을 증가시켰으므로, 그로 인해 단위 면적당 커패시턴스는 증가하게 된다. 따라서, 유기전계발광 표시장치에 있어서, 동일 정전 용량을 가지면서 크기가 작아진 커패시터를 구비할 수 있으므로, 그로 인해 개구율을 향상시킬 수 있다. 또한 대면적의 표시장치에 있어서, 평면적으로 동일한 면적이더라도 표면적의 증가로 커패시턴스가 커지므로 표시장치의 특성을 향상시킬 수 있다.

상기 박막 트랜지스터 영역(b)에 상기 게이트 전극(230b)을 마스크로 하여 상기 반도체층(210b)으로 이온을 주입한다. 상기 이온주입으로 인해 반도체층에는 소스 영역 및 드레인 영역이 형성되고, 그로 인해 소스 영역, 드레인 영역 사이에 채널 영역이 정의된다.

그리고, 상기 커패시터 제 2 전극(230a)과 상기 게이트 전극(230b)이 형성된 기판 상부에 제 2 절연막(240)을 형성한다. 상기 제 2 절연막(240)은 통상적인 절연물질, 예를 들면 산화실리콘막(SiO_2) 또는 질화실리콘막(SiN_x)을 사용하여 형성할 수 있다.

도 2d를 참조하면, 상기 제 2 절연막(240) 내에 상기 반도체층(210b)의 소스 영역 및 드레인 영역들을 각각 노출시키는 콘택홀을 형성하고, 그와 동시에 커패시터 제 1 전극(210a)을 노출시키는 콘택홀을 형성한다.

상기 제 2 절연막(240) 상에 도전층을 적층하고 패터닝함으로써, 상기 노출된 소스 영역 및 드레인 영역들과 각각 접하는 소스 전극(250a) 및 드레인 전극(250b)을 형성하고, 그와 동시에 상기 노출된 제 1 커패시터 전극에 접하는 커패시터 제 3 전극(250c)을 형성한다. 상기 도전층은 금속막, 도핑된 폴리 실리콘막, 및 투명 도전막으로 이루어진 군에서 선택되는 하나의 물질을 사용하여 수행할 수 있다. 따라서, 박막 트랜지스터가 완성이 되고, 상기 박막 트랜지스터는 PMOS(P-type Metal-Oxide Semiconductor) 또는 NMOS(N-type Metal-Oxide Semiconductor)일 수 있다. 또한, 상기 커패시터 제 3 전극(250c)은 상기 커패시터 제 1 전극과 콘택이 되어, 두 개의 커패시터(280, 290)가 병렬 연결이 되어, 소자 전체의 커패시턴스는 증가하는 효과를 가질 수 있다.

상기 기판 전체에 걸쳐 제 3 절연막(260)을 형성한다. 상기 제 3 절연막(260)은 무기 보호막, 유기 평탄화막, 및 무기 보호막과 유기 평탄화막의 이중층일 수 있다.

상기 제 3 절연막(260) 내부에 상기 소스 전극(250a) 또는 드레인 전극(250b) 중 하나를 노출하는 비아홀을 형성하고, 상기 제 3 절연막(260) 상에 화소 전극(270)을 적층하고 패터닝하여 상기 비아홀 내에 노출된 소스 전극 또는 드레인 전극과 접하는 화소 전극(270)을 형성한다.

상기 화소전극(270) 상에 발광층(도면에 도시하지 않음)이 형성되고, 발광층 상부로 대향 전극(도면에 도시하지 않음)이 형성되어 유기전계발광 표시장치가 완성된다.

도 3a 내지 도 3d는 본발명의 제 2 실시예에 따른 유기전계발광 표시장치의 커패시터와 박막 트랜지스터에 대한 단면도이다.

도 3a를 참조하면, 커패시터 영역(A)과 박막 트랜지스터 영역(B)이 구비된 기판(300) 상에 비정질 실리콘막(310)을 형성한다. 상기 비정질 실리콘막(310) 상에 실리콘산화막(315)을 형성한다. 상기 실리콘산화막은 자연 산화막 내지 CVD 산화막일 수 있다.

도 3b를 참조하면, 상기 실리콘산화막(315)이 형성된 비정질 실리콘막을 결정화한다. 폴리 실리콘막의 거칠기를 효과적으로 증가시키기 위하여 상기 결정화는 ELA인 것이 바람직하다. 즉, ELA 방법으로 결정화를 수행하면, 상기 비정질 실리콘막은 상기 실리콘산화막(205)으로 인해 표면 거칠기가 큰 폴리 실리콘막(310a)이 형성된다.

상기 박막 트랜지스터 영역의 폴리 실리콘막을 선택적으로 산소 플라즈마 처리를 한다. 상기의 선택적으로 산소 플라즈마 처리를 하는 것은 상기 폴리 실리콘막(310a) 상에 마스크(317)를 형성하여 상기 박막 트랜지스터 영역의 폴리 실리콘막을 선택적으로 노출시킨 후, 산소 플라즈마 처리(319)를 수행하는 것일 수 있다. 따라서 상기 박막 트랜지스터 영역(B)의 폴리 실리콘막은 상기 커패시터 영역(B)의 폴리 실리콘막보다 표면 거칠기가 감소하게 된다. 즉, 폴리 실리콘막의 돌출된 부분은 결정입자의 경계면으로써 입자간의 결합력이 약하여 산소 플라즈마에 의해 식각이 되어, 표면 거칠기가 감소하게 되는 것이다.

도 3c를 참고하면, 상기 마스크(317)를 제거하고 상기 폴리 실리콘막을 패터닝함으로써, 상기 산소 플라즈마 처리된 부분의 폴리 실리콘막은 상기 박막 트랜지스터 영역(B)의 반도체층(310b)로 형성되고, 상기 마스크로 보호된 커패시터 영역(A)의 폴리 실리콘막은 커패시터 제 1 전극(310a)이 된다. 상기 반도체층(310b)의 결정화된 폴리 실리콘의 표면 거칠기는 RMS 값이 50Å 이하로 형성하는 것이 바람직하고, 상기 커패시터 제 1 전극(310a)은 폴리 실리콘의 표면 거칠기 RMS 값이 200Å 이상으로 형성하는 것이 바람직하다. 따라서, 제 1 실시예와 마찬가지로 상기 커패시터 제 1 전극(210a)의 표면 거칠기를 RMS 값이 200Å 이상으로 형성함으로써 전극의 표면적이 증가되고, 상기 반도체층의 표면 거칠기를 RMS 값이 50Å 이하로 형성함으로써 반도체층의 핫캐리어와 고정전하를 방지할 수 있다.

커패시터 제 1 전극(310a) 및 반도체층(310b) 상에 제 1 절연막(320)이 형성된다. 상기 절연막은 커패시터 영역에서는 커패시터 유전막의 역할을 하고, 박막 트랜지스터 영역에서는 게이트 절연막의 역할을 하게 된다.

도 3d를 참조하면, 상기 제 1 절연막(320) 상에 도전층(330)을 형성한다. 상기 도전층(330)을 패터닝하여, 커패시터 제 2 전극(330a)과 게이트 전극(330b)을 형성한다. 상기 도전층은 금속막, 도핑된 폴리 실리콘막, 및 투명 도전막으로 이루어진 군에서 선택되는 하나의 물질을 사용하여 수행할 수 있다.

따라서, 상기 커패시터 영역(A)에는 커패시터 제 1 전극(310a), 제 1 절연막(320), 및 커패시터 제 2 전극(330a)으로 이루어진 커패시터가 형성된다. 또한 상기 커패시터는 상기 하부전극의 표면적이 증가하여 단위면적당 정전용량을 증가시켜, 개구율을 향상시킬 수 있으며, 대면적 표시장치의 표시능력을 향상시킬 수도 있다.

그리고, 제 1 실시예와 동일한 과정으로 상기 커패시터 제 2 전극(330a)과 상기 게이트 전극(330b)이 형성된 기판 상부에 제 2 절연막(340)을 형성하고, 소스 전극(350a), 드레인 전극(350b)을 형성한다. 따라서, 박막 트랜지스터가 완성되고, 상기 박막 트랜지스터는 NMOS 또는 PMOS 일 수 있다.

또한 제 1 실시예에서 처럼 상기 커패시터 상에 또 다른 커패시터를 병렬 연결하는 구조를 형성하여, 커패시턴스를 증가시킬 수 있다.

발명의 효과

본 발명에 따른 유기전계발광 표시장치는 커패시터 전극막의 표면적을 증가시켜 단위 면적당 커패시턴스를 증가시키고, 그로 인해 개구율이 향상되는 특징이 있다.

또한, 박막 트랜지스터의 반도체층인 폴리 실리콘의 표면 거칠기는 낮춤으로써 핫 캐리어가 감소하고, 항복 전압이 증가하여 소자의 신뢰성을 더욱 향상시킬 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기관;

상기 박막 트랜지스터 영역 상에 위치하는 폴리 실리콘막인 반도체층과 상기 커패시터 영역 상에 위치하고 상기 반도체층의 표면 거칠기보다 높은 표면 거칠기를 갖는 폴리 실리콘막인 커패시터 제 1 전극;

상기 반도체층 및 상기 커패시터 제 1 전극 상에 위치하는 제 1 절연막; 및

상기 커패시터 영역의 제 1 절연막 상에 위치하는 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 위치하는 게이트 전극을 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2.

제 1 항에 있어서,

상기 박막 트랜지스터 영역 상에 위치하는 반도체층은 표면 거칠기 RMS 값이 50Å 이하인 폴리 실리콘으로 구비된 것인 유기전계발광 표시장치.

청구항 3.

제 1 항에 있어서,

상기 커패시터 영역 상에 위치하는 커패시터 제 1 전극은 표면 거칠기 RMS 값이 200Å 이상인 폴리 실리콘으로 구비된 것인 유기전계발광 표시장치.

청구항 4.

제 1 항에 있어서,

상기 커패시터 제 2 전극과 상기 게이트 전극상에 위치하는 제 2 절연막; 및

상기 커패시터 영역의 제 2 절연막 상에 위치하고 상기 제 1 절연막과 제 2 절연막을 관통하여 상기 커패시터 제 1 전극과 콘택되는 커패시터 제 3 전극과, 상기 박막 트랜지스터 영역의 제 2 절연막 상에 위치하고 상기 제 2 절연막과 상기 제 1 절연막을 관통하여 상기 반도체층과 접속하는 소스/드레인 전극을 더욱 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 5.

제 1 항에 있어서,

상기 박막 트랜지스터는 PMOS 또는 NMOS 인 것을 특징으로 하는 유기전계발광 표시장치.

청구항 6.

커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기관상에 비정질 실리콘막을 형성하는 단계;

상기 커패시터 영역의 비정질 실리콘막 상에 선택적으로 실리콘산화막을 형성하는 단계;

상기 커패시터 영역과 박막 트랜지스터 영역의 비정질 실리콘막을 동시에 결정화하여 커패시터 제 1 전극과 반도체층을 형성하는 단계;

상기 결정화된 폴리 실리콘막을 커패시터 영역과 박막 트랜지스터 영역에 대응되도록 패터닝을 하는 단계;

상기 커패시터 제 1 전극과 반도체층 상에 제 1 절연막을 형성하는 단계; 및

상기 제1 절연막 상에 도전막을 적층하고 패터닝함으로써 상기 커패시터 영역의 제 1 절연막 상에 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 유기전계발광 표시장치의 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 커패시터 영역의 비정질 실리콘막 상에 선택적으로 실리콘산화막을 형성하는 것은 상기 비정질 실리콘막에 실리콘산화막을 형성하고, 박막 트랜지스터 영역의 실리콘산화막을 노출시키는 포토 레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 노출된 실리콘 산화막을 식각하고, 상기 포토레지스트 패턴을 제거함으로써 수행하는 것인 유기전계발광 표시장치의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 실리콘산화막은 자연 산화막 내지 CVD 산화막인 유기전계발광 표시장치의 제조방법.

청구항 9.

제 6 항에 있어서,

상기 결정화는 ELA법을 사용하여 수행하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 10.

제 6 항에 있어서,

상기 커패시터 제 2 전극과 게이트 전극 상에 제 2 절연막을 형성하는 단계; 및

상기 제 2 절연막 상에 도전막을 형성하고 패터닝하여, 상기 커패시터 영역에 커패시터 제 3 전극을 형성하고, 상기 박막 트랜지스터 영역에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 유기전계발광 표시장치의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 제 2 절연막 상에 도전막을 형성하기 전에 상기 제 2 절연막 및 상기 제 2 절연막 내에 상기 커패시터 제 1 전극을 노출시키는 콘택홀을 형성하는 것을 더욱 포함하고, 상기 커패시터 제 3 전극을 상기 콘택홀을 통해 상기 커패시터 제 1 전극과 콘택되는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 12.

커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기판상에 비정질 실리콘막을 형성하는 단계;

상기 비정질 실리콘막 상에 실리콘산화막을 형성하는 단계;

상기 실리콘산화막이 형성된 비정질 실리콘막을 결정화함으로써 폴리 실리콘막을 형성하는 단계;

상기 박막 트랜지스터 영역의 폴리 실리콘막을 선택적으로 산소 플라즈마 처리하는 단계;

상기 선택적으로 산소 플라즈마 처리된 폴리 실리콘막을 패터닝하여 상기 커패시터 영역 상에 커패시터 제 1 전극과 상기 박막 트랜지스터 영역 상에 반도체층을 형성하는 단계;

상기 커패시터 제 1 전극과 상기 반도체층 상에 제 1 절연막을 형성하는 단계; 및

상기 제 1 절연막 상에 도전막을 적층하고 패터닝하여 커패시터 제 2 전극과 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 13.

제 12 항에 있어서,

상기 박막 트랜지스터 영역의 폴리 실리콘막을 선택적으로 산소 플라즈마 처리하는 단계는 상기 폴리 실리콘막 상에 마스크를 형성하여 상기 박막 트랜지스터 영역의 폴리 실리콘막을 선택적으로 노출시킨 후, 산소 플라즈마 처리를 수행하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 14.

제 12 항에 있어서,

상기 실리콘산화막은 자연 산화막 내지 CVD 산화막인 유기전계발광 표시장치의 제조방법.

청구항 15.

제 12항에 있어서,

상기 결정화는 ELA법을 사용하여 수행하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법

청구항 16.

제 13 항에 있어서,

상기 커패시터 제 2 전극과 게이트 전극 상에 제 2 절연막을 형성하는 단계; 및

상기 제 2 절연막 상에 도전막을 형성하고 패터닝하여, 상기 커패시터 영역에 커패시터 제 3 전극을 형성하고, 상기 박막 트랜지스터 영역에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 유기전계발광 표시장치의 제조방법.

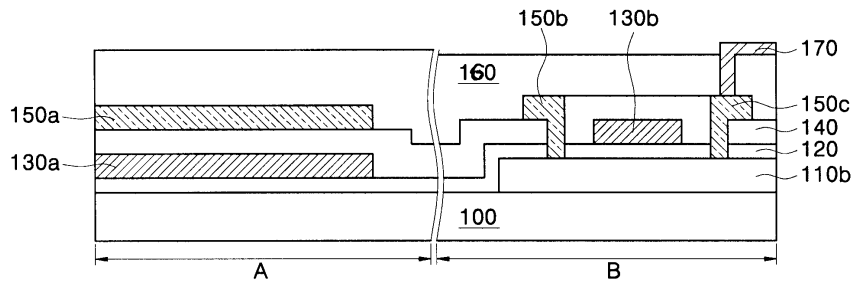
청구항 17.

제 16 항에 있어서,

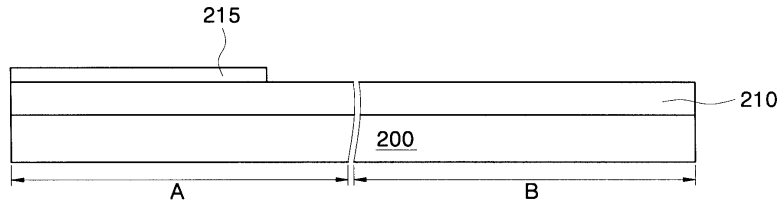
상기 제 2 절연막 상에 도전막을 형성하기 전에 상기 제 2 절연막 및 상기 제 2 절연막 내에 상기 커패시터 제 1 전극을 노출시키는 콘택홀을 형성하는 것을 더욱 포함하고, 상기 커패시터 제 3 전극을 상기 콘택홀을 통해 상기 커패시터 제 1 전극과 콘택되는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

도면

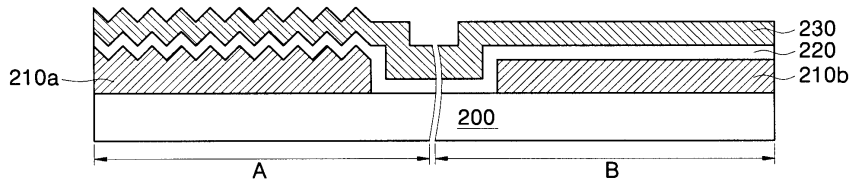
도면1



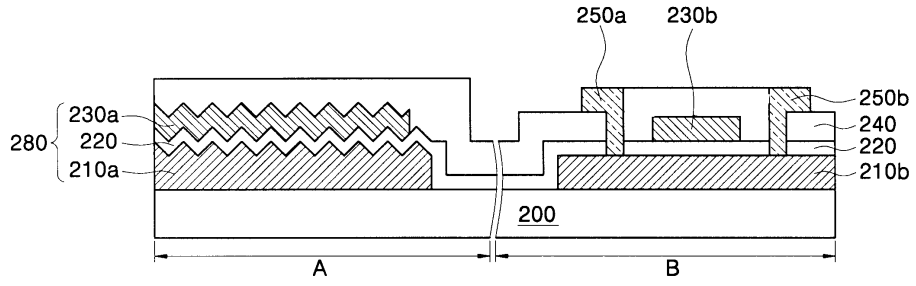
도면2a



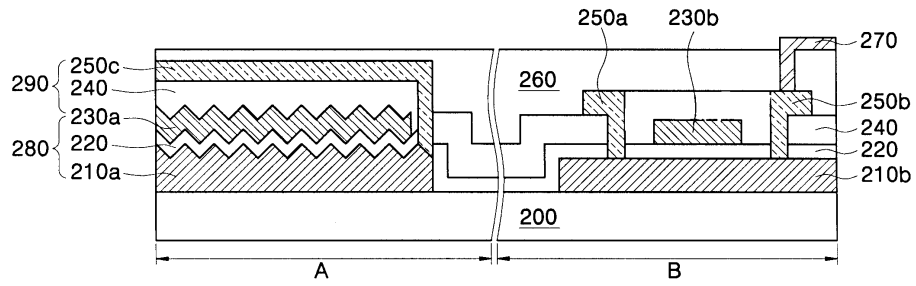
도면2b



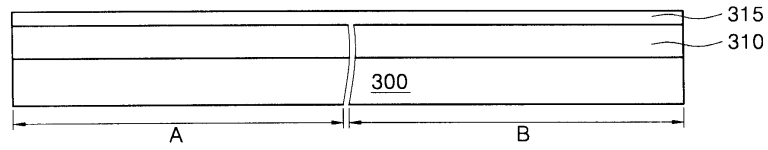
도면2c



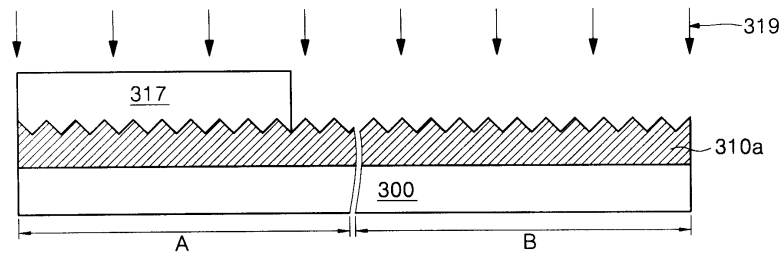
도면2d



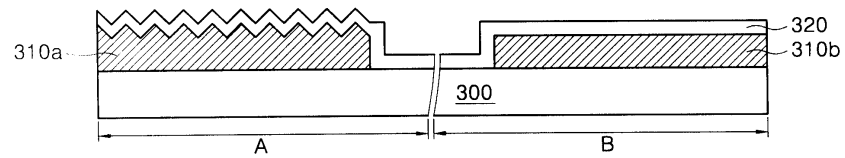
도면3a



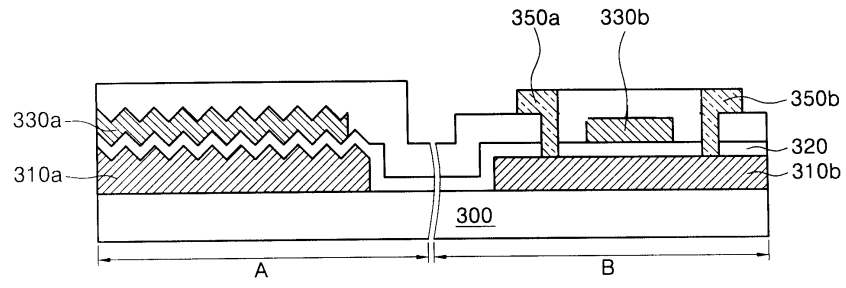
도면3b



도면3c



도면3d



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100635563B1	公开(公告)日	2006-10-17
申请号	KR1020040049173	申请日	2004-06-28
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	LEE HONGRO 이홍로 JANG KEUNHO 장근호		
发明人	이홍로 장근호		
IPC分类号	H05B33/10 H05B33/00		
代理人(译)	PARK, 常树		
其他公开文献	KR1020060000362A		
外部链接	Espacenet		

摘要(译)

更具体地，涉及用于电容器和薄膜晶体管的有机发光显示装置及其制造方法。一种基板，具有电容器区域和薄膜晶体管区域;半导体层，是位于薄膜晶体管区域上的多晶硅膜和位于电容器区域上的半导体层，其表面粗糙度高于半导体层的表面粗糙度电容器第一电极，是多晶硅膜;第一绝缘层设置在半导体层和电容器第一电极上;并且，电容器第二电极位于电容器区域的第一绝缘膜上，栅电极位于薄膜晶体管区域的第一绝缘膜上。图2d 指数方面 表面粗糙度，多晶硅，电容器

