

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월25일 10-0627309 2006년09월15일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0080374 2004년10월08일	(65) 공개번호 (43) 공개일자	10-2006-0031373 2006년04월12일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	권오경 서울특별시 송파구 신천동 7번지 장미아파트 14동 1102호
(74) 대리인	유미특허법인

심사관 : 조지은

(54) 발광 표시 장치 및 그 데이터 구동 장치

요약

전류 기입 방식의 유기 발광 표시 장치에서, 외부로부터 입력되는 계조 데이터를 데이터 전류로 변환하여 데이터선으로 전달하는 데이터 구동부를 제공한다. 데이터 구동부의 디지털/아날로그 변환부는 순차적으로 입력되는 계조 데이터를 데이터 전류로 변환하여 데이터 출력부로 전달하며, 데이터 출력부는 순차적으로 전달되는 데이터 전류를 샘플링한 후에 데이터선으로 동시에 출력한다. 여기서, 디지털/아날로그 변환부에서 데이터 출력부로 데이터 전류를 전달하기 전에 배선을 데이터 신호의 비트값에 대응하는 전압으로 프리차지한다. 그러면 데이터 전류가 손실 없이 데이터 출력부로 전달될 수 있다.

대표도

도 2

색인어

발광, 유기, 전류 기입, 프리차지, 아날로그, 계조

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 발광 표시 장치의 개략적인 평면도이다.

도 2는 본 발명의 제1 실시예에 따른 데이터 구동부의 개략적인 블록도이다.

도 3은 도 2의 데이터 구동부의 다중화 처리부의 개략적인 블록도이다.

도 4는 도 3의 데이터 구동부의 D/A 변환부의 일 예를 나타내는 도면이다.

도 5는 본 발명의 제1 실시예에 따른 데이터 구동부에서 D/A 변환부의 출력단과 데이터 출력부의 입력단을 나타내는 도면이다.

도 6은 본 발명의 제2 실시예에 따른 데이터 구동부에서 D/A 변환부의 출력단, 데이터 출력부의 입력단 및 프리차지부를 나타내는 도면이다.

도 7은 도 6의 프리차지부의 스위칭 타이밍도이다.

도 8은 도 7의 프리차지부 중에서 전압 D/A 변환부의 일 예를 나타내는 도면이다.

도 9는 본 발명의 제3 실시예에 따른 데이터 구동부의 개략적인 블록도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광 표시 장치에 관한 것으로, 특히 전류 형태의 데이터 신호를 공급하는 데이터 구동 장치 및 이를 이용한 발광 표시 장치에 관한 것이다.

발광 표시 장치는 인가되는 전류의 크기에 대응하는 빛을 발광하는 소자를 사용하여 영상을 표시하는 표시 장치로서, 유기 물질의 발광을 이용하는 유기 발광 표시 장치가 최근 사용되고 있다. 유기 발광 표시 장치는 유기 물질을 전기적으로 여기시켜 발광시키는 표시 장치로서, $N \times M$ 개의 유기 발광셀들을 전압 기입 혹은 전류 기입하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 애노드층, 유기 박막층 및 캐소드층의 구조를 가지고 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방법은 어드레싱 방식에 따라 수동 매트릭스(passive matrix) 방식과 능동 매트릭스(active matrix) 방식이 있다. 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 매트릭스 방식은 박막 트랜지스터와 커패시터를 각 화소 전극에 연결하여 커패시터에 의해 전압을 유지하도록 하는 구동 방식이다. 이때, 커패시터에 전압을 유지시키기 위해 인가되는 신호의 형태에 따라 능동 매트릭스 방식은 전압 기입 방식과 전류 기입 방식으로 나뉘어진다.

그런데 종래의 전압 기입 방식의 화소 회로에서는 제조 공정의 불균일성에 의해 생기는 박막 트랜지스터의 문턱 전압 및 캐리어의 이동도의 편차로 인해 고계조를 얻기 어렵다는 문제점이 있다. 이에 반해 전류 기입 방식의 화소 회로는 화소 회로에 전류를 공급하는 전류원이 패널 전체를 통해 균일하다고 하면 각 화소내의 구동 트랜지스터가 불균일한 전압/전류 특성을 갖는다 하더라도 균일한 표시 특성을 얻을 수 있다.

이와 같은 전류 기입 방식의 화소를 이용하여 표시 장치를 구현하는 경우, 계조를 나타내는 데이터 신호를 전류로 변환하여 화소에 인가하는 전류 생성 회로가 필요하게 된다. 즉, 외부로부터 인가되는 계조 데이터를 전류 형태의 데이터 신호(이하, "데이터 전류"라 함)로 변환하여 인가하는 데이터 구동 장치가 필요하다.

이러한 데이터 구동 장치는 계조 데이터를 아날로그 형태의 데이터 전류로 변환하는 디지털/아날로그 변환부와 변환된 데이터 전류를 버퍼링하여 데이터선으로 전달하기 위한 데이터 출력부를 필요로 한다. 일반적으로 데이터 전류를 한 수평 주기 동안 한번씩 데이터선으로 전달되어야 하는데, 유기 발광 표시 장치의 해상도가 높아질수록 수평 주기는 짧아진다. 따라서 짧은 수평 주기 동안 데이터 전류가 데이터 출력부에서 버퍼링되어야 하는데, 유기 발광 소자의 발광에 사용되는 전류의 레벨이 낮은 경우에는 데이터 전류가 한 수평 주기 동안 충분히 버퍼링되지 못해서 정상적인 데이터 전류가 데이터선으로 전달되지 않을 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 계조 데이터를 데이터 전류로 변환하여 데이터선으로 전달하는 데이터 구동 장치를 제공하는 것이다.

본 발명의 다른 기술적 과제는 데이터 출력부로 정상적으로 데이터 전류를 전달할 수 있는 데이터 구동 장치를 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위해, 본 발명은 데이터 구동 장치의 데이터 출력부에서 데이터 전류를 수신하기 전에 프리차지를 한다.

본 발명의 한 특징에 따르면, 계조를 나타내는 복수의 데이터 신호를 순차적으로 수신하여 발광 표시 장치의 표시부에 형성된 복수의 데이터선에 데이터 전류를 인가하는 데이터 구동 장치가 제공된다. 본 발명의 데이터 구동 장치는, 상기 데이터 신호를 데이터 전류로 변환하는 적어도 하나의 변환부, 상기 변환부에서 출력되는 데이터 전류를 수신하여 상기 복수의 데이터선으로 전달하는 데이터 출력부, 그리고 상기 데이터 전류가 상기 데이터 출력부로 전달되기 전에 상기 변환부와 상기 데이터 출력부 사이의 배선을 상기 데이터 신호에 대응되는 프리차지 전압으로 충전하는 프리차지부를 포함한다.

본 발명의 한 실시예에 따르면, 상기 프리차지부는 상기 데이터 신호의 비트값 중 적어도 일부의 비트값으로부터 상기 프리차지 전압을 생성하는 전압 변환부를 포함한다.

본 발명의 다른 실시예에 따르면, 상기 전압 변환부는 제1 전압을 공급하는 제1 전원과 제2 전압을 공급하는 제2 전원 사이에 직렬로 연결되는 복수의 저항을 포함하며, 상기 데이터 신호의 비트값 중 적어도 일부의 비트값으로부터 상기 제1 전원, 제2 전원 및 복수의 저항에 의해 형성되는 점점 중에서 상기 프리차지 전압이 출력될 점점을 선택한다.

본 발명의 또다른 실시예에 따르면, 상기 적어도 일부의 비트값은 최상위 비트값을 포함한다.

본 발명의 다른 특징에 따르면, 표시부, 주사 구동부 및 데이터 구동부를 포함하는 발광 표시 장치가 제공된다. 표시부는, 일 방향으로 형성된 복수의 데이터선, 상기 데이터선과 교차하는 방향으로 형성된 복수의 제1 및 제2 주사선, 그리고 상기 데이터선과 상기 제1 주사선에 의해 정의되며 각각 발광 소자를 가지는 복수의 화소 영역을 포함한다. 주사 구동부는 상기 복수의 제1 주사선으로 데이터가 기입될 화소 영역을 선택하는 선택 신호를 선택적으로 전달하며, 상기 복수의 제2 주사선으로 발광 소자가 발광할 화소 영역을 선택하는 발광 신호를 선택적으로 전달한다. 데이터 구동부는 순차적으로 입력되는 복수의 데이터 신호를 수신하여 상기 데이터 신호를 데이터 전류로 변환하는 변환부와 상기 변환부에서 상기 변환된 데이터 전류를 일시 저장한 후 상기 복수의 데이터선으로 전달하는 데이터 출력부를 가진다. 이때, 상기 변환부에서 상기 데이터 출력부로 상기 데이터 전류가 전달되기 전에 상기 변환부와 상기 데이터 출력부 사이의 배선이 상기 데이터 신호에 대응되는 프리차지 전압으로 충전된다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다.

도 1은 본 발명의 실시예에 따른 발광 표시 장치의 개략적인 평면도이다.

도 1에 도시한 바와 같이, 본 발명의 실시예에 따른 발광 표시 장치는 표시부(100), 주사 구동부(200) 및 데이터 구동부(300)를 포함한다.

표시부(100)는 복수의 데이터선($D_1 \sim D_m$), 복수의 선택 주사선($S_1 \sim S_n$), 복수의 발광 주사선($E_1 \sim E_n$) 및 복수의 부화소(110)를 포함한다. 복수의 데이터선($D_1 \sim D_m$)은 열 방향으로 뻗어 있으며 화상을 나타내는 데이터 전류를 전달한다. 선택

주사선($S_1 \sim S_n$)은 행 방향으로 뻗어 있으며 복수의 부화소 중 데이터 전류가 인가될 화소를 선택하는 선택 신호를 전달하고, 복수의 발광 주사선($E_1 \sim E_n$)은 행 방향으로 뻗어 있으며 복수의 부화소 중 발광할 부화소를 선택하는 발광 신호를 전달한다.

그리고 이웃하는 두 선택 주사선($S_1 \sim S_n$)과 이웃하는 두 데이터선($D_1 \sim D_m$)에 의해 화소 영역이 정의되고, 화소 영역에 발광 소자를 가지는 부화소(110)가 형성된다. 예를 들어, i 번째 선택 주사선(S_i)과 j 번째 데이터선(D_j)에 연결된 부화소(110)는 선택 주사선(S_i)으로부터 선택 신호가 인가될 때 데이터선(D_j)으로부터의 데이터 전류를 기입하고, 발광 주사선(E_i)으로부터 발광 신호가 인가될 때 발광 소자가 기입한 데이터 전류에 대응되는 계조로 발광한다. 또한, 본 발명의 실시예에서는 R(red) 색상의 빛을 발광하는 부화소, G(green) 색상의 빛을 발광하는 부화소 및 B(blue) 색상의 빛을 발광하는 부화소가 존재하며, 세 부화소에 의해 하나의 색상이 표현하는 화소가 형성되는 것으로 가정한다.

데이터 구동부(200)는 데이터 전류를 데이터선($D_1 \sim D_m$)에 인가한다. 주사 구동부(300)는 복수의 선택 주사선($S_1 \sim S_n$)에 선택 신호를 순차적으로 인가하고, 또한 복수의 발광 주사선($E_1 \sim E_n$)에 발광 신호를 순차적으로 인가한다.

이때, 주사 구동부(200) 및/또는 데이터 구동부(300)는 표시부(100)가 형성되는 기판 위에 집적 회로 형태로 직접 장착될 수 있다. 또는 이들 구동부(200 및/또는 300)를 표시부(100)가 형성되는 기판 위에서 주사선($S_1 \sim S_n$, $E_1 \sim E_n$), 데이터선($D_1 \sim D_m$) 및 화소(110)의 트랜지스터를 형성하는 층과 동일한 층들로 형성할 수도 있다. 또는 이들 구동부(200 및/또는 300)를 표시부(100)가 형성되는 기판과 별도의 기판에 형성하여 이들 기판을 표시부(100)가 형성되는 기판에 전기적으로 연결할 수도 있다. 또한 이들 구동부(200 및/또는 300)는 표시부(100)가 형성되는 기판에 접착되어 전기적으로 연결된 TCP(tape carrier package), FPC(flexible printed circuit) 또는 TAB(tape automatic bonding)에 칩 등의 형태로 장착될 수도 있다.

다음, 도 1의 데이터 구동부(300)에 대해서 도 2를 참조하여 상세하게 설명한다. 도 2는 본 발명의 제1 실시예에 따른 데이터 구동부(300)의 개략적인 블록도이며, 도 3은 도 2의 데이터 구동부(300)의 다중화 처리부(330)의 개략적인 블록도이다.

도 2에 도시한 바와 같이, 제1 실시예에 따른 데이터 구동부(300)는 시프트 레지스터부(310), 래치부(320), 다중화 처리부(330), 디지털/아날로그 변환부(이하, "D/A 변환부"라 함)(340), 제어 신호 생성부(350) 및 데이터 출력부(360)를 포함한다. 그리고 도 2에서는 설명의 편의상 데이터선($D_1 \sim D_m$)은 300개, 즉 R 부화소에 대응되는 100개의 데이터선, G 부화소에 대응되는 100개의 데이터선 및 B 부화소에 대응되는 100개의 데이터선으로 이루어지며, 데이터 출력부는 데이터선에 대응하여 300개의 채널을 가지는 것으로 가정한다. 또한 한 행에 형성되는 100개의 화소에 대응되는 계조 데이터는 순차적으로 입력되고, 한 화소의 R, G, B 계조 데이터는 병렬로 입력되는 것으로 가정한다.

시프트 레지스터부(310)는 순차적으로 시프트되는 샘플링 신호를 생성하여 래치부(320)로 전달하며, 래치부(320)는 샘플링 신호에 따라 순차적으로 입력되는 R, G, B 계조 데이터를 샘플링하여 저장하며 샘플링 래치부(321)와 홀딩 래치부(322)로 이루어진다.

구체적으로, 시프트 레지스터부(310)는 활성화 신호(IE)에 따라 샘플링 신호를 생성하며, 이 샘플링 신호를 클록(CLKH)에 동기하여 순차적으로 시프트하면서 출력한다. 여기서, 샘플링 신호(SRH0~SRH99)는 한 행의 100개의 화소에 대응되도록 100개의 신호가 생성된다.

그리고 샘플링 래치부(321)는 입력되는 R, G, B 계조 데이터(DR0~DR99, DG0~DG99, DB0~DB99)를 샘플링 신호(SRH0~SRH99)에 응답하여 샘플링한다. 즉, 샘플링 신호(SRH i)에 응답하여 샘플링 래치부(321)는 행 방향으로 ($i+1$)번째 화소에 대응되는 R, G, B 계조 데이터(DR i , DG i , DB i)를 샘플링한다. 여기서, R, G, B 계조 데이터가 10비트의 디지털 데이터로 이루어진다면, 샘플링 래치부(321)는 각 비트별로 데이터를 샘플링하여 총 30비트의 데이터를 샘플링한다. 다음, 홀딩 래치부(322)는 샘플링 래치부(321)에서 순차적으로 샘플링되는 계조 데이터를 한 행에 대응되는 계조 데이터가 샘플링될 때까지 유지한 후, 홀딩 활성화 신호(DH)에 응답하여 샘플링된 한 행의 계조 데이터(DR0~DR99, DG0~DG99, DB0~DB99)를 출력한다.

도 3을 보면, 다중화 처리부(330)는 시프트 레지스터(331)와 다중화부(332)로 이루어진다. 다중화 처리부(330)의 시프트 레지스터(331)는 클록(CLKL) 및 활성화 신호(DAS)를 입력받아 다중화 신호(MSW0~MSW99) 및 시프트 신호

(SRL0~SRL99)를 순차적으로 출력한다. 이때, 시프트 레지스터(331)의 클록(CLKL)은 시프트 레지스터(310)의 클록(CLKH)보다 주파수가 낮을 수 있으며, 활성화 신호(DAS)는 홀딩 래치부(322)의 홀딩 활성화 신호(DH)와 동일한 타이밍을 갖는다. 또한, 다중화 신호(MSW0~MSW99) 및 시프트 신호(SRL0~SRL99)는 클록(CLKL)에 동기되어 출력된다. 다중화 신호(MSW0~MSW99)는 다중화 처리부(330)의 다중화부(332)로 인가되며, 시프트 신호(SRL0~SRL99)는 제어 신호 생성부(350)로 출력된다.

다중화 처리부(330)의 다중화부(332)는 다중화 신호(MSW0~MSW99)에 기초하여 홀딩 래치부(322)에서 출력되는 R, G, B 데이터(DR0~DR99, DG0~DG99, DB0~DB99)를 다중화하여 순차적으로 D/A 변환부(340)로 전달한다. 즉, 다중화부(332)는 다중화 신호(MSWi)를 수신하는 경우에 R, G, B 데이터(DRi, DGi, DBi)를 D/A 변환부(340)로 전달한다.

D/A 변환부(340)는 다중화부(332)에서 순차적으로 입력되는 R, G, B 데이터(DR0~DR99, DG0~DG99, DB0~DB99)를 각각 아날로그 형태의 데이터 전류(R0~R99, D0~D99, B0~B99)로 변환하여 데이터 출력부(360)로 순차적으로 출력한다. 이때, D/A 변환부(340)는 R, G, B D/A 변환기(341, 342, 343)로 이루어지며, R, G, B D/A 변환기(341, 342, 343)는 각각 R, G, B 데이터를 아날로그 전류로 변환한다.

제어 신호 생성부(350)는 다중화 처리부(330)의 시프트 신호(SRL0~SRL99)를 수신하여 샘플링 신호(CHS0~CHS99)를 생성하여 데이터 출력부(360)로 출력한다. 이때, 샘플링 신호(CHSi)는 다중화 신호(MSWi)에 의해 다중화되어 출력되는 R, G, B 데이터(DRi, DBi, DGi)가 변환된 R, G, B 데이터 전류(Ri, Bi, Gi)가 데이터 출력부(360)에 전달되는 시점에 동기 되도록 시프트 신호(SRi)에 의해 생성된다.

데이터 출력부(360)는 샘플링 신호(CHS0~CHS99)에 응답하여 D/A 변환부(340)로부터 입력되는 R, G, B 데이터 전류(R0~R99, D0~D99, B0~B99)를 순차적으로 샘플링한다. 즉, 데이터 출력부(360)는 D/A 변환부(340)에서 아날로그 형태로 변환되어 출력되는 R, G, B 데이터 전류(Ri, Gi, Bi)를 샘플링 신호(CSHi)에 응답하여 샘플링한다. 그리고 데이터 출력부(360)는 한 행의 화소에 대응되는 R, G, B 데이터 전류(R0~R99, D0~D99, B0~B99)를 샘플링한 후 각 데이터 전류를 해당하는 데이터선($D_1 \sim D_m$)으로 동시에 출력한다.

이상, 한 행의 화소에 대응하는 R, G, B 계조 데이터가 데이터 구동부(300)에 입력되어 데이터 전류로 변환되어 표시부(100)의 데이터선으로 출력되는 과정에 대해서 설명하였다. 이러한 과정이 모든 행의 화소의 R, G, B 계조 데이터에 대해서 반복되어서 한 프레임의 계조 데이터가 데이터 전류로 변환되어 표시부(100)로 전달될 수 있다. 그리고 제1 실시예에 의하면 데이터선별로 D/A 변환기가 형성되지 않고, R, G, B 별로 D/A 변환기가 형성되어 있으므로 D/A 변환기가 차지하는 면적을 줄일 수 있다.

다음, 도 4를 참조하여 데이터 구동부(300)에 사용되는 D/A 변환부(340)의 일 예에 대해서 설명한다. 도 4는 도 3의 데이터 구동부(300)의 D/A 변환부(340)의 일 예를 나타내는 도면이다. 도 4에서는 D/A 변환부(340) 중 R D/A 변환기(341)만을 도시하였으며, G 및 B D/A 변환기(342, 343)는 R D/A 변환기(341)와 동일한 구조를 가지므로 그 도시 및 설명을 생략한다.

도 4에 도시한 바와 같이, R D/A 변환기(341)는 전류원(I_B)에 연결되는 트랜지스터(TB), 10개의 미러 트랜지스터($T_0 \sim T_9$) 및 스위칭 소자(SW0~SW9)를 포함한다. 트랜지스터(TB)와 미러 트랜지스터($T_0 \sim T_9$)는 각각 전류 미러 형태로 연결되어 있으며, 미러 트랜지스터($T_0 \sim T_9$)의 크기는 각각 트랜지스터(TB)의 크기의 $2^0 \sim 2^9$ 배이다. 트랜지스터의 크기는 트랜지스터의 채널 폭(W)과 채널 길이(L)의 비(W/L)를 말한다. 구체적으로, 트랜지스터(TB)는 다이오드 형태로 연결되어, 트랜지스터(TB)의 소스는 전원 전압(VDD)에 연결되고 트랜지스터(TB)의 드레인은 전류원(I_B)에 연결되어 있다. 그리고 트랜지스터(T_j)(여기서, j는 0과 9 사이의 정수)는 소스가 전원 전압(VDD)에 연결되고 게이트가 트랜지스터(TB)의 게이트에 연결되어 있다. 또한, 트랜지스터(T_j)의 드레인과 R D/A 변환기(341)의 출력 신호선 사이에는 스위치(SWj)가 연결되어 있다.

그러면 미러 트랜지스터($T_0 \sim T_9$)의 드레인으로 트랜지스터(TB)의 드레인을 통하여 흐르는 전류(I_B)의 $2^0 \sim 2^9$ 배의 전류($2^0 I_B \sim 2^9 I_B$)가 각각 출력된다. 스위칭 소자(SW0~SW9)는 각각 다중화 처리부(330)의 다중화부(331)로부터 순차적으로 입력되는 R 데이터의 10비트에 대응하여 턴온된다. 즉, R 데이터가 상위 비트부터 순차적으로 "0101000101"이면, '1'에 대응하는 스위칭 소자(SW0, SW2, SW6, SW8)가 턴온되어, R D/A 변환기(341)의 출력 신호선으로 흐르는 전류는 $(2^0 + 2^2 + 2^6 + 2^8) I_B$ 로 된다. 이러한 식으로 R D/A 변환기(341)에 의해 R, G, B 계조 데이터가 데이터 전류로 변환되어 출

력 신호선을 통하여 데이터 출력부(360)로 전달된다. 그리고 D/A 변환부(340)는 이러한 과정을 통하여 다중화 처리부(330)에서 순차적으로 입력되는 R, G, B 데이터를 R, G, B 데이터 전류로 변환하여 데이터 출력부(360)로 순차적으로 출력한다.

도 5는 본 발명의 제1 실시예에 따른 데이터 구동부(300)에서 D/A 변환부(340)의 R D/A 변환기(341)의 출력단과 데이터 출력부(360)의 입력단을 나타내는 도면이다. 도 5에서는 R D/A 변환기(341)의 출력단 및 R D/A 변환기(341)에 연결되는 데이터 출력부(360)의 입력단만을 도시하였으며, G 및 B D/A 변환기(342, 343)에 대해서도 동일한 구조의 출력단이 형성되고 동일한 구조의 데이터 출력부(360)의 입력단이 연결된다.

도 5를 보면, D/A 변환기(341)의 출력단은 전류 미러(M1, M2)를 포함하며, 데이터 출력부(360)의 입력단도 전류 미러(M3, M4)를 포함한다. 도 5에서는 전류 미러(M1, M2)를 형성하는 트랜지스터(M1, M2)를 n채널 전계 효과 트랜지스터로 도시하였으며, 전류 미러(M3, M4)를 형성하는 트랜지스터(M3, M4)를 p채널 전계 효과 트랜지스터로 도시하였다.

전류 미러(M1, M2)에서 다이오드 형태로 연결된 트랜지스터(M1)의 드레인에는 D/A 변환기(341)에서 출력되는 데이터 전류(I_{in})가 인가되며, 트랜지스터(M1)의 소스는 접지 전압에 연결되어 있다. 트랜지스터(M2)는 소스가 기준 전압에 연결되고 게이트가 트랜지스터(M1)의 게이트에 연결되어 있으며, 트랜지스터(M2)의 드레인이 배선(370)을 통하여 데이터 출력부(360)에 연결된다.

전류 미러(M3, M4)에서 다이오드 형태로 연결된 트랜지스터(M3)의 드레인이 배선(370)을 통하여 D/A 변환기(341)에 연결되며, 트랜지스터(M3)의 소스에는 전원 전압(VDD)이 연결되어 있다. 트랜지스터(M4)는 소스가 전원 전압(VDD)에 연결되고 게이트가 트랜지스터(M3)의 게이트에 연결된다. 그리고 트랜지스터(M4)의 드레인에 흐르는 전류가 데이터 출력부(360)의 입력 전류로 된다.

이와 같은 식으로, D/A 변환부(340)에서 한 행에 대응하는 R, G, B 데이터 전류가 순차적으로 출력되면, 데이터 출력부(360)에서는 이 전류를 입력 전류로 수신하여 순차적으로 샘플링한다. 이때, 데이터 출력부(360)에 한 행에 대응하는 R, G, B 데이터 전류가 전달되는 시간은 한 수평 주기와 거의 일치한다. 즉, 한 화소에 대응하는 데이터 전류가 데이터 출력부(360)에 전달되는 시간(이하, "데이터 전달 기간"이라 함)은 수평 주기의 100분의 1에 해당하는 짧은 시간이다. 그런데 데이터 전류의 크기가 작고 D/A 변환부(340)와 데이터 출력부(360) 사이의 배선(370)에 존재하는 기생 성분이 큰 경우에는, 이러한 짧은 시간 동안 데이터 전류가 충분히 전달되지 못해서 데이터 출력부(360)에서 원하는 전류를 샘플링할 수 없을 수 있다.

아래에서는 이러한 데이터 출력부(360)에서 짧은 시간 내에서 데이터 전류를 샘플링할 수 있는 실시예에 대해서 도 6 및 도 7을 참조하여 상세하게 설명한다.

도 6은 본 발명의 제2 실시예에 따른 데이터 구동부(300)에서 D/A 변환부(340)의 R D/A 변환기(341)의 출력단, 데이터 출력부(360)의 입력단 및 프리차지부를 나타내는 도면이다.

도 6을 보면, 본 발명의 제2 실시예에 따른 데이터 구동부(300)는 제1 실시예에 비해 R, G, B D/A 변환기(341, 342, 343)의 출력단과 데이터 출력부(360)의 입력단에 각각 연결되는 프리차지부를 더 포함한다. 도 6에서는 R D/A 변환기(341)와 D/A 변환기(341)에 연결된 데이터 출력부(360)의 입력단에 연결되는 프리차지부(380)만을 도시하였으며, G 및 B D/A 변환기(342, 343)에 대해서도 동일한 구조의 프리차지부가 형성된다.

도 6에 도시한 바와 같이, 프리차지부(380)는 D/A 변환기(341)로 전달되는 R 데이터를 수신하여 이 데이터를 전압으로 변경하는 전압 D/A 변환기(381) 및 스위치(SW11, SW12)를 포함한다. 스위치(SW11)는 전압 D/A 변환기(381)의 출력단과 배선(370) 사이에 연결되며, 스위치(SW12)는 배선(370)과 데이터 출력부(360)의 입력부 사이에 연결된다. 특정 계조 데이터에 대응하는 데이터 전류가 데이터 출력부(360)의 입력단에 흐를 때 배선(370)에 걸리는 전압은 미리 계산될 수 있다. 즉, 트랜지스터(M3, M2)의 드레인을 통하여 데이터 전류가 흐를 때 트랜지스터(M3)의 드레인 전압이 배선(370)에 걸리는 전압이다. 따라서 프리차지부(380)는 D/A 변환기(341)로 전달되는 10비트 계조 데이터를 수신하여, 해당 계조 데이터에 대응하는 데이터 전류가 데이터 출력부(360)의 입력단에 흐를 때 배선(370)에 걸리는 전압을 프리차지 전압으로서 출력한다.

다음, 도 7을 참조하여 도 6의 프리차지부(380)의 동작에 대해서 설명한다. 도 7은 도 6의 프리차지부(380)의 스위칭 타이밍도이다. 도 7에서는 한 화소에 해당하는 데이터 전달 기간만 도시하였으며, 타이밍도에서 하이 레벨은 스위치의 온 상태를 나타내고 로우 레벨은 오프 상태를 나타낸다.

도 7에 도시한 바와 같이, 데이터 전달 기간은 프리차지 기간(T_p)과 미러링 기간(T_m)으로 이루어진다. 프리차지 기간(T_p)에서는 스위치(SW12)가 오프된 상태에서 스위치(SW11)가 온된다. 그러면 전압 D/A 변환부(381)는 D/A 변환기(341)에 입력되는 계조 데이터(DRi)에 따라 프리차지 전압(V_{pre})을 생성하여 스위치(SW11)를 통하여 배선(370)에 인가한다. 즉, 배선(370)이 프리차지 전압(V_{pre})으로 충전된다.

다음, 미러링 기간(T_m)에서는 스위치(SW11)가 오프되고 스위치(SW12)가 온된다. 이때, 배선(370)이 계조 데이터(DRi)에 대응하는 프리차지 전압(V_{pre})으로 충전되어 있으므로, 짧은 시간 내에 트랜지스터(M1)의 드레인에 흐르는 계조 데이터(DRi)가 변환된 데이터 전류(I_m)에 대응하는 전류가 트랜지스터(M3)의 드레인, 배선(370) 및 트랜지스터(M2)의 드레인을 통하여 흐를 수 있다.

이와 같이, 본 발명의 제2 실시예에 의하면 데이터 전달 시간이 짧아도 프리차지를 통하여 D/A 변환부(340)에서 출력되는 데이터 전류를 데이터 출력부(360)로 전달할 수 있다. 그리고 본 발명의 제2 실시예에서는 계조 데이터(DRi)가 변환된 데이터 전류가 트랜지스터(M3, M2)를 통해 흐를 때 트랜지스터(M3)의 드레인 전압을 프리차지 전압으로 사용하였다. 일반적으로 전압 D/A 변환부(381)는 직렬로 연결되는 복수의 저항과 각 저항의 접점에 연결되는 스위치를 사용하여 계조 데이터를 전압으로 변경한다. 그런데 앞에서 가정한 것처럼 계조 데이터(DRi)가 10비트라면 2^{10} 종류의 계조 데이터를 처리하여야 하므로, 저항과 스위치의 개수가 증가하여 전압 D/A 변환부(381)의 크기가 증가한다. 따라서 계조 데이터(DRi)의 10비트 중에서 상위 일부 비트만을 사용하여 프리차지 전압(V_{pre})을 결정할 수 있으며, 아래에서는 이러한 전압 D/A 변환부(381)에 대해서 도 8을 참조하여 설명한다.

도 8은 도 7의 전압 D/A 변환부(381)의 일 예를 나타내는 도면이다. 도 8에서는 계조 데이터(DRi)의 10비트 중에서 상위 3비트(D_0, D_1, D_2)에 의해 프리차지 전압이 결정되는 예를 도시하였다.

도 8에 도시한 바와 같이, 전압 D/A 변환부(381)는 복수의 저항($R_1 \sim R_7$) 및 복수의 스위치($S_{10} \sim S_{17}, S_{20} \sim S_{23}, S_{30}, S_{31}$)를 포함한다. 저항($R_1 \sim R_7$)은 전원 전압(VDD)과 접지 전압 사이에 직렬로 연결되어 있다. 접지 전압과 저항(R_1)의 접점, 저항($R_1 \sim R_7$) 사이의 6개의 접점 및 저항(R_7)과 전원 전압(VDD)의 접점에는 각각 8개의 스위치($S_{10} \sim S_{17}$)가 연결되어 있다. 그리고 스위치(S_{10}, S_{11})의 접점에 스위치(S_{20})가 연결되고 스위치(S_{12}, S_{13})의 접점에 스위치(S_{21})가 연결되며, 스위치(S_{14}, S_{15})의 접점에 스위치(S_{22})가 연결되고 스위치(S_{16}, S_{17})의 접점에 스위치(S_{23})가 연결된다. 또한, 스위치(S_{20}, S_{21})의 접점에 스위치(S_{30})가 연결되고 스위치(S_{22}, S_{23})의 접점에 스위치(S_{31})가 연결된다. 그리고 스위치(S_{30}, S_{31})의 접점으로 출력되는 전압이 프리차지 전압(V_{pre})으로 된다.

여기서, 스위치(S_{30})는 계조 데이터(DRi)의 최상위 비트(D_0)가 '1'인 경우에 온되고 스위치(S_{31})는 최상위 비트(D_0)가 '0'인 경우에 온된다. 스위치(S_{20}, S_{22})는 다음 상위 비트(D_1)가 '1'인 경우에 온되고 스위치(S_{21}, S_{23})는 비트(D_1)가 '0'인 경우에 온된다. 또한, 스위치($S_{10}, S_{12}, S_{14}, S_{16}$)는 다음 상위 비트(D_2)가 '1'인 경우에 온되고 스위치($S_{11}, S_{13}, S_{15}, S_{17}$)는 비트(D_2)가 '0'인 경우에 온된다. 이와 같이 하면, 상위 3비트(D_0, D_1, D_2)의 값에 의해 온되는 스위치가 결정되어 프리차지 전압이 결정된다. 예를 들어 상위 3비트가 "110"인 경우에는 스위치(S_{30}, S_{20}, S_{11})를 통하여, 전원 전압(VDD)이 저항($R_7 \sim R_2$)과 저항(R_1)에 의해 분압되는 전압이 프리차지 전압(V_{pre})으로 출력된다.

이와 같이 하면, 프리차지 전압(V_{pre})이 계조 데이터(DRi)에 의해 데이터 전류에 대응하는 전압에 근사해지므로, 배선(370)을 충전하는 시간을 줄어들므로 짧은 시간 내에 데이터 전류가 D/A 변환부(340)에서 데이터 출력부(360)로 전달될 수 있다.

이상, 본 발명의 제1 및 제2 실시예에서는 D/A 변환부(340)에서 R, G, B별로 D/A 변환기를 별도로 두었지만, 이와는 달리 하나의 D/A 변환기로 R, G, B 데이터를 처리할 수도 있다. 이러한 경우에는 다중화 처리부(330)에서 한 화소에 대응하는 R, G, B 데이터를 순차적으로 출력하여 D/A 변환부(340)로 전달하면 된다.

또한, 본 발명의 제1 및 제2 실시예에서는 R, G, B D/A 변환기(341, 342, 343)로 이루어진 D/A 변환부(340)를 한 개로 설명하였지만, 이와는 달리 D/A 변환부(340)를 복수개 형성할 수도 있다. 즉, 복수의 데이터선($D_1 \sim D_m$)을 복수의 그룹으로 분할하여, 각 그룹마다 D/A 변환부를 형성할 수 있다. 아래에서는 이러한 실시예에 대해서 도 8을 참조하여 설명한다.

도 9는 본 발명의 제3 실시예에 따른 데이터 구동부의 개략적인 블록도이다. 도 9에서는 편의상 도 2의 데이터 구동부에서 D/A 변환부가 2개로 형성된 경우를 도시하였다.

도 9를 보면, 본 발명의 제3 실시예에 따른 데이터 구동부(300)는 D/A 변환부(340a, 340b), 다중화 처리부(330a, 330b) 및 데이터 출력부(360a, 360b)가 각각 2개씩 형성된 것을 제외하면 도 2의 데이터 구동부와 동일한 구조를 가진다.

구체적으로, 다중화 처리부(330a)의 시프트 레지스터(도시하지 않음)는 50개의 다중화 신호(MSW0~MSW49) 및 시프트 신호(SRL0~SRL49)를 순차적으로 출력하며, 다중화 처리부(330a)의 다중화부(도시하지 않음)는 다중화 신호(MSW0~MSW49)에 응답하여 래치부(320)에서 출력되는 R, G, B 데이터(DR0~DR99, DG0~DG99, DB0~DB99) 중 절반의 R, G, B 데이터(DR0~DR49, DG0~DG49, DB0~DB49)를 순차적으로 다중화 처리하여 D/A 변환부(340a)로 전달한다. 마찬가지로, 다중화 처리부(330b)의 시프트 레지스터(도시하지 않음)는 50개의 다중화 신호(MSW50~MSW99) 및 시프트 신호(SRL50~SRL99)를 순차적으로 출력하며, 다중화 처리부(330b)의 다중화부(도시하지 않음)는 다중화 신호(MSW50~MSW99)에 응답하여 래치부(320)에서 출력되는 R, G, B 데이터(DR0~DR99, DG0~DG99, DB0~DB99) 중 나머지 절반의 R, G, B 데이터(DR50~DR99, DG50~DG99, DB50~DB99)를 순차적으로 다중화 처리하여 D/A 변환부(340b)로 전달한다.

D/A 변환부(340a)는 다중화 처리부(330a)에서 순차적으로 입력되는 R, G, B 데이터(DR0~DR49, DG0~DG49, DB0~DB49)를 데이터 전류로 변환하여 순차적으로 데이터 출력부(360a)으로 출력한다. 또한, D/A 변환부(340b)는 다중화 처리부(330b)에서 순차적으로 입력되는 R, G, B 데이터(DR50~DR99, DG50~DG99, DB50~DB99)를 데이터 전류로 변환하여 순차적으로 데이터 출력부(360b)으로 출력한다.

제어 신호 생성부(350)는 시프트 신호(SRL0~SRL49, SRL50~SRL99)를 각각 수신하여, 샘플링 신호(CHS0~CHS49, CHS50~CHS99)를 생성하여 각각 데이터 출력부(360a, 360b)로 출력한다. 데이터 출력부(360a)는 D/A 변환부(340a)에서 순차적으로 입력되는 R, G, B 데이터 전류를 샘플링 신호(CHS0~CHS49)에 응답하여 샘플링하고, 마찬가지로 데이터 출력부(360b)는 D/A 변환부(340b)에서 순차적으로 입력되는 R, G, B 데이터 전류를 샘플링 신호(CHS50~CHS99)에 응답하여 샘플링한다.

이상에서 설명한 제3 실시예에 의하면, 모든 데이터가 순차적으로 처리되지 않고 일부 데이터는 병렬로 처리되므로, 데이터 전달 시간을 늘릴 수 있다. 따라서 D/A 변환부에서 데이터 출력부로 원하는 데이터 전류를 전달할 수 있다. 그리고 제3 실시예에서도 제2 실시예에서 설명한 프리차지를 적용할 수 있으며, 이에 대한 자세한 설명은 생략한다.

그리고 본 발명의 실시예에서는 계조 별로 프리차지 전압을 결정하는 것으로 설명하였지만, 이와는 달리 계조 데이터에서 하위 비트를 무시하고 상위 비트에 해당하는 데이터만으로 프리차지 전압을 결정할 수도 있다. 이와 같이 하면, 하위 비트가 동일한 계조 데이터에 대해서는 동일한 프리차지 전압이 결정되어, 전체 계조를 기준으로 프리차지 전압이 일정한 간격으로 설정될 수 있다. 또한, 낮은 전류 레벨에서 전류가 잘 전달되지 않을 수 있으므로, 저계조 레벨에 해당하는 부분만을 여러 레벨로 나누어 프리차지 전압을 설정할 수도 있다.

또한, 본 발명의 실시예에서는 300개의 데이터선에 대응되는 데이터 전류를 출력하는 데이터 구동부를 예로 들어 설명하였지만, 본 발명은 데이터선의 개수에 한정되지 않는다. 또한, 본 발명의 실시예에서 설명한 데이터 구동부는 하나의 칩의 형태로 제작될 수 있으며, 실제 발광 표시 장치에서는 이러한 칩이 여러 개 존재할 수도 있다. 또한, 본 발명의 실시예에서는 R, G, B 색상의 화소가 형성되는 것으로 설명하였지만, 이와는 달리 두 가지 색상 이상의 화소가 형성될 수도 있으며, 모노를 표현하는 경우에는 한 색상의 화소만 형성될 수도 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

본 발명에 따르면, 제조 데이터를 데이터 전류로 변환하여 데이터선으로 전달할 수 있으며, 복수의 데이터선이 하나의 D/A 변환부를 공유함으로써 D/A 변환부의 면적을 최소화할 수 있다. 또한, 프리차지를 통하여 D/A 변환부에서 출력되는 데이터 전류를 데이터 출력부로 손실없이 전달할 수 있다. 그리고 데이터 전류를 이용함으로써 전압 기입 방식에서 구동 트랜지스터의 문턱 전압 등의 편차에 의해 발생하는 휘도 불균일의 문제를 제거할 수 있다.

(57) 청구의 범위

청구항 1.

제조를 나타내는 복수의 데이터 신호를 순차적으로 수신하여 발광 표시 장치의 표시부에 형성된 복수의 데이터선에 데이터 전류를 인가하는 데이터 구동 장치에 있어서,

상기 데이터 신호를 데이터 전류로 변환하는 적어도 하나의 변환부,

상기 변환부에서 출력되는 데이터 전류를 수신하여 상기 복수의 데이터선으로 전달하는 데이터 출력부, 그리고

상기 데이터 전류가 상기 데이터 출력부로 전달되기 전에 상기 변환부와 상기 데이터 출력부 사이의 배선을 상기 데이터 신호에 대응되는 프리차지 전압으로 충전하는 프리차지부를 포함하는 데이터 구동 장치.

청구항 2.

제1항에 있어서,

상기 프리차지부는 상기 데이터 신호의 비트값 중 적어도 일부의 비트값으로부터 상기 프리차지 전압을 생성하는 전압 변환부를 더 포함하는 데이터 구동 장치.

청구항 3.

제2항에 있어서,

상기 전압 변환부는, 제1 전압을 공급하는 제1 전원과 제2 전압을 공급하는 제2 전원 사이에 직렬로 연결되는 복수의 저항을 포함하며, 상기 데이터 신호의 비트값 중 적어도 일부의 비트값으로부터 상기 제1 전원, 제2 전원 및 복수의 저항에 의해 형성되는 집점 중에서 상기 프리차지 전압이 출력될 집점을 선택하는 데이터 구동 장치.

청구항 4.

제2항에 있어서,

상기 적어도 일부의 비트값은 최상위 비트값을 포함하는 데이터 구동 장치.

청구항 5.

제2항에 있어서,

상기 변환부는 상기 배선에 연결되어 상기 데이터 전류에 대응하는 전류를 상기 배선으로 전달하는 제1 트랜지스터를 포함하며,

상기 데이터 출력부는 상기 배선에 연결되어 상기 제1 트랜지스터로부터의 전류를 수신하는 제2 트랜지스터를 포함하는 데이터 구동 장치.

청구항 6.

제4항에 있어서,

상기 변환부는 상기 제1 트랜지스터와 전류 미러 형태로 연결되어 상기 데이터 전류를 전달하는 제3 트랜지스터를 더 포함하는 데이터 구동 장치.

청구항 7.

제6항에 있어서,

상기 프리차지부는, 상기 전압 변환부의 출력단과 상기 배선 사이에 연결되는 제1 스위치 및 상기 배선과 상기 제2 트랜지스터 사이에 연결되는 제2 스위치를 더 포함하며,

상기 제1 스위치가 온되고 상기 제2 스위치가 오프되어 상기 배선이 상기 프리차지 전압으로 충전되며, 상기 제1 스위치가 오프되고 상기 제1 스위치가 온되어 상기 변환부의 데이터 전류가 상기 데이터 출력부로 전달되는 데이터 구동 장치.

청구항 8.

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 변환부는 순차적으로 전달되는 복수의 데이터 신호를 순차적으로 데이터 전류로 변환하여 상기 데이터 출력부로 전달하며,

상기 데이터 출력부는 순차적으로 입력되는 상기 데이터 전류를 순차적으로 샘플링하여 일시 저장한 후 상기 복수의 데이터선으로 전달하는 데이터 구동 장치.

청구항 9.

제8항에 있어서,

상기 순차적으로 입력되는 복수의 데이터 신호를 순차적으로 샘플링하여 저장하는 래치부, 그리고

상기 래치부에서 전달되는 복수의 데이터 신호를 다중화 처리하여 상기 변환부로 순차적으로 전달하는 다중화 처리부를 더 포함하는 데이터 구동 장치.

청구항 10.

제9항에 있어서,

상기 데이터 신호는 적어도 두 색상의 데이터 신호를 포함하며,

상기 변환부는 상기 적어도 두 색상의 데이터 신호를 각각 데이터 전류로 변환하는 적어도 두 개의 변환기를 포함하는 데이터 구동 장치.

청구항 11.

제9항에 있어서,

상기 복수의 데이터선을 적어도 하나의 그룹으로 분할하는 경우에, 상기 적어도 하나의 변환부는 상기 적어도 하나의 그룹에 각각 대응되는 데이터 구동 장치.

청구항 12.

일 방향으로 형성된 복수의 데이터선, 상기 데이터선과 교차하는 방향으로 형성된 복수의 제1 및 제2 주사선, 그리고 상기 데이터선과 상기 제1 주사선에 의해 정의되며 각각 발광 소자를 가지는 복수의 화소 영역을 포함하는 표시부,

상기 복수의 제1 주사선으로 데이터가 기입될 화소 영역을 선택하는 선택 신호를 선택적으로 전달하며, 상기 복수의 제2 주사선으로 발광 소자가 발광할 화소 영역을 선택하는 발광 신호를 선택적으로 전달하는 주사 구동부, 그리고

순차적으로 입력되는 복수의 데이터 신호를 수신하여 상기 데이터 신호를 데이터 전류로 변환하는 변환부와 상기 변환부에서 상기 변환된 데이터 전류를 일시 저장한 후 상기 복수의 데이터선으로 전달하는 데이터 출력부를 가지는 데이터 구동부를 포함하며,

상기 변환부에서 상기 데이터 출력부로 상기 데이터 전류가 전달되기 전에 상기 변환부와 상기 데이터 출력부 사이의 배선이 상기 데이터 신호에 대응되는 프리차지 전압으로 충전되는 발광 표시 장치.

청구항 13.

제12항에 있어서,

상기 변환부는 상기 배선과 제1 전원 사이에 연결되어 상기 데이터 전류에 대응하는 전류를 출력하는 제1 트랜지스터를 포함하며,

상기 데이터 출력부는 상기 배선과 제2 전원 사이에 연결되어 상기 제1 트랜지스터에 흐르는 전류를 수신하는 제2 트랜지스터를 포함하는 발광 표시 장치.

청구항 14.

제13항에 있어서,

상기 데이터 구동부는 제3 전원과 제4 전원 사이에 직렬로 연결되는 복수의 저항을 가지는 프리차지부를 더 포함하며,

상기 프리차지부는 상기 데이터 신호의 비트값에 따라 상기 복수의 저항으로 상기 제3 전원의 전압과 상기 제4 전원의 전압을 분압하여 상기 프리차지 전압으로 출력하는 발광 표시 장치.

청구항 15.

제13항에 있어서,

상기 변환부는 상기 제1 트랜지스터와 전류 미러 형태로 연결되어 상기 데이터 전류를 전달하는 제3 트랜지스터를 더 포함하는 발광 표시 장치.

청구항 16.

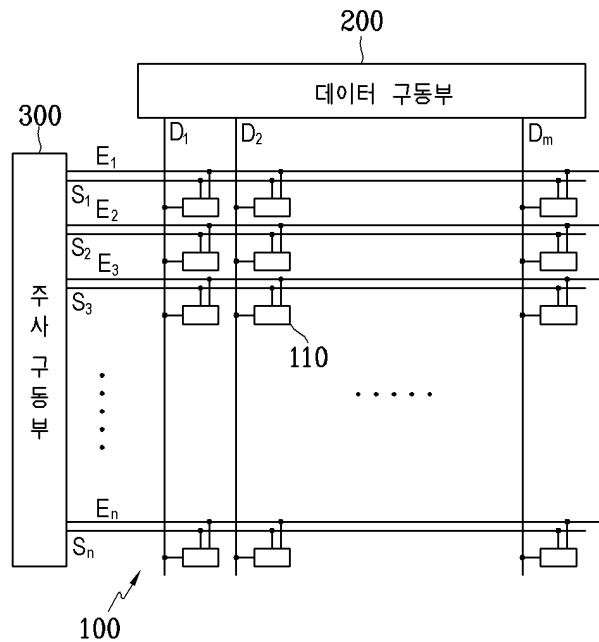
제12항 내지 제15항 중 어느 한 항에 있어서,

상기 변환부는 상기 복수의 데이터 신호를 순차적으로 수신하여 데이터 전류로 변환한 후 상기 복수의 데이터 전류를 순차적으로 상기 데이터 출력부로 출력하며,

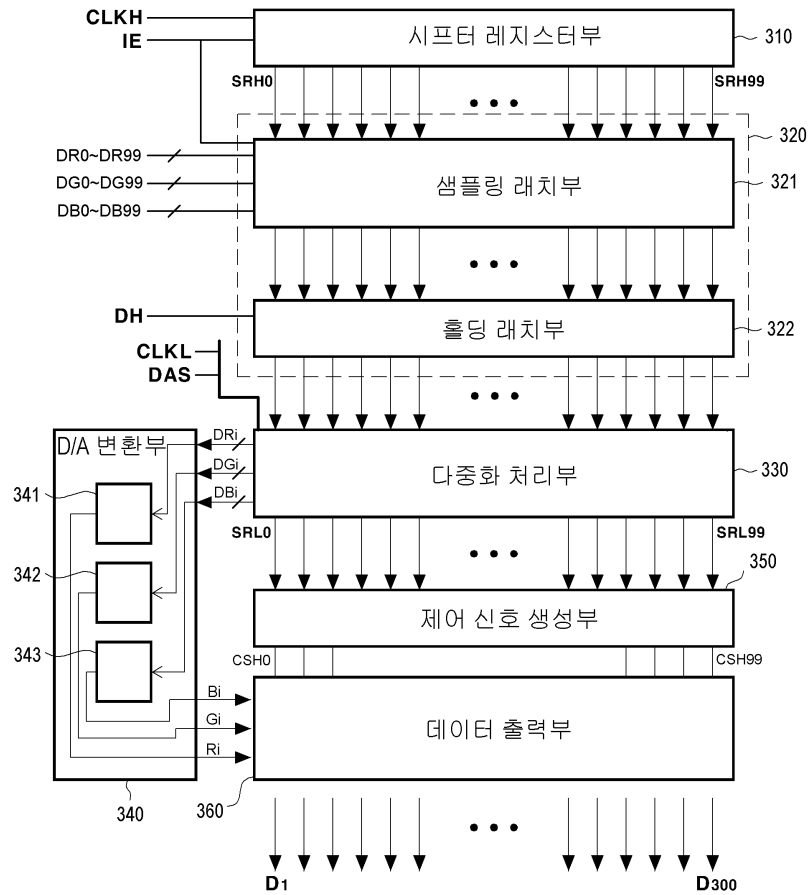
상기 프리차지부는 상기 데이터 전류가 상기 데이터 출력부로 출력되기 전에 상기 배선을 상기 프리차지 전압으로 충전하는 발광 표시 장치.

도면

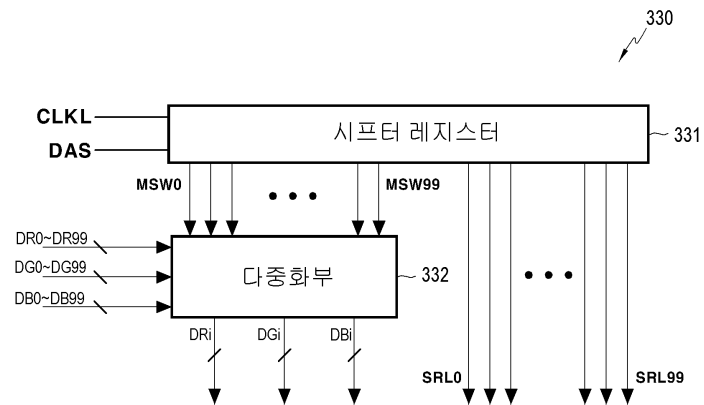
도면1



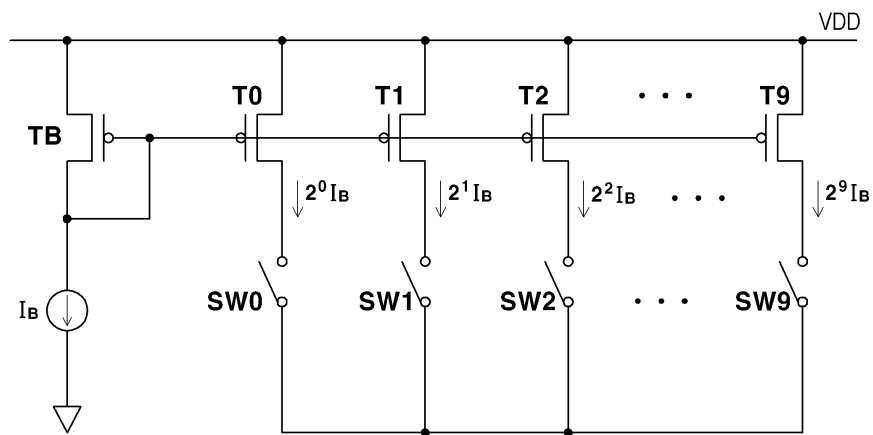
도면2



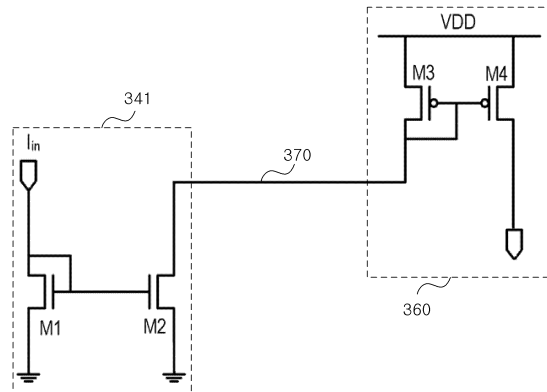
도면3



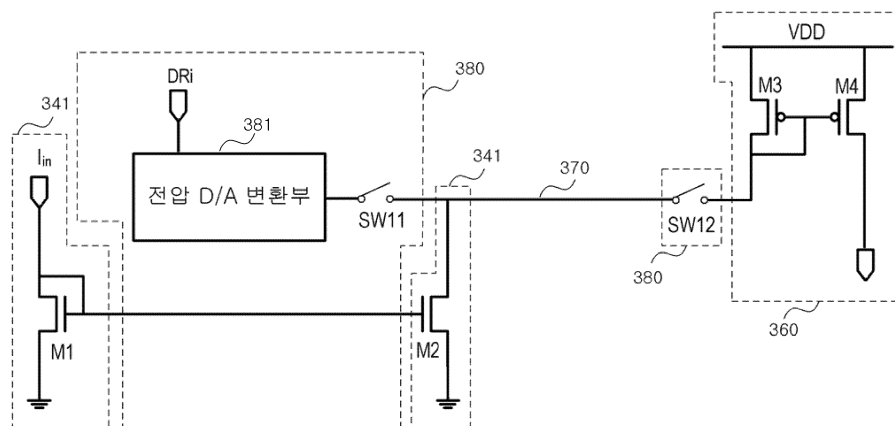
도면4



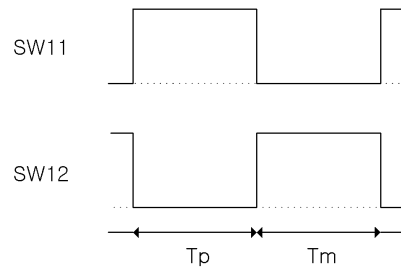
도면5



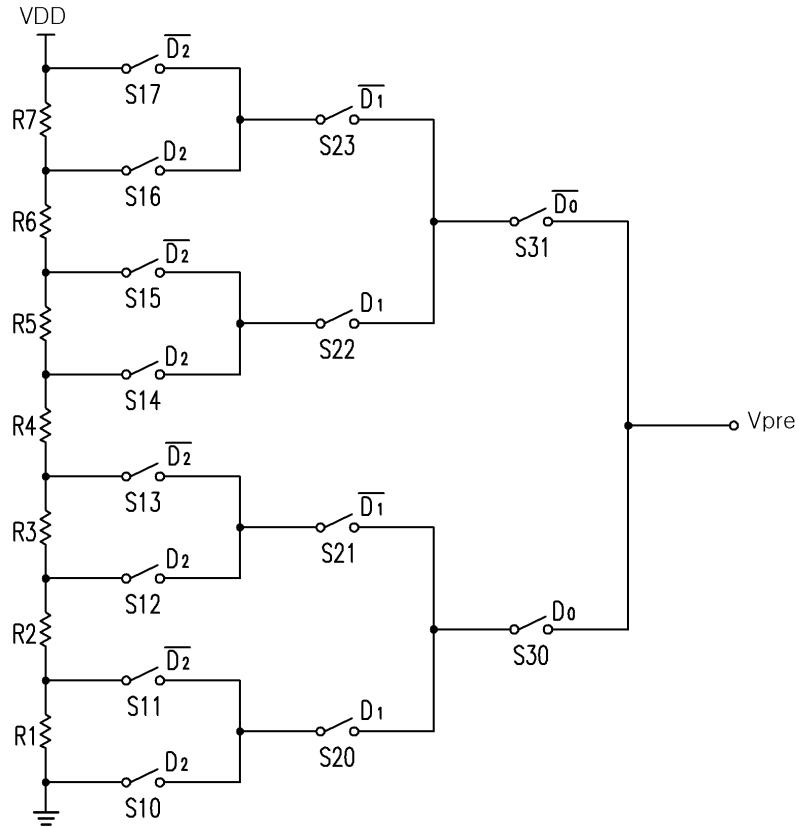
도면6



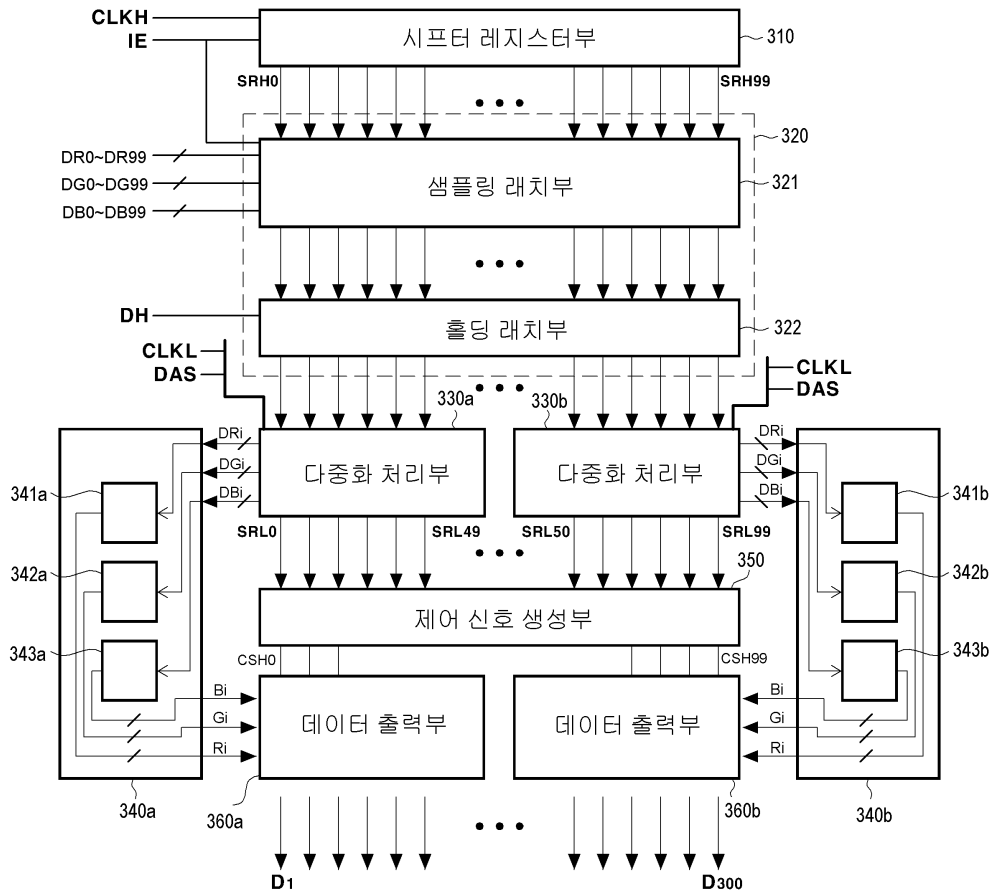
도면7



도면8



도면9



专利名称(译)	发光显示装置及其数据驱动装置		
公开(公告)号	KR100627309B1	公开(公告)日	2006-09-25
申请号	KR1020040080374	申请日	2004-10-08
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KWON OHKYONG		
发明人	KWON,OHKYONG		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3241 G09G3/3283 G09G2310/0251 G09G2310/0294 G09G2320/0233		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR1020060031373A		
外部链接	Espacenet		

摘要(译)

当前写入型的有机发光显示装置设置有数据驱动器，该数据驱动器将从外部输入的灰度数据转换为数据电流并将数据电流传送到数据线。数据驱动器的数模转换器将顺序输入的灰度数据转换为数据电流，并将数据电流传送到数据输出单元。数据输出单元接收顺序发送的数据采样后同时向数据线输出电流。这里，在数据电流从数字/模拟转换单元传输到数据输出单元之前，将布线预充电到与数据信号的比特值对应的电压。然后可以将数据电流传输到数据输出而不会丢失。2 指数方面 发光，有机，电流写入，预充电，模拟，层次

