

특허청구의 범위

청구항 1

활성층, 게이트 전극, 및 상기 활성층에 전기적으로 연결된 소스 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 게이트 전극과 동일층에 형성된 화소 전극;

상기 화소 전극 상에 형성된 발광층;

상기 소스 및 드레인 전극의 상부, 및 상기 소스 및 드레인 전극과 동일층에 형성된 배선 상부에 형성된 패시베이션층;

상기 박막 트랜지스터를 덮고, 상기 화소 전극의 상부를 노출하는 개구를 포함하며, 상기 패시베이션층 상에 직접 접촉하도록 형성된 유기 절연층; 및

상기 발광층 상에 형성되고, 상기 화소 전극에 대향되도록 상기 유기 절연층 상에 직접 접촉하며 형성된 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 패시베이션층의 측단부는 상기 소스 및 드레인 전극, 및 상기 배선의 측단부와 동일한 식각면을 갖는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 유기 절연층은 상기 패시베이션층의 측단부에 직접 접촉하며 형성된 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 패시베이션층은 무기 절연물을 포함하는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 패시베이션층은 유기 절연물을 포함하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 배선은 데이터선인 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 배선은 전원전압공급선인 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서,

상기 활성층과 상기 게이트 전극 사이에 제1절연층이 구비되고, 상기 게이트 전극과 상기 소스 및 드레인 전극 상부에 제2절연층이 구비되며, 상기 제2절연층에 형성된 콘택홀을 통하여 상기 소스 및 드레인 전극 중 하

나가 상기 화소 전극에 접속하는 유기 발광 표시 장치.

청구항 9

제 1 항에 있어서,

상기 화소 전극은 상기 게이트 전극과 동일한 투명도전물을 포함하는 유기 발광 표시 장치.

청구항 10

제 1 항에 있어서,

상기 대향 전극은 반사 전극인 유기 발광 표시 장치.

청구항 11

제 1 항에 있어서,

상기 활성층과 동일층에 형성된 하부 전극, 및 상기 게이트 전극과 동일층에 형성된 상부 전극이 구비된 커패시터를 더 포함하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 유기 절연층은 상기 상부 전극 상에 직접 형성된 유기 발광 표시 장치.

청구항 13

제 11 항에 있어서,

상기 하부 전극은 이온 불순물이 도핑된 반도체를 포함하는 유기 발광 표시 장치.

청구항 14

제 11 항에 있어서,

상기 상부 전극은 상기 게이트 전극과 동일한 투명도전물을 포함하는 유기 발광 표시 장치.

청구항 15

제 13 항에 있어서,

상기 투명도전물은 ITO, IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택된 어느 하나를 포함하는 유기 발광 표시 장치.

청구항 16

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제1마스크 공정;

제1마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 형성하고 이를 패터닝하여, 박막 트랜지스터의 게이트 전극, 및 화소 전극을 형성하는 제2마스크 공정;

제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여, 상기 활성층의 소스 및 드레인 전극과, 상기 화소 전극을 노출시키는 콘택홀을 형성하는 제3마스크 공정;

제3마스크 공정의 결과물 상에 제2금속 및 패시베이션층을 차례로 형성하고, 상기 제2금속 및 패시베이션층을 패터닝하여, 상기 활성층과 연결되는 소스 및 드레인 전극, 및 상기 소스 및 드레인 전극과 동일층에 형성되는 배선을 형성하는 제4마스크 공정; 및

제4마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 화소 전극의 투명도전물이 노출되도록 상기 제3절연층을 개구시키는 제5마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제2마스크 공정 후, 상기 소스 및 드레인 영역에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 16 항에 있어서,

상기 제4마스크 공정은, 상기 패시베이션층을 일부 제거하는 제1식각 공정, 및 상기 화소 전극 상에 적층된 상기 제2금속을 제거하는 제2식각 공정, 및 상기 화소 전극의 투명도전물 상에 형성된 상기 제1금속을 제거하는 제3식각 공정을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제 18 항에 있어서,

상기 제1식각 공정은 건식 식각 공정인 유기 발광 표시 장치의 제조 방법.

청구항 20

제 16 항에 있어서,

상기 제4마스크 공정은, 상기 패시베이션층을 일부 제거하는 제1식각 공정 후, 상기 제1금속 및 제2금속이 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제 16 항에 있어서,

제1마스크 공정에서 커패시터의 하부 전극을 더 형성하고, 제2마스크 공정에서 커패시터의 상부 전극을 더 형성하고, 제3마스크 공정에서 상기 상부 전극을 노출시키는 콘택홀을 더 형성하고, 제4마스크 공정에서 상부 전극의 일부를 제거하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 22

제 21 항에 있어서,

상기 제4마스크 공정 후, 상기 커패시터의 하부 전극에 이온 불순물을 도핑하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 23

제 16 항에 있어서,

상기 제5마스크 공정 후, 상기 화소 전극 상부에 발광층, 및 대향 전극을 더 형성하는 유기 발광 표시 장치의 제조 방법.

명 세 서

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 경량 박형이 가능할 뿐만 아니라, 넓은 시야각, 빠른 응답속도 및 적은 소비 전력 등의 장점으로 인하여 차세대 표시 장치로서 주목 받고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 제조 공정이 단순하고, 대향 전극과 배선 사이의 단락을 방지할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0004] 본 발명의 일 측면에 의하면, 활성층, 게이트 전극, 및 상기 활성층에 전기적으로 연결된 소스 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 게이트 전극과 동일층에 형성된 화소 전극; 상기 화소 전극 상에 형성된 발광층; 상기 소스 및 드레인 전극의 상부, 및 상기 소스 및 드레인 전극과 동일층에 형성된 배선 상부에 형성된 패시베이션층; 상기 박막 트랜지스터를 덮고, 상기 화소 전극의 상부를 노출하는 개구를 포함하며, 상기 패시베이션층 상에 직접 접촉하도록 형성된 유기 절연층; 및 상기 발광층 상에 형성되고, 상기 화소 전극에 대향되도록 상기 유기 절연층 상에 직접 접촉하며 형성된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

[0005] 본 발명의 다른 특징에 의하면, 상기 패시베이션층의 측단부는 상기 소스 및 드레인 전극, 및 상기 배선의 측단부와 동일한 식각면을 가질 수 있다.

[0006] 본 발명의 또 다른 특징에 의하면, 상기 유기 절연층은 상기 패시베이션층의 측단부에 직접 접촉하며 형성될 수 있다.

[0007] 본 발명의 또 다른 특징에 의하면, 상기 패시베이션층은 무기 절연물 또는 유기 절연물을 포함할 수 있다.

[0008] 본 발명의 또 다른 특징에 의하면, 상기 배선은 데이터선 또는 전원전압공급선일 수 있다.

[0009] 본 발명의 또 다른 특징에 의하면, 상기 활성층과 상기 게이트 전극 사이에 제1절연층이 구비되고, 상기 게이트 전극과 상기 소스 및 드레인 전극 상부에 제2절연층이 구비되며, 상기 제2절연층에 형성된 콘택홀을 통하여 상기 소스 및 드레인 전극 중 하나가 상기 화소 전극에 접속할 수 있다.

[0010] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극은 상기 게이트 전극과 동일한 투명도전물을 포함할 수 있다.

[0011] 본 발명의 또 다른 특징에 의하면, 상기 대향 전극은 반사 전극일 수 있다.

[0012] 본 발명의 또 다른 특징에 의하면, 상기 활성층과 동일층에 형성된 하부 전극, 및 상기 게이트 전극과 동일층에 형성된 상부 전극이 구비된 커패시터를 더 포함할 수 있다.

[0013] 본 발명의 또 다른 특징에 의하면, 상기 유기 절연층은 상기 상부 전극 상에 직접 형성될 수 있다.

[0014] 본 발명의 또 다른 특징에 의하면, 상기 하부 전극은 이온 불순물이 도핑된 반도체를 포함할 수 있다.

[0015] 본 발명의 또 다른 특징에 의하면, 상기 상부 전극은 상기 게이트 전극과 동일한 투명도전물을 포함할 수 있다.

[0016] 본 발명의 또 다른 특징에 의하면, 상기 투명도전물은 ITO, IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택된 어느 하나를 포함할 수 있다.

[0017] 본 발명의 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제1마스크 공정; 제1마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 형성하고 이를 패터닝하여, 박막 트랜지스터의 게이트 전극, 및 화소 전극을 형성하는 제2마스크 공정; 제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여, 상기 활성층의 소스 및 드레인 전극과, 상기 화소 전극을 노출시키는 콘택홀을 형성하는 제3마스크 공정; 제3마스크 공정의 결과물 상에 제2금속 및 패시베이션층을 차례로 형성하고, 상기 제2금속 및 패시베이션층을 패터닝하여, 상기 활성층과 연결되는 소스 및 드레인 전극, 및 상기 소스 및 드레인 전극과 동일층에 형성되는 배선을 형성하는 제4마스크 공정; 및 제4마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 화소 전극의 투명도전물이 노출되도록 상기 제3절연층을 개구시키는 제5마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.

[0018] 본 발명의 또 다른 특징에 의하면, 상기 제2마스크 공정 후, 상기 소스 및 드레인 영역에 이온 불순물을 도핑할 수 있다.

[0019] 본 발명의 또 다른 특징에 의하면, 상기 제4마스크 공정은, 상기 패시베이션층을 일부 제거하는 제1식각 공정, 및 상기 화소 전극 상에 적층된 상기 제2금속을 제거하는 제2식각 공정, 및 상기 화소 전극의 투명도전

물 상에 형성된 상기 제1금속을 제거하는 제3식각 공정을 포함할 수 있다.

[0020] 본 발명의 또 다른 특징에 의하면, 상기 제1식각 공정은 건식 식각 공정일 수 있다.

[0021] 본 발명의 또 다른 특징에 의하면, 상기 제4마스크 공정은, 상기 패시베이션층을 일부 제거하는 제1식각 공정 후, 상기 제1금속 및 제2금속이 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각할 수 있다.

[0022] 본 발명의 또 다른 특징에 의하면, 제1마스크 공정에서 커패시터의 하부 전극을 더 형성하고, 제2마스크 공정에서 커패시터의 상부 전극을 더 형성하고, 제3마스크 공정에서 상기 상부 전극을 노출시키는 콘택홀을 더 형성하고, 제4마스크 공정에서 상부 전극의 일부를 제거하는 단계를 더 포함할 수 있다.

[0023] 본 발명의 또 다른 특징에 의하면, 상기 제4마스크 공정 후, 상기 커패시터의 하부 전극에 이온 불순물을 도핑하는 단계를 더 포함할 수 있다.

[0024] 본 발명의 또 다른 특징에 의하면, 상기 제5마스크 공정 후, 상기 화소 전극 상부에 발광층, 및 대향 전극을 더 형성할 수 있다.

발명의 효과

[0025] 상기와 같은 본 발명에 따른 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.

[0026] 첫째, 소스 및 드레인 전극, 또는 소스 및 드레인 전극과 동일층에 형성된 배선 상부에 패시베이션층을 형성함으로써, 전극 및 배선과 대향 전극 사이에 발생할 수 있는 단락(short)을 방지할 수 있다.

[0027] 둘째, 별도의 마스크 공정 추가 없이, 5마스크 공정으로 상기와 같은 유기 발광 표시 장치를 제조할 수 있다.

[0028] 셋째, 소스 및 드레인 전극 형성 이후 패시베이션층을 형성함으로써, 화소 전극의 손상을 방지할 수 있다.

[0029] 넷째, MIM CAP 구조를 형성하므로 회로의 전압 설계 마진을 향상시킬 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 포함된 하나의 픽셀에 대한 회로도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일부를 개략적으로 도시한 단면도이다.

도 3은 본 발명의 비교예에 따른 유기 발광 표시 장치의 일부를 개략적으로 도시한 단면도이다.

도 4는 본 발명의 비교예에 따른 유기 발광 표시 장치의 일부를 개략적으로 도시한 평면도이다.

도 6 내지 도 11은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

[0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)에 포함된 하나의 픽셀에 대한 회로도이고, 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 픽셀 일부를 개략적으로 도시한 단면도이다.

[0033] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 픽셀 내부에는 스캔 라인(S), 데이터 라인(D), 및 전원전압공급 라인(V)과 같은 복수의 도전 라인들과, 발광부(EL1), 제1 및 제2박막 트랜지스터(TR1, TR2), 및 커패시터(Cst)가 구비된다.

[0034] 도 1은 본 발명을 설명하기 위한 일 예이며, 본 발명은 이에 한정되는 것은 아니다. 즉, 도 1에 도시된 도전 라인들 외에 다른 도전 라인들이 더 구비될 수 있다. 또한, 박막 트랜지스터 및 커패시터의 개수도 반드시 도시된 실시예에 한정되는 것은 아니며, 화소 회로부에 따라 2개 이상의 박막 트랜지스터와 하나 이상의 커패시터가 조합될 수 있다.

[0035] 제1박막 트랜지스터(TR1)의 게이트 전극은 스캔 라인(S)에 연결되고, 제1박막 트랜지스터(TR1)의 제1전극은 데이터 라인(D)에 연결된다. 제2박막 트랜지스터(TR2)의 게이트 전극은 제1박막 트랜지스터(TR1)의 제2전극과 연결되고, 제2박막 트랜지스터(TR2)의 제1전극은 전원전압공급 라인(V)에 연결되고, 제2전극은 발광부(EL)의 애노드에 연결된다. 이때, 제1박막 트랜지스터(TR1)는 스위칭 트랜지스터가 되고, 제2박막 트랜지스터(TR2)는

구동 트랜지스터가 된다. 상기 도면에는 제1 및 제2박막 트랜지스터(TR1, TR2)가 P형으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니며 적어도 하나가 N형으로 형성될 수도 있다.

- [0036] 커패시터(Cst)는 제1박막 트랜지스터(TR1)의 제2전극과 전원전압공급 라인(V) 사이에 연결된다. 커패시터(Cst)는 제1박막 트랜지스터(TR1)에 데이터 신호가 인가되는 동안 데이터 신호를 저장하는 저장 커패시터이다.
- [0037] 도 2를 참조하면, 제2막 트랜지스터(TR1)는 기판(10) 상에 구비된 반도체층(211), 게이트 전극(213, 214), 소스 및 드레인 전극(216)을 포함한다. 상기 도면에는 제2박막 트랜지스터(TR2)의 단면 형상만 도시되어 있으나, 제1박막 트랜지스터(TR1)는 제2박막 트랜지스터(TR2)와 동일한 단면을 가진다.
- [0038] 기판(10) 글라스재 또는 플라스틱재와 같은 다양한 재질로 형성될 수 있다. 단, 기판(10) 측으로 화상이 구현되는 배면 발광형의 경우, 기판(10)은 투명재질로 구비되는 것이 바람직하다.
- [0039] 상기 도면에는 도시되어 있지 않으나, 기판(10)의 상부에 평활한 면을 형성하고 기판(10) 상부로 불순 원소가 침투하는 것을 차단하기 위하여 기판(10)의 상부에 버퍼층(미도시)을 더 형성할 수 있다. 버퍼층은 SiO₂ 및/또는 SiNx 등으로 형성할 수 있다.
- [0040] 반도체층(211)은 비정질 실리콘 또는 결정질 실리콘을 포함할 수 있으며, 채널 영역(211c)과, 채널 영역(211c) 외측에 이온 불순물이 도핑된 소스 및 드레인 영역(211a)을 포함한다. 소스 및 드레인 영역(211a)은 3족 원소로 도핑하여 p-type, 5족 원소로 도핑하여 n-type 반도체로 형성할 수 있다.
- [0041] 반도체층(211) 상에는 게이트 절연막인 제1절연층(12)을 사이에 두고 반도체층(211)의 채널 영역(211c)에 대응되는 위치에 제1게이트 전극(213), 및 제2게이트 전극(214)이 차례로 형성된다.
- [0042] 제1절연층(12)은 반도체층(211)과 제1 및 제2 게이트 전극(213, 214)을 절연하는 것으로 SiNx 및/또는 SiO₂와 같은 무기막으로 형성할 수 있다.
- [0043] 제1게이트 전극(213)과 제2게이트 전극(214)는 에칭 선택비가 서로 다른 도전물로 구비될 수 있다. 예를 들어, 제1 및 제2 게이트 전극(213, 214)는, ITO와 같은 투명도전물, Ti, Mo, Al, Ag, Cu 및 이들의 합금에서 선택된 하나 이상의 에칭 선택비가 다른 물질로 선택될 수 있다. 본 실시예에서 제1게이트 전극(213)으로 투명도전물인 ITO가 사용되었고, 제2게이트 전극(214)으로 삼중층의 Mo/Al/Mo이 사용되었다. 한편, 제1게이트 전극(213)의 투명도전물로는 ITO 이외에도 IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택될 수 있다.
- [0044] 제1 및 제2 게이트 전극(213, 214) 상에는 제2절연층(15)이 구비된다. 제2절연층(15)은 제1 및 제2게이트 전극(213, 214)과 소스 및 드레인 전극(216)을 절연하는 층간 절연막으로 기능한다.
- [0045] 제2절연층(15)은 다양한 절연 물질로 형성할 수 있다. 예를 들어 산화물, 질화물과 같은 무기물로도 형성이 가능하고 유기물로도 형성이 가능하다. 제2절연층(15)을 형성하는 무기 절연막으로는 SiO₂, SiNx, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 등이 포함될 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다. 또한, 제2절연층(15)은 무기 절연막과 유기 절연막의 복합 적층체로도 형성될 수 있다.
- [0046] 소스 및 드레인 전극(216)은 제2절연층(15) 및 제1절연층(12)을 동시에 관통하며 형성된 콘택홀(C3)을 통해 반도체층(211)의 소스 및 드레인 영역(211a)에 접속한다. 상기 도면에는 소스 및 드레인 전극(216)이 하나의 층으로 도시되어 있으나, 본 발명은 이에 한정되지 않으며 소스 및 드레인 전극(216)은 복수의 층으로 형성될 수 있다.
- [0047] 소스 및 드레인 전극(216) 상에 패시베이션층(217)이 형성된다. 도 2에는 도시되어 있지 않으나, 패시베이션층(217)은 소스 및 드레인 전극(216)과 동일층에 형성되는 배선들 상에도 형성될 수 있다. 예를 들어, 패시베이션층(217)은 소스 및 드레인 전극(216)과 동일층에 형성된 데이터선(D, 도 1 참조) 일 수 있으며, 전원전압공급선(V, 도 1 참조)일 수 있다.
- [0048] 후술하겠지만, 패시베이션층(217)은 소스 및 드레인 전극(216)과 동일 마스크 공정에서 동일 포토마스크로 패터닝되기 때문에, 패시베이션층(217)의 측단부와, 소스 및 드레인 전극(216)의 측단부는 동일한 식각면을 가진다.
- [0049] 기판(10) 상에 픽셀부(PXL)가 구비된다. 픽셀부(PXL)는 제1화소 전극(113), 발광층(118), 및 대향 전극(119)

을 포함한다.

- [0050] 제1화소 전극(113)은 제1게이트 전극(213)과 동일층에 형성되고, 제1게이트 전극(213)과 동일한 투명도전물로 형성된다. 투명도전물로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0051] 제1화소 전극(113) 상에는 발광층(118)이 형성되고, 발광층(118)에서 방출된 광은 투명도전물로 형성된 제1화소 전극(113)을 통하여 기관(10) 측으로 방출된다.
- [0052] 제1절연층(12) 및 제1화소 전극(113) 상부에 제3절연층(17)이 형성되고, 화소 정의막으로 기능하는 제3절연층(17)에는 화소 전극(114) 상부를 노출시키는 개구(C5)가 형성된다. 상기 개구(C5) 내부에 발광층(118)이 구비된다.
- [0053] 발광층(118)은 저분자 유기물 또는 고분자 유기물일 수 있다. 발광층(118)이 저분자 유기물일 경우, 발광층(118)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯하여 다양하게 적용 가능하다.
- [0054] 한편, 발광층(118)이 고분자 유기물일 경우, 발광층(118) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0055] 발광층(118) 상에는 공통 전극으로 대향 전극(119)이 증착된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 제1화소 전극(113)은 애노드로 사용되고, 대향 전극(119)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0056] 대향 전극(119)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다. 대향 전극(119)이 반사 전극으로 구비됨으로써, 발광층(118)에서 방출된 빛은 대향 전극(119)에 반사되어 투명도전물로 구성된 제1화소 전극(113)을 투과하여 기관(10) 측으로 방출된다.
- [0057] 기관(10) 상에 커패시터(Cst)가 구비된다. 커패시터(Cst)의 제1전극(311a)은 박막 트랜지스터의 활성층(211)과 동일한 물질을 포함한다. 커패시터(Cst)의 제2전극(313)은 제1게이트 전극(213)과 동일한 투명도전물로 형성된다. 특히, 제1전극(311a)은 이온 불순물이 도핑된 반도체물질로 구성됨으로써, 제2전극(313)과 함께 MIM(metal-insulator-metal) CAP 구조를 형성한다.
- [0058] MIM CAP 구조는 일반적으로 MOS(Metal Oxide Semiconductor) CAP 구조에 비하여 폭넓은 전압 범위에서 일정한 정전용량을 유지할 수 있다. 따라서, 회로 설계시 전압 설계 마진을 향상시킬 수 있다.
- [0059] 본 실시예에 따른 유기 발광 표시 장치(1)는 전술한 제2박막 트랜지스터(TR2)와 커패시터(Cst)를 완전히 덮고, 픽셀부(PXL)의 제1화소 전극(113) 상부를 노출시키도록 제3절연층(118)이 형성된다.
- [0060] 제3절연층(18)은 화소 전극(113)의 가장 자리에 소정의 두께로 형성된 화소 정의막으로 기능하며, 유기 절연물로 구비될 수 있다. 이와 같은 유기 절연물로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다.
- [0061] 유기 발광 표시 장치의 제조 공정에서, 제1화소 전극(113) 상에 발광층(118)을 형성하기 직전의 공정에서, 기관(10)의 최상위층에는 제3절연층(18)이 형성된다. 제조 공정 중, 제3절연층(18)에 파티클(particle)에 의한 홀(hole) 또는 핀홀(pinhole)에 의한 불량 발생하는 경우, 제3절연층(18)의 하부에 위치하는 소스 및 드레인 전극(216), 또는 소스 및 드레인 전극(216)과 동일층에 형성된 배선이 외부에 직접 노출될 수 있다. 이와 같은 홀 불량이 발생했음에도 불구하고 화소 전극(113) 상부에 발광층(118)을 형성한 후, 제3절연층(180) 상으

로 공통 전극인 대향 전극(19)을 형성하게 되면, 소스 및 드레인 전극(216) 또는 배선과 대향 전극(19) 간 단락(short)이 발생하여 불량품이 발생하게 된다.

[0062] 도 3은 본 발명의 비교예에 따른 유기 발광 표시 장치의 일부를 개략적으로 도시한 단면도로서, 소스 및 드레인 전극(216) 상부에 핀홀(PH1) 불량이 발생한 경우를 개략적으로 도시한 것이고, 도 4는 데이터 배선(D) 및 전원전압공급 배선(V)에 각각 핀홀(PH2, PH3) 불량이 발생한 경우를 도시한 것이다.

[0063] 상기 도면들을 참조하면, 소스 및 드레인 전극(216) 또는 데이터 라인(D), 전원전압공급 라인(V) 상부에 패시베이션층 없이 제3절연층(18)이 직접 형성된 구조의 경우, 제3절연층(18)에 각각 핀홀(PH1, PH2, PH3) 불량이 발생하여 소스 및 드레인 전극(216) 또는 데이터 라인(D), 전원전압공급 라인(V) 상부가 노출된다. 만약 위와 같은 상태에서, 제3절연층(18) 상부에 공통전극인 대향 전극(19)을 직접 형성한다면, 상기 핀홀들(PH1~PH3)을 통하여 대향 전극(19)과 소스 및 드레인 전극(216), 데이터 배선(D), 전원전압공급 배선(V) 사이에 쇼트가 발생하게 된다.

[0064] 본 실시예에 따른 유기 발광 표시 장치(1)에 따르면, 소스 및 드레인 전극(216)의 상부, 및 소스 및 드레인 전극(216)과 동일층에 형성된 배선들 상부에 패시베이션층(217)이 직접 형성되어, 전술한 핀홀 불량이 발생하더라도 소스 및 드레인 전극(216)의 상부, 및 소스 및 드레인 전극(216)과 동일층에 형성된 배선이 외부로 직접 노출되지 않게 함으로써 보호한다. 따라서, 대향 전극(19)과 소스 및 드레인 전극(216) 간의 쇼트가 방지되어, 불량품 발생을 줄일 수 있다.

[0065] 이와 같은 패시베이션층(217)을 형성하는 무기 절연막으로는 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 등이 포함될 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다.

[0066] 이하, 도 5 내지 도 11을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.

[0067] 도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0068] 도 5를 참조하면, 기판(10) 상에 박막 트랜지스터의 활성층(211c), 및 커패시터 하부 전극(311c)이 형성된다.

[0069] 상기 도면에는 도시되어 있지 않지만, 기판(10) 상에는 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된다. 제1포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝되어, 박막 트랜지스터의 활성층(211c), 및 커패시터 하부 전극(311c)이 동시에 형성된다.

[0070] 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.

[0071] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

[0072] 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정 과정을 개략적으로 도시한 단면도이다.

[0073] 도 6을 참조하면, 도 5의 제1마스크 공정의 결과물 상에 제1절연층(12)이 적층되고, 제1절연층(12) 상에 픽셀부(PXL)의 제1화소 전극(113) 및 제2화소 전극(114)과, 제2박막 트랜지스터(TR2)의 제1게이트 전극(213) 및 제2게이트 전극(214)과, 커패시터(Cst)의 제1상부 전극(313) 및 제2상부 전극(314)이 순차로 형성된다.

[0074] 제1게이트 전극(213), 제1화소 전극(113), 커패시터(Cst)의 제1상부 전극(313)은 동일층에 동시에 형성되고, IT₀, IZ₀, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택될 수 있는 동일한 투명도전물로 형성된다.

[0075] 제2게이트 전극(214), 제2화소 전극(114), 커패시터(Cst)의 제2상부 전극(314)은 동일층에 동시에 형성되고,

Ti, Mo, Al, Ag, Cu 및 이들의 합금에서 선택된 하나 이상의 재료로 형성될 수 있다.

- [0076] 상기와 같은 구조물 위에 이온 불순물을 도핑(D1)한다. 이온 불순물은 전술한 바와 같이 3족 또는 5족의 이온으로 도핑할 수 있으며, 1×10^{15} atoms/cm² 이상의 농도로 박막 트랜지스터의 반도체층(211)을 타겟으로 하여 도핑한다.
- [0077] 이때, 제1 및 제2게이트 전극(213, 214)을 셀프 얼라인(self align) 마스크로 사용하여 반도체층(211)에 이온 불순물을 도핑함으로써 반도체층(211)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a)과, 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 제1 및 제2게이트 전극(213, 214)을 셀프 얼라인 마스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a)을 형성할 수 있다.
- [0078] 도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0079] 도 7을 참조하면, 도 6의 제2마스크 공정의 결과물 상에 제2절연층(15)이 적층되고, 제2절연층(15)을 패터닝하여 제2화소 전극(114)의 상부를 노출시키는 제1콘택홀(C1), 화소 전극(113, 114)과 소스 및 드레인 전극(216)을 연결하도록 제2화소 전극(114)의 일부를 노출시키는 제2콘택홀(C2), 반도체층(211)의 소스 및 드레인 영역(211a)의 일부를 노출시키는 제3콘택홀(C3), 커패시터(Cst)의 제2상부 전극(314)을 노출시키는 제4콘택홀(C4)이 형성된다.
- [0080] 도 8은 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0081] 도 8을 참조하면, 도 7의 제3마스크 공정의 결과물 상에, 소스 및 드레인 전극의 재료가 되는 금속층(16) 및 패시베이션층의 재료가 되는 절연층(17)이 순차로 형성된다.
- [0082] 상기 도면에는 상세히 도시되지 않았으나, 제4포토마스크(미도시)를 이용하여, 패시베이션층의 재료가 되는 절연층(17) 상에 소스 및 드레인 전극에 대응되는 영역의 포토레지스터(PR)가 잔존하도록 패터닝한다. 잔존하는 포토레지스터(PR)를 마스크로 하여 패시베이션층의 재료가 되는 절연층(17)을 패터닝한다. 이는 건식 식각(dry etching) 공정으로 패터닝 할 수 있다.
- [0083] 도 9는 도 8의 패시베이션층의 재료가 되는 절연층(17)에 대한 식각 공정의 결과를 개략적으로 도시한 단면도이다.
- [0084] 도 9를 참조하면, 잔존하는 포토레지스터(PR) 하부에 패시베이션층(217)이 형성된다.
- [0085] 상기 도면에는 상세히 도시되지 않았으나, 패터닝된 포토레지스터(PR)와 패시베이션층(217)을 마스크로 하여 소스 및 드레인 전극의 재료가 되는 금속층(16)을 패터닝한다. 이는 제1 습식 식각(wet etching) 공정으로 패터닝할 수 있다.
- [0086] 도 10은 도 9의 소스 및 드레인 전극의 재료가 되는 금속층(16)에 대한 식각 공정의 결과를 개략적으로 도시한 단면도이다.
- [0087] 도 10을 참조하면, 패시베이션층(217) 하부에 소스 및 드레인 전극(216)이 형성된다. 또한, 픽셀부(PXL)의 제2화소 전극(113) 및 커패시터(Cst)의 제2상부 전극(314)이 제거된다. 이는 제2 습식 식각 공정으로 패터닝할 수 있다.
- [0088] 상술한 바와 같이, 제4마스크 공정은 별도의 포토마스크 공정의 추가 없이 1회의 건식 식각 공정과 2회의 습식 식각 공정으로 패시베이션층(217)을 더 형성할 수 있다. 따라서, 공정 비용의 증가 없이 핀홀 불량에 의한 소스 및 드레인 전극과 대향 전극간의 쇼트를 방지하여 불량률을 줄일 수 있다.
- [0089] 한편, 상술한 실시예에서 습식 식각 공정이 분리되었는데, 이는 제2화소 전극(114) 및 커패시터의 제2상부 전극(314)을 형성하는 재료와, 제1 습식 식각 공정과 제2 습식 식각 소스 및 드레인 전극(216)의 재료가 이종 재료일 때 바람직하며, 만약 제2화소 전극(114) 및 커패시터 제2상부 전극(314)을 형성하는 재료와, 소스 및 드레인 전극(216)의 재료가 동종 재료인 경우에는 한번의 습식 식각 공정이 가능함은 물론이다.
- [0090] 제4마스크 공정 후, 상기와 같은 구조물 위에 이온 불순물을 도핑(D2)한다. 이온 불순물은 전술한 바와 같이 3족 또는 5족의 이온으로 도핑할 수 있으며, 1×10^{15} atoms/cm² 이상의 농도로 커패시터(Cst)의 제1전극(311c)을 타겟으로 하여 도핑한다. 그 결과 이온 불순물이 도핑된 제1전극(311a)은 커패시터(Cst)의 제1상부 전극

(313)과 함께 MIM CAP 구조를 형성하므로 회로 설계시 전압 설계 마진을 향상시킬 수 있다.

[0091] 도 11은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0092] 도 11를 참조하면, 도 10의 제4마스크 공정의 결과물 상에 제3절연층(18)을 형성하고, 제1화소 전극(113)의 상면을 노출시키는 개구(C5)를 형성한다.

[0093] 개구(C5) 내부에 전술한 발광층(118, 도 2 참조)이 구비됨으로써, 제1화소 전극(113) 및 대향 전극(119, 도 2 참조)의 전압 인가에 의해 발광층(118)이 발광한다.

[0094] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0095] 1: 유기 발광 표시 장치

10: 기판

12: 제1절연층

15: 제2절연층

18: 제3절연층

113: 제1화소 전극

114: 제2화소 전극

118: 발광층

119: 대향 전극

211: 반도체층

211a: 소스 및 드레인 영역

211c: 채널 영역

213: 제1게이트 전극

214: 제2게이트 전극

216: 소스 및 드레인 전극

217: 패시베이션층

311a: 커패시터의 하부 전극

313: 커패시터의 제1상부 전극

314: 커패시터의 제2상부 전극

313: 상부 전극

S: 스캔 라인

D: 데이터 라인!

V: 전원전압공급 라인

PXL: 픽셀부

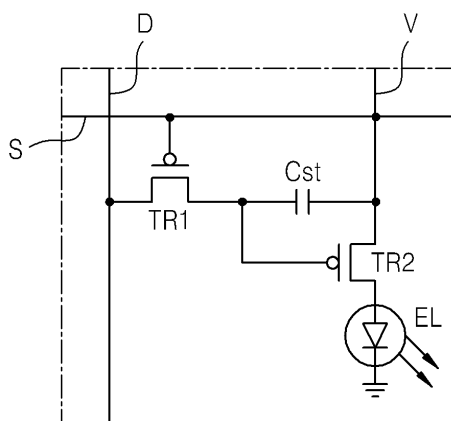
TR: 박막 트랜지스터

Cst: 커패시터

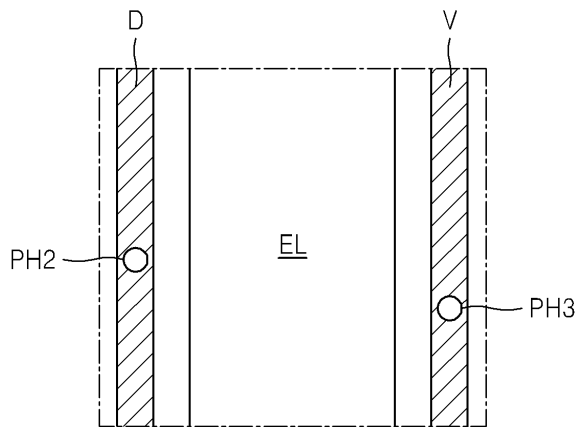
C1~C5: 콘택홀

도면

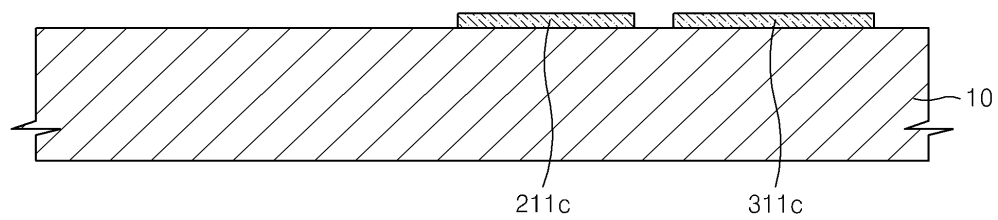
도면1



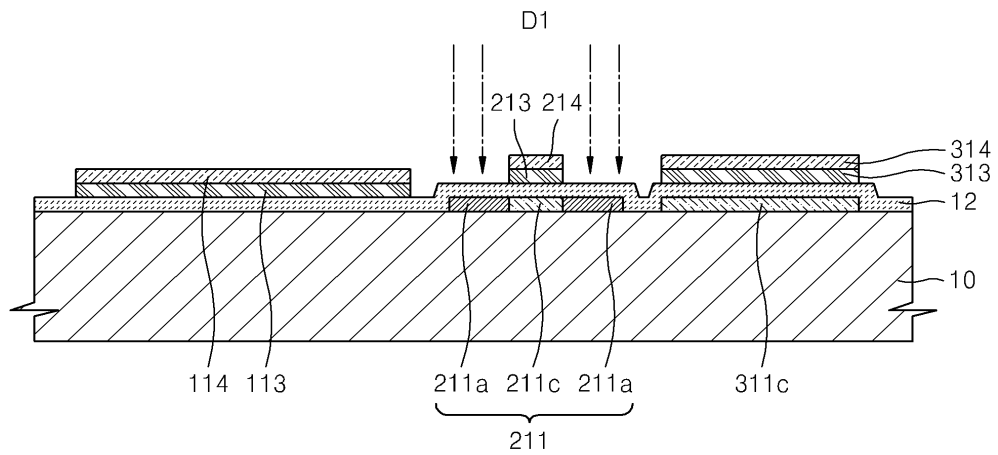
도면4



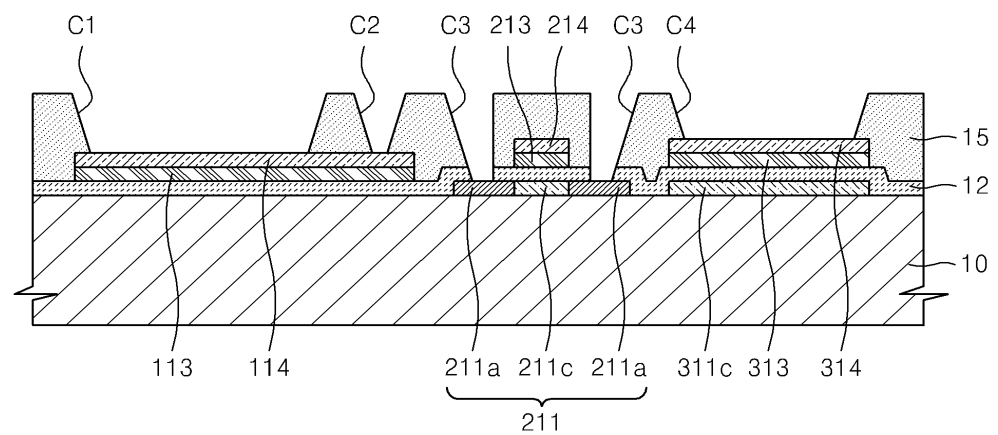
도면5



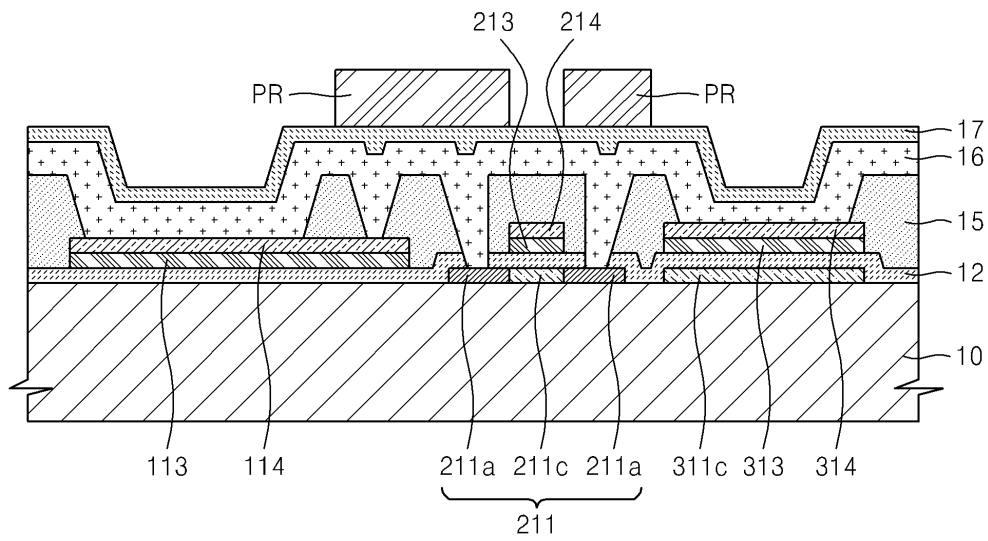
도면6



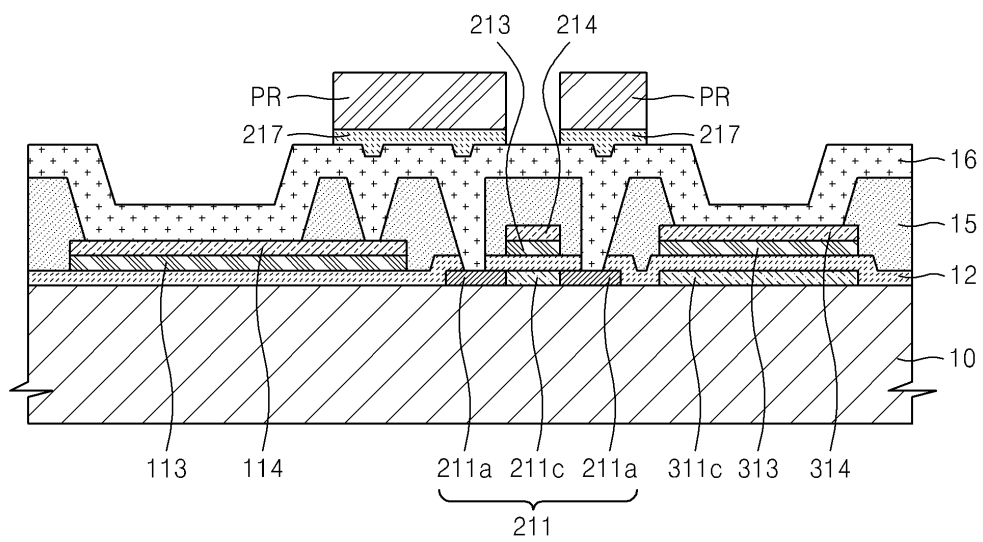
도면7



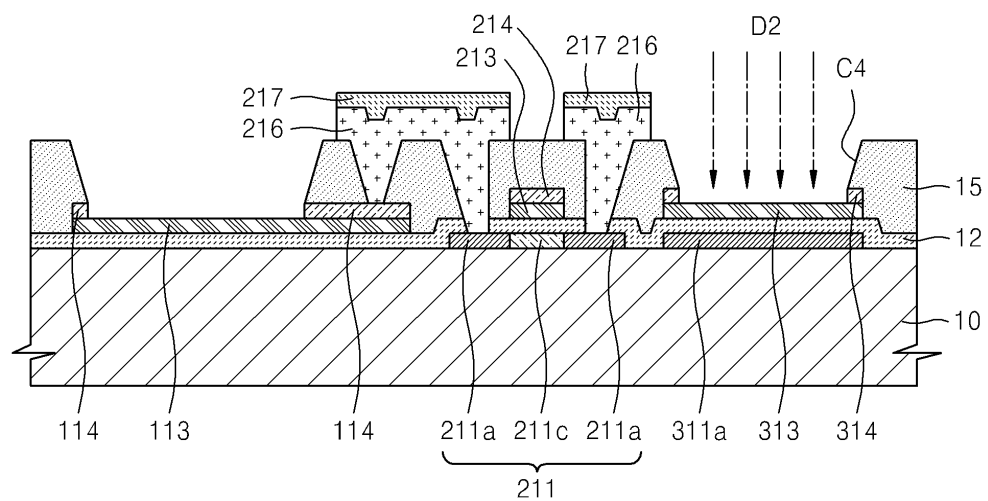
도면8



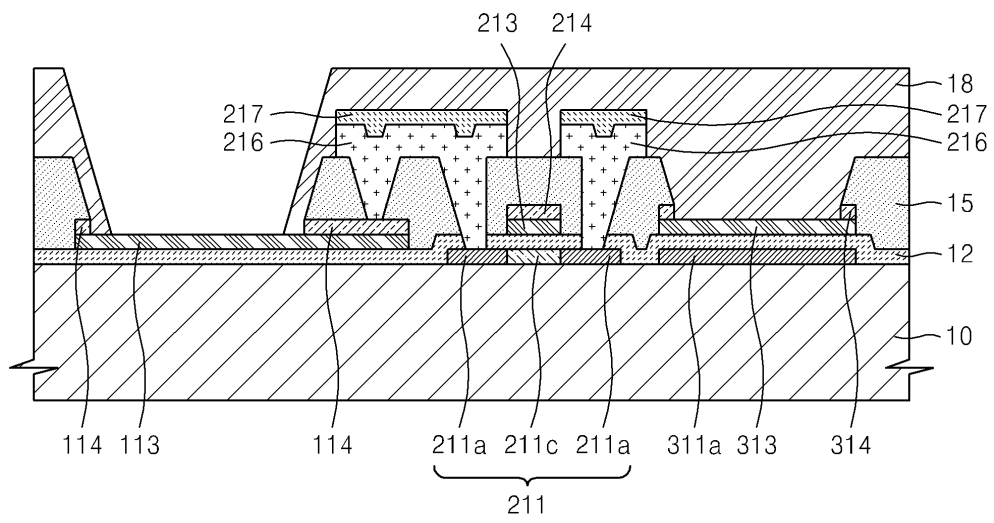
도면9



도면10



도면11



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020120066494A	公开(公告)日	2012-06-22
申请号	KR1020100127859	申请日	2010-12-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JUNE WOO 이준우 CHOI JOON HOO 최준후		
发明人	이준우 최준후		
IPC分类号	H01L51/52 H01L29/786 H01L51/56		
CPC分类号	H01L27/3246 H01L27/1214 H01L29/66765 H01L27/124 H01L27/1248 H01L29/4908 H01L2227/323 G02F1/136227 H01L27/12 H01L27/3248 H01L27/1288 H01L27/1255		
其他公开文献	KR101802860B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机发光二极管及其制造方法，以防止在形成源/漏电极之后通过形成钝化层而损坏像素电极。组成：薄膜晶体管包括栅电极（213）和源/漏电极（216）。像素电极（113）形成在与栅电极相同的层上。在像素电极上形成发光层（118）。钝化层（217）形成在布线的上侧，该布线形成在与源/漏电极相同的层上。有机绝缘层包括暴露像素电极的上侧的开口。

