



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0010810
(43) 공개일자 2010년02월02일

(51) Int. Cl.

H05B 33/26 (2006.01) H05B 33/22 (2006.01)

H05B 33/10 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0071854

(22) 출원일자 2008년07월23일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최희동

충남 서산시 음암면 탑곡리 3구 178번지

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 9 항

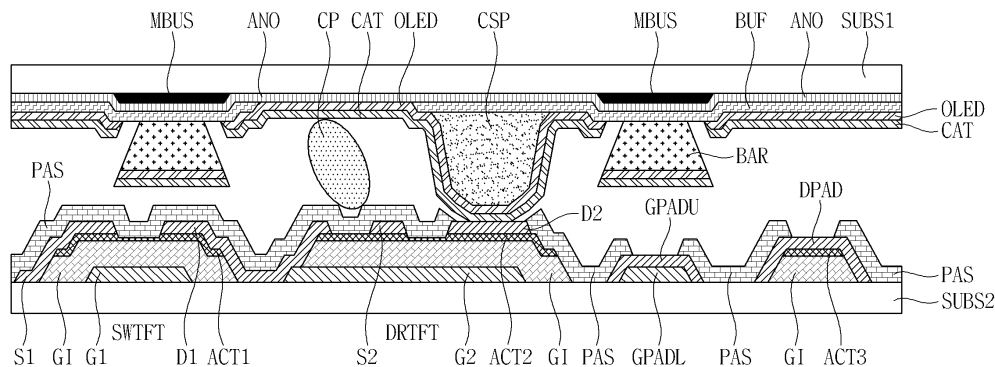
(54) 유기발광다이오드 표시소자와 그 제조방법

(57) 요약

본 발명은 유기발광다이오드 표시소자와 그 제조방법에 관한 것이다.

이 유기발광다이오드 표시소자의 하판은 상기 스위치 TFT 및 상기 구동 TFT의 게이트전극들, 상기 게이트라인들, 상기 게이트패드 하부전극을 포함한 게이트금속패턴들, 상기 스위치 TFT의 게이트전극을 덮는 제1 게이트 절연패턴과 그 위에 형성된 제1 액티브 패턴, 상기 구동 TFT의 게이트 전극의 일부를 덮는 제2 게이트 절연패턴과 그 위에 형성된 제2 액티브 패턴, 제3 게이트 절연패턴 및 그 위에 형성된 반도체패턴, 상기 스위치 TFT의 소스전극 및 드레인전극, 상기 구동 TFT의 소스전극 및 드레인전극, 상기 게이트패드 상부전극, 상기 반도체패턴 상에 형성되는 상기 데이터패드를 포함한 소스/드레인금속패턴들, 및 상기 구동 TFT의 드레인전극, 상기 게이트패드 상부전극 및 상기 데이터패드를 노출하고 그외 나머지 하판을 덮는 단일 패시베이션층을 구비한다.

대표도 - 도6



특허청구의 범위

청구항 1

애노드전극, 유기화합물층 및 캐소드전극을 포함한 유기발광다이오드소자 어레이과, 상기 유기화합물층과 캐소드전극에 의해 덮여진 콘택 스페이서를 포함한 상판; 및 데이터라인과 게이트라인에 접속된 스위치 TFT와, 상기 스위치 TFT에 게이트전극이 접속되고 상기 상판의 캐소드전극에 드레인전극이 접속된 구동 TFT와, 상기 게이트라인의 끝단에 연결된 게이트패드, 및 상기 데이터라인의 끝단에 연결된 데이터패드를 포함한 하판을 구비하는 유기발광다이오드 표시소자에 있어서,

상기 하판은,

상기 스위치 TFT 및 상기 구동 TFT의 게이트전극들, 상기 게이트라인들, 및 상기 게이트패드 하부전극을 포함한 게이트금속패턴들;

상기 스위치 TFT의 게이트전극을 덮는 제1 게이트 절연패턴과 그 위에 형성된 제1 액티브 패턴, 상기 구동 TFT의 게이트 전극의 일부를 덮는 제2 게이트 절연패턴과 그 위에 형성된 제2 액티브 패턴, 제3 게이트 절연패턴 및 그 위에 형성된 반도체패턴;

상기 스위치 TFT의 소스전극 및 드레인전극, 상기 구동 TFT의 소스전극 및 드레인전극, 상기 게이트패드 상부전극, 및 상기 반도체패턴 상에 형성되는 상기 데이터패드를 포함한 소스/드레인금속패턴들; 및

상기 구동 TFT의 드레인전극, 상기 게이트패드 상부전극 및 상기 데이터패드를 노출하고 그외 나머지 하판을 덮는 단일 패시베이션층을 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 2

제 1 항에 있어서,

상기 소스/드레인금속패턴들 각각은 몰리비타늄(MoTi)을 포함하며,

상기 콘택 스페이서는 폴리이미드(Polyimide)와 포토레지스트(Photoresist) 중 어느 하나를 포함하고 3~4 μ m 정도의 두께를 가지는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 3

애노드전극, 유기화합물층 및 캐소드전극을 포함한 유기발광다이오드소자 어레이와, 상기 유기화합물층과 캐소드전극에 의해 덮여진 콘택 스페이서를 포함한 상판; 및 데이터라인과 게이트라인에 접속된 스위치 TFT와, 상기 스위치 TFT에 게이트전극이 접속되고 상기 상판의 캐소드전극에 드레인전극이 접속된 구동 TFT와, 상기 게이트라인의 끝단에 연결된 게이트패드, 및 상기 데이터라인의 끝단에 연결된 데이터패드를 포함한 하판을 구비하는 유기발광다이오드 표시소자에 있어서,

상기 하판은,

상기 스위치 TFT 및 상기 구동 TFT의 게이트전극들, 상기 게이트라인들, 및 상기 게이트패드 하부전극을 포함한 게이트금속패턴들;

상기 스위치 TFT의 게이트전극을 덮는 제1 게이트 절연패턴과 그 위에 형성된 제1 액티브 패턴, 상기 구동 TFT의 게이트 전극의 일부를 덮는 제2 게이트 절연패턴과 그 위에 형성된 제2 액티브 패턴, 제3 게이트 절연패턴 및 그 위에 형성된 반도체패턴;

몰리브덴, 크롬, 구리에서 선택된 금속, 이들의 적층 또는 합금으로 이루어진 소스/드레인금속과 그 위에 적층된 ITO(Indium Tin Oxide)를 각각 포함하는 상기 스위치 TFT의 소스전극 및 드레인전극, 상기 구동 TFT의 소스전극 및 드레인전극, 상기 게이트패드 상부전극, 및 상기 데이터패드를 포함한 소스/드레인금속패턴;

상기 구동 TFT의 드레인전극의 ITO, 상기 게이트패드 상부전극의 ITO 및 상기 데이터패드의 ITO를 노출하고 그외 나머지 하판을 덮는 단일 패시베이션층; 및

상기 드레인전극의 ITO 상에 형성되어 상기 상판의 캐소드전극에 접촉되는 콘택패드를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 4

제 3 항에 있어서,

상기 콘택패드는 몰리브덴(Mo)을 포함하며,

상기 콘택 스페이서는 폴리이미드(Polyimide)와 포토레지스트(Photoresist) 중 어느 하나를 포함하고 3~4 μ m 정도의 두께를 가지는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 5

애노드전극, 유기화합물층 및 캐소드전극을 포함한 유기발광다이오드소자 어레이와, 상기 유기화합물층과 캐소드전극에 의해 덮여진 콘택 스페이서를 포함한 상판; 및 데이터라인과 게이트라인에 접속된 스위치 TFT와, 상기 스위치 TFT에 게이트전극이 접속되고 상기 상판의 캐소드전극에 드레인전극이 접속된 구동 TFT와, 상기 게이트라인의 끝단에 연결된 게이트패드, 및 상기 데이터라인의 끝단에 연결된 데이터패드를 포함한 하판을 구비하는 유기발광다이오드 표시소자의 제조방법에 있어서,

상기 하판의 제조방법은,

제1 마스크 공정을 이용한 제1 포토리소그래피 공정과 습식 식각 공정을 통해 게이트금속을 패터닝하여 상기 스위치 TFT 및 상기 구동 TFT의 게이트전극들, 상기 게이트라인들, 및 상기 게이트패드 하부전극을 포함한 게이트 금속패턴들을 기판 상에 형성하는 단계;

무기 절연재료와 반도체 재료를 상기 게이트금속패턴들과 상기 기판 상에 연속 증착한 후에 제2 마스크 공정을 이용한 제2 포토리소그래피 공정과 건식 식각 공정을 통해 상기 반도체층을 부분적으로 제거한 다음, 잔류하는 반도체패턴을 마스크로 하여 다시 건식식각을 실시하여 노출된 무기 절연재료를 제거하여 상기 스위치 TFT의 게이트전극을 덮는 제1 게이트 절연패턴과 그 위에 형성된 제1 액티브 패턴, 상기 구동 TFT의 게이트 전극의 일부를 덮는 제2 게이트 절연패턴과 그 위에 형성된 제2 액티브 패턴, 제3 게이트 절연패턴 및 그 위에 형성된 반도체패턴을 형성하는 단계;

상기 액티브패턴들, 상기 반도체패턴, 상기 게이트패드 하부전극, 상기 반도체패턴, 및 기판 상에 소스/드레인 금속을 증착한 후에 제3 마스크 공정을 이용한 제3 포토리소그래피 공정과 습식 식각 공정을 통해 상기 소스/드레인금속을 패터닝하여 상기 스위치 TFT의 소스전극 및 드레인전극, 상기 구동 TFT의 소스전극 및 드레인전극, 상기 게이트패드 상부전극, 및 상기 반도체패턴 상에 형성되는 상기 데이터패드를 포함한 소스/드레인금속패턴들을 형성하는 단계; 및

상기 소스/드레인금속패턴들과 상기 기판 상에 무기 절연재료를 증착한 후에 제4 마스크 공정을 이용한 제4 포토리소그래피 공정과 건식공정을 통해 그 무기 절연재료를 부분적으로 제거하여 상기 구동 TFT의 드레인전극, 상기 게이트패드 상부전극 및 상기 데이터패드를 노출하고 그외 나머지 하판을 덮는 단일 패시베이션층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 6

제 5 항에 있어서,

상기 소스/드레인금속패턴들 각각은 몰리타늄(MoTi)을 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 7

제 5 항에 있어서,

상기 콘택 스페이서는 폴리이미드(Polyimide)와 포토레지스트(Photoresist) 중 어느 하나를 포함하고 3~4 μ m 정도의 두께를 가지는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 8

애노드전극, 유기화합물층 및 캐소드전극을 포함한 유기발광다이오드소자 어레이와, 상기 유기화합물층과 캐소드전극에 의해 덮여진 콘택 스페이서를 포함한 상판; 및 데이터라인과 게이트라인에 접속된 스위치 TFT와, 상기 스위치 TFT에 게이트전극이 접속되고 상기 상판의 캐소드전극에 드레인전극이 접속된 구동 TFT와, 상기 게이트

라인의 끝단에 연결된 게이트패드, 및 상기 데이터라인의 끝단에 연결된 데이터패드를 포함한 하판을 구비하는 유기발광다이오드 표시소자의 제조방법에 있어서,

상기 하판의 제조방법은,

제1 마스크 공정을 이용한 제1 포토리소그래피 공정과 습식 식각 공정을 통해 게이트금속을 패터닝하여 상기 스위치 TFT 및 상기 구동 TFT의 게이트전극들, 상기 게이트라인들, 및 상기 게이트패드 하부전극을 포함한 게이트 금속패턴들을 기판 상에 형성하는 단계;

무기 절연재료와 반도체 재료를 상기 게이트금속패턴들과 상기 기판 상에 연속 증착한 후에 제2 마스크 공정을 이용한 제2 포토리소그래피 공정과 건식 식각 공정을 통해 상기 반도체층을 부분적으로 제거한 다음, 잔류하는 반도체패턴을 마스크로 하여 다시 건식식각을 실시하여 노출된 무기 절연재료를 제거하여 상기 스위치 TFT의 게이트전극을 덮는 제1 게이트 절연패턴과 그 위에 형성된 제1 액티브 패턴, 상기 구동 TFT의 게이트 전극의 일부를 덮는 제2 게이트 절연패턴과 그 위에 형성된 제2 액티브 패턴, 제3 게이트 절연패턴 및 그 위에 형성된 반도체패턴을 형성하는 단계;

상기 액티브패턴들, 상기 반도체패턴, 상기 게이트패드 하부전극, 상기 반도체패턴, 및 기판 상에 몰리브덴, 크롬, 구리에서 선택된 금속, 이들의 적층 또는 합금으로 이루어진 소스/드레인금속과 ITO(Indium Tin Oxide)를 연속 증착한 후에 제3 마스크 공정을 이용한 제3 포토리소그래피 공정과 습식 식각 공정을 통해 적층된 상기 소스/드레인금속과 상기 ITO를 동일하게 패터닝하여 상기 스위치 TFT의 소스전극 및 드레인전극, 상기 구동 TFT의 소스전극 및 드레인전극, 상기 게이트패드 상부전극, 및 상기 데이터패드를 포함한 소스/드레인금속패턴들을 형성하는 단계;

상기 소스/드레인금속패턴들과 상기 기판 상에 무기 절연재료를 증착한 후에 제4 마스크 공정을 이용한 제4 포토리소그래피 공정과 건식공정을 통해 그 무기 절연재료를 부분적으로 제거하여 상기 구동 TFT의 드레인전극의 ITO, 상기 게이트패드 상부전극의 ITO 및 상기 데이터패드의 ITO를 노출하고 그와 나머지 하판을 덮는 단일 패시베이션층을 형성하는 단계; 및

상기 단일 패시베이션층에는 콘택금속을 증착한 후에 제5 마스크 공정을 이용한 제5 포토리소그래피 공정과 습식 식각 공정을 통해 상기 콘택금속을 부분적으로 제거하여 상기 드레인전극의 ITO 상에 상기 상판의 캐소드전극에 접촉되는 콘택패드를 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 9

제 8 항에 있어서,

상기 콘택패드는 몰리브덴을 포함하며,

상기 콘택 스페이서는 폴리이미드(Polyimide)와 포토레지스트(Photoresist) 중 어느 하나를 포함하고 3~4 μ m 정도의 두께를 가지는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기발광다이오드 표시소자와 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광소자(Electroluminescence Device) 등이 있다.

[0003] 전계발광소자는 발광층의 재료에 따라 무기 전계발광소자와 유기발광다이오드소자로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

- [0004] 액티브 매트릭스 타입의 유기발광다이오드 표시소자(Active Matrix type Organic Light Emitting Diode display, AMOLED)는 박막트랜지스터(Thin Film Transistor 이하, "TFT"라 함)를 이용하여 유기발광다이오드소자(이하, "OLED"라 함)에 흐르는 전류를 제어하여 화상을 표시한다. 유기발광다이오드 표시소자의 구조는 다양한 방향으로 개발되고 있다.
- [0005] 이 중에서 최근에는 도 1과 같이 상판에 패시브 OLED 어레이를 형성하는 한편, 하판에 TFT 어레이를 형성하고 콘택 스페이서를 통해 OLED 어레이와 TFT 어레이를 전기적으로 연결하는 구조의 유기발광다이오드 표시소자가 제안되고 있다. 도 1과 같은 유기발광다이오드 표시소자는 비교적 공정이 쉽고 수율이 높은 패시브 OLED 어레이에 별도로 제작된 TFT 어레이 하판을 조합하여 액티브 유기발광다이오드 표시소자로 구동한다. 이러한 유기발광다이오드 표시소자는 다른 구조의 유기발광다이오드 표시소자에 비하여 수율이 높고 색재현율과 휘도가 높다.
- [0006] 도 1은 유기발광다이오드 표시소자에서 한 셀의 단면 구조를 보여 준다. 도 2는 도 1과 같은 유기발광다이오드 표시소자에서 한 셀의 등가회로를 나타낸다.
- [0007] 도 1 및 도 2를 참조하면, 유기발광다이오드 표시소자는 패시브 OLED 어레이가 형성된 상판, TFT 어레이가 형성된 하판을 구비한다.
- [0008] 패시브 OLED 어레이는 보조전극(MBUS), 애노드전극(ANO), 버퍼층(BUF), OLED, 캐소드전극(CAT), 격벽(BAR), 콘택 스페이서(CSP)를 구비한다. 보조전극(MBUS)은 도전성이 높은 금속으로 상부기판(SUBS1) 상에 형성된다. 애노드전극(ANO)은 보조전극(MBUS)을 덮도록 상부 투명기판(SUBS1) 상에 ITO(Indium Tin Oxide)로 형성된다. 애노드전극(ANO)에는 고전위 전원전압(VDD)이 공급된다. 애노드전극(ANO) 상에는 SiNx로 이루어진 버퍼층(BUF)이 형성되고, 캐소드전극은 알루미늄(Al)으로 OLED의 유기화합물층(OLED) 상에 형성된다. OLED의 유기화합물층(OLED)은 전자주입층(Electron injection layer, EIL), 전자수송층(Electron transport layer, ETL), 발광층(Emission layer, EML), 정공수송층(Hole transport layer, HTL), 및 정공주입층(Hole injection layer, HIL)을 포함한다. 격벽(BAR)은 이웃한 발광셀들 사이에서 OLED와 캐소드전극(CAT)을 분리시킨다. 콘택 스페이서(CSP)는 폴리이미드(Polyimide)나 포토레지스트(Photoresist)로 버퍼층(BUF) 상에 형성된다. 콘택 스페이서(CSP) 상에는 OLED의 유기화합물층(OLED)과 캐소드전극(CAT)이 적층된다.
- [0009] TFT 어레이는 하부기판(SUBS2) 상에 형성된 데이터라인과 그 데이터라인에 연결된 데이터 패드, 게이트라인과 그 게이트라인에 연결된 게이트패드, 스위치 TFT(SWTFT), 구동 TFT(DRTFT), 스토리지 커패시터(CST)를 포함한다. 도 1에서는 스토리지 커패시터(CST)가 생략되었다. 하부기판(SUBS2) 상에는 게이트라인, 그 게이트라인과 연결된 스위치 TFT(SWTFT) 및 구동 TFT(DRTFT)의 게이트전극(G1, G2), 게이트라인의 끝단에 연결된 게이트패드 하부전극(GPADL) 등을 포함한 게이트금속패턴이 형성된다. 게이트 절연막(GI)은 게이트금속패턴을 덮도록 게이트금속패턴과 하부기판(SUBS2) 상에 형성된다. 스위치 TFT(SWTFT) 및 구동 TFT(DRTFT)의 액티브층(ACT1, ACT2)은 게이트 절연막(GI) 상에 반도체패턴으로 형성된다. 이 액티브층(ACT1, ACT2)과 함께 데이터 패드 위치에서 반도체패턴(ACT3)이 게이트 절연막(GI) 상에 형성된다. 스위치 TFT(SWTFT) 및 구동 TFT(DRTFT)의 소스 전극(S1, S2), 드레인 전극(D1, D2), 데이터라인의 끝단에 연결된 데이터패드 하부전극(DPADL) 등을 포함한 소스/드레인금속패턴은 액티브패턴 및 반도체패턴(ACT1 내지 ACT3)과 게이트 절연막(GI) 상에 형성된다. 패시베이션층(PAS1)은 소스/드레인금속패턴과 게이트 절연막(GI) 상에 형성된다. 게이트전극(G2)의 일부와 게이트패드 하부전극(GPADL)의 일부는 패시베이션층(PAS1)과 게이트 절연막(GI)을 관통하는 콘택홀들을 통해 노출된다. 또한, 구동 TFT(DRTFT)에서 드레인전극(D2)의 일부는 패시베이션층(PAS1)을 관통하는 콘택홀을 통해 노출된다. 패시베이션층(PAS1)에는 점퍼패턴(JUMP), 콘택패드 하부전극(CNTPL), 게이트패드 상부전극(GPADU), 데이터패드 상부전극(PADU)을 포함한 투명전극 패턴이 형성된다. 점퍼패턴(JUMP)은 패시베이션층(PAS1)을 관통하는 콘택홀을 통해 스위치 TFT(SWTFT)에 접촉되고 또한, 패시베이션층(PAS1)과 게이트절연막(GI)을 관통하는 콘택홀을 통해 구동 TFT(DRTFT)의 게이트전극(G2)에 접촉되어 스위치 TFT(SWTFT)와 구동 TFT(DRTFT)를 전기적으로 연결한다. 상판의 캐소드전극(CAT)과 접촉되는 콘택패드 상부전극(CNTPU)은 몰리브덴(Mo)으로 콘택패드 하부전극(CNTPL) 상에 형성된다.
- [0010] 도 1과 같은 유기발광다이오드 표시소자는 3~4 μ m 정도의 두께로 형성되는 콘택 스페이서(CSP)에 의해 전기적으로 연결된다. 따라서, 제조공정 중에 3~4 μ m 이상의 도전성 파티클(CP)이 상판과 하판 사이에 존재하면 하판 TFT 어레이 상에 노출된 금속패드에 상판 OLED 어레이의 캐소드전극(CAT)이 연결되어 불량률 초래할 수 있다. 예를 들어, 도전성 파티클(CP)으로 인하여 저전위 전원전압(VSS)이 공급되는 패드와 상판 OLEDP 어레이의 캐소드전극(CAT)이 전기적으로 연결되면 그 셀은 휘점으로 보인다. 또한, 도 1 및 도 4와 같이 도전성 파티클(CP)

으로 인하여 스위치 TFT(SWTFT)의 드레인전극(D1)과 상판 OLEDP 어레이의 캐소드전극(CAT)이 전기적으로 연결되면 그 셀은 약휘점으로 보인다. 이러한 도전성 파티클(CP)로 인한 원치 않는 상판과 하판의 쇼트불량을 개선하기 위하여 상판과 하판 사이의 갭(Gap)을 높게 할 수 있으나 콘택 스페이서 재료 문제로 인하여 갭을 일정 이상 높이로 균일하게 관리하기가 어렵된다. 위와 같은 문제를 개선하기 위한 다른 방법으로, 도 5와 같이 TFT 어레이에서 콘택패드 부분만을 제외하고 나머지 다른 부분을 제2 패시베이션층(PAS2)으로 덮는 방법을 고려할 수 있으나 이 경우에는 포토리소그래피 공정과 식각 공정 수가 증가하여 제조비용과 생산성을 떨어뜨린다.

발명의 내용

해결 하고자하는 과제

[0011] 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 패시브 OLED 어레이가 형성된 상판과 TFT 어레이가 형성된 하판을 콘택 스페이서로 연결하여 액티브 매트릭스 표시소자로 동작하는 유기발광다이오드 표시소자에 있어서 도전성 파티클로 인한 불량을 예방하고 공정 수를 줄이도록 한 유기발광다이오드 표시소자와 그 제조방법을 제공하는데 있다.

과제 해결수단

[0012] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광다이오드 표시소자는 애노드전극, 유기화합물층 및 캐소드전극을 포함한 유기발광다이오드소자 어레이와, 상기 유기화합물층과 캐소드전극에 의해 덮여진 콘택 스페이서를 포함한 상판; 및 데이터라인과 게이트라인에 접속된 스위치 TFT와, 상기 스위치 TFT에 게이트전극이 접속되고 상기 상판의 캐소드전극에 드레인전극이 접속된 구동 TFT와, 상기 게이트라인의 끝단에 연결된 게이트패드, 및 상기 데이터라인의 끝단에 연결된 데이터패드를 포함한 하판을 구비한다.

[0013] 상기 하판은 상기 스위치 TFT 및 상기 구동 TFT의 게이트전극들, 상기 게이트라인들, 및 상기 게이트패드 하부전극을 포함한 게이트금속패턴들; 상기 스위치 TFT의 게이트전극을 덮는 제1 게이트 절연패턴과 그 위에 형성된 제1 액티브 패턴, 상기 구동 TFT의 게이트 전극의 일부를 덮는 제2 게이트 절연패턴과 그 위에 형성된 제2 액티브 패턴, 제3 게이트 절연패턴 및 그 위에 형성된 반도체패턴; 상기 스위치 TFT의 소스전극 및 드레인전극, 상기 구동 TFT의 소스전극 및 드레인전극, 상기 게이트패드 상부전극, 상기 반도체패턴 상에 형성되는 상기 데이터패드를 포함한 소스/드레인금속패턴들; 및 상기 구동 TFT의 드레인전극, 상기 게이트패드 상부전극 및 상기 데이터패드를 노출하고 그외 나머지 하판을 덮는 단일 패시베이션층을 구비한다.

[0014] 본 발명의 다른 실시예에 따른 유기발광다이오드 표시소자의 하판은 상기 스위치 TFT 및 상기 구동 TFT의 게이트전극들, 상기 게이트라인들, 상기 게이트패드 하부전극을 포함한 게이트금속패턴; 상기 스위치 TFT의 게이트전극을 덮는 제1 게이트 절연패턴과 그 위에 형성된 제1 액티브 패턴, 상기 구동 TFT의 게이트 전극의 일부를 덮는 제2 게이트 절연패턴과 그 위에 형성된 제2 액티브 패턴, 제3 게이트 절연패턴 및 그 위에 형성된 반도체패턴; 몰리브덴, 크롬, 구리에서 선택된 금속, 이들의 적층 또는 합금으로 이루어진 소스/드레인금속과 그 위에 적층된 ITO(Indium Tin Oxide)를 각각 포함하는 상기 스위치 TFT의 소스전극 및 드레인전극, 상기 구동 TFT의 소스전극 및 드레인전극, 상기 게이트패드 상부전극, 상기 데이터패드를 포함한 소스/드레인금속패턴; 상기 구동 TFT의 드레인전극의 ITO, 상기 게이트패드 상부전극의 ITO 및 상기 데이터패드의 ITO를 노출하고 그외 나머지 하판을 덮는 단일 패시베이션층; 및 상기 드레인전극의 ITO 상에 형성되어 상기 상판의 캐소드전극에 접촉되는 콘택패드를 구비한다.

[0015] 본 발명의 실시예에 따른 유기발광다이오드 표시소자의 제조방법은 제1 마스크 공정을 이용한 제1 포토리소그래피 공정과 습식 식각 공정을 통해 게이트금속을 패터닝하여 상기 스위치 TFT 및 상기 구동 TFT의 게이트전극들, 상기 게이트라인들, 상기 게이트패드 하부전극을 포함한 게이트금속패턴들을 기판 상에 형성하는 단계; 무기 절연재료와 반도체 재료를 상기 게이트금속패턴들과 상기 기판 상에 연속 증착한 후에 제2 마스크 공정을 이용한 제2 포토리소그래피 공정과 건식 식각 공정을 통해 상기 반도체층을 부분적으로 제거한 다음, 잔류하는 반도체패턴을 마스크로 하여 다시 건식식각을 실시하여 노출된 무기 절연재료를 제거하여 상기 스위치 TFT의 게이트전극을 덮는 제1 게이트 절연패턴과 그 위에 형성된 제1 액티브 패턴, 상기 구동 TFT의 게이트 전극의 일부를 덮는 제2 게이트 절연패턴과 그 위에 형성된 제2 액티브 패턴, 제3 게이트 절연패턴 및 그 위에 형성된 반도체패턴을 형성하는 단계; 상기 액티브패턴들, 상기 반도체패턴, 상기 게이트패드 하부전극, 상기 반도체패턴; 및 기판 상에 소스/드레인금속을 증착한 후에 제3 마스크 공정을 이용한 제3 포토리소그래피 공정과 습식 식각 공정을 통해 상기 소스/드레인금속을 패터닝하여 상기 스위치 TFT의 소스전극 및 드레인전극, 상기 구동 TFT의 소스

전극 및 드레인전극, 상기 게이트패드 상부전극, 상기 반도체패턴 상에 형성되는 상기 데이터패드를 포함한 소스/드레인금속패턴들을 형성하는 단계, 및 상기 소스/드레인금속패턴들과 상기 기판 상에 무기 절연재료를 증착한 후에 제4 마스크 공정을 이용한 제4 포토리소그래피 공정과 건식공정을 통해 그 무기 절연재료를 부분적으로 제거하여 상기 구동 TFT의 드레인전극, 상기 게이트패드 상부전극 및 상기 데이터패드를 노출하고 그의 나머지 하판을 덮는 단일 패시베이션층을 형성하는 단계를 포함한다.

[0016] 본 발명의 다른 실시예에 따른 유기발광다이오드 표시소자의 제조방법은 제1 마스크 공정을 이용한 제1 포토리소그래피 공정과 습식 식각 공정을 통해 게이트금속을 패터닝하여 상기 스위치 TFT 및 상기 구동 TFT의 게이트전극들, 상기 게이트라인들, 및 상기 게이트패드 하부전극을 포함한 게이트금속패턴들을 기판 상에 형성하는 단계; 무기 절연재료와 반도체 재료를 상기 게이트금속패턴들과 상기 기판 상에 연속 증착한 후에 제2 마스크 공정을 이용한 제2 포토리소그래피 공정과 건식 식각 공정을 통해 상기 반도체층을 부분적으로 제거한 다음, 잔류하는 반도체패턴을 마스크로 하여 다시 건식식각을 실시하여 노출된 무기 절연재료를 제거하여 상기 스위치 TFT의 게이트전극을 덮는 제1 게이트 절연패턴과 그 위에 형성된 제1 액티브 패턴, 상기 구동 TFT의 게이트전극의 일부를 덮는 제2 게이트 절연패턴과 그 위에 형성된 제2 액티브 패턴, 제3 게이트 절연패턴 및 그 위에 형성된 반도체패턴을 형성하는 단계; 상기 액티브패턴들, 상기 반도체패턴, 상기 게이트패드 하부전극, 상기 반도체패턴, 및 기판 상에 몰리브덴, 크롬, 구리에서 선택된 금속, 이들의 적층 또는 합금으로 이루어진 소스/드레인금속과 ITO(Indium Tin Oxide)를 연속 증착한 후에 제3 마스크 공정을 이용한 제3 포토리소그래피 공정과 습식 식각 공정을 통해 적층된 상기 소스/드레인금속과 상기 ITO를 동일하게 패터닝하여 상기 스위치 TFT의 소스전극 및 드레인전극, 상기 구동 TFT의 소스전극 및 드레인전극, 상기 게이트패드 상부전극, 상기 데이터패드를 포함한 소스/드레인금속패턴들을 형성하는 단계; 상기 소스/드레인금속패턴들과 상기 기판 상에 무기 절연재료를 증착한 후에 제4 마스크 공정을 이용한 제4 포토리소그래피 공정과 건식공정을 통해 그 무기 절연재료를 부분적으로 제거하여 상기 구동 TFT의 드레인전극의 ITO, 상기 게이트패드 상부전극의 ITO 및 상기 데이터패드의 ITO를 노출하고 그의 나머지 하판을 덮는 단일 패시베이션층을 형성하는 단계; 및 상기 단일 패시베이션층에는 콘택금속을 증착한 후에 제5 마스크 공정을 이용한 제5 포토리소그래피 공정과 습식 식각 공정을 통해 상기 콘택금속을 부분적으로 제거하여 상기 드레인전극의 ITO 상에 상기 상판의 캐소드전극에 접촉되는 콘택패드를 형성하는 단계를 포함한다.

효 과

[0017] 본 발명의 실시예들에 따른 유기발광다이오드 표시소자와 그 제조방법은 하판에 형성된 콘택패드를 내 부식성이 큰 몰리비다이드(MoTi)이나 소스/드레인금속과 ITO의 적층 금속패턴으로 형성하고 그 외 나머지 하판을 단일 패시베이션층으로 덮어 3~4 μ m 이상의 도전성 파티클이 상판과 하판 사이에 혼입되더라도 상판과 하판의 원치 않는 쇼트불량이 예방할 수 있다.

발명의 실시를 위한 구체적인 내용

[0018] 이하, 도 6 내지 도 9e를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0019] 도 6은 본 발명의 제1 실시예에 따른 유기발광다이오드 표시소자에서 한 셀의 단면 구조를 보여 준다. 이 유기발광다이오드 표시소자의 등가 회로도는 도 2와 실질적으로 동일하다. 도 6에서, 하판에 형성되는 스토리지 커패시터(CST)와 고전위 전원 공급패드 및 저전위 전원 공급패드는 생략되었다.

[0020] 도 6을 참조하면, 본 발명의 제1 실시예에 따른 유기발광다이오드 표시소자는 패시브 OLED 어레이가 형성된 상판, TFT 어레이가 형성된 하판을 구비한다.

[0021] 패시브 OLED 어레이는 보조전극(MBUS), 애노드전극(ANO), 버퍼층(BUF), OLED, 캐소드전극(CAT), 격벽(BAR), 콘택 스페이스(CSP)를 구비한다. 보조전극(MBUS)은 도전성이 높은 금속으로 상부기판(SUBS1) 상에 형성된다. 애노드전극(ANO)은 보조전극(MBUS)을 덮도록 상부 투명기판(SUBS1) 상에 ITO로 형성된다. 애노드전극(ANO)에는 하판의 고전위 전원 패드와 접속된 콘택 스페이스를 통해 고전위 전원전압(VDD)이 공급된다. 애노드전극(ANO) 상에는 SiNx로 이루어진 버퍼층(BUF)이 형성되고, 캐소드전극은 알루미늄(Al)으로 OLED의 유기화합물층(OLED) 상에 형성된다. OLED의 유기화합물층(OLED)은 전자주입층(EIL), 전자수송층(ETL), 발광층(EML), 정공수송층(HTL), 및 정공주입층(HIL)을 포함한다. 격벽(BAR)은 이웃한 발광셀들 사이에서 OLED와 캐소드전극(CAT)을 분리시킨다. 콘택 스페이스(CSP)는 폴리이미드(Polyimide)나 포토레지스트(Photoresist)로 버퍼층(BUF) 상에 형성된다. 콘택 스페이스(CSP) 상에는 OLED의 유기화합물층(OLED)과 캐소드전극(CAT)이 적층된다.

- [0022] TFT 어레이는 하부기관(SUBS2) 상에 형성된 데이터라인과 그 데이터라인에 연결된 데이터 패드, 게이트라인과 그 게이트라인에 연결된 게이트패드, 스위치 TFT(SWTFT), 구동 TFT(DRTFT), 스토리지 커패시터(CST)를 포함한다. 스위치 TFT(SWTFT)의 소스전극(S1)은 데이터라인과 연결되고, 스위치 TFT(SWTFT)의 드레인전극(D1)은 별도의 점퍼패턴없이 구동 TFT(DRTFT)의 게이트전극(G2)과 직접 연결되는 금속패턴으로 형성된다. 스위치 TFT(SWTFT)의 게이트전극(G1)은 게이트펄스가 순차적으로 공급되는 게이트라인에 연결된다. 구동 TFT(DRTFT)의 소스전극(S2)은 저전위 전원공급원(VSS)에 접속되고 구동 TFT(DRTFT)의 드레인전극(D2)은 폴리타타늄(MoTi)의 단일층으로 상판의 캐소드전극(CAT)에 직접 접촉된다. 구동 TFT(DRTFT)의 게이트전극(G2)의 일측 에지는 스위치 TFT(SWTFT)의 드레인전극(D1)에 사이드 콘택과 탑 콘택으로 접촉된다. 도시하지 않은 스토리지 커패시터(CST)의 일측 단자는 구동 TFT(DRTFT)의 게이트전극(G2)에 접촉되고 그 타측 단자는 저전위 전원공급원(VSS)에 접속된다. 이와 같은 TFT 어레이는 도 7a 내지 도 7d와 같이 4 개의 마스크 공정으로 제작될 수 있다. TFT 어레이에서 상판과 전기적으로 연결되는 금속패드들과 구동 집적회로(Drive IC)와 접촉되는 금속패드부분은 내 부식성이 우수한 폴리타타늄(MoTi)으로 형성된다.
- [0023] 상부기관(SUBS1)과 하부기관(SUBS2)은 투명한 유리기관이나 플라스틱기관으로 제작될 수 있다.
- [0024] 도 7a를 참조하면, 하부기관(SUBS2) 상에는 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 중에서 어느 한 금속 또는 2 이상의 금속이나 합금으로 선택되는 게이트금속이 스퍼터링(Sputtering) 공정으로 증착된다. 게이트금속은 제1 마스크를 이용한 포토리소그래피(Photolithograph) 공정과 습식식각(Wet etch) 공정을 통해 패터닝된다. 그 결과, 하부기관(SUBS2) 상에는 스위치 TFT(SWTFT) 및 구동 TFT(DTFT)의 게이트전극들(G1, G2), 게이트전극들에 연결된 게이트라인들, 게이트라인들 각각의 끝단에 연결된 게이트패드 하부전극(GPADL) 등을 포함한 게이트금속패턴이 형성된다.
- [0025] 도 7b를 참조하면, 게이트금속패턴과 하부기관(SUBS2) 상에는 산화 실리콘(SiO_2) 또는 질화 실리콘(SiNx) 등의 무기 절연재료와 실리콘 등의 반도체 재료가 CVD(chemical vapor deposition) 공정 등으로 연속 증착된다. 이어서, 제2 마스크 공정을 이용한 포토리소그래피 공정과 건식 식각(Dry etch) 공정을 통해 스위치 TFT(SWTFT)와 구동 TFT(DRTFT)의 게이트전극(G1, G2)과 데이터패드 등 필요한 부분을 제외한 나머지 부분의 반도체층을 제거한 후에 잔류하는 반도체패턴(ACT1, ACT2, ACT3)을 마스크로 하여 다시 건식식각을 실시하여 노출된 무기 절연재료를 제거한다. 그 결과, 스위치 TFT(SWTFT)의 게이트전극(G1)을 덮는 게이트 절연패턴(GI)과 그 위에 형성된 제1 액티브 패턴(ACT1), 구동 TFT(DRTFT)의 게이트 전극(G2)에서 일측 에지를 제외하고 나머지 게이트전극(G2)을 덮는 게이트 절연패턴(GI)과 그 위에 형성된 제2 액티브 패턴(ACT2), 데이터패드 영역에서 적층된 게이트 절연패턴(GI) 및 반도체패턴(ACT3)이 하부기관(SUBS2) 상에 형성된다.
- [0026] 도 7c를 참조하면, 액티브패턴들(ACT1, ACT2), 반도체패턴(ACT1), 게이트패드 하부전극(GPADL), 데이터패드의 반도체패턴(ACT3), 및 하부기관(SUBS2) 상에는 폴리타타늄(MoTi)이 스퍼터링 공정으로 전면 증착된 후, 제3 마스크 공정을 이용한 포토리소그래피 공정과 습식 식각 공정을 통해 폴리타타늄(MoTi)이 부분적으로 제거된다. 그리고 스위치 TFT(SWTFT)와 구동 TFT(DRTFT)에서 n+ 이온도핑과 건식식각 공정을 통해 스위치 TFT(SWTFT)와 구동 TFT(DRTFT) 각각에 채널영역이 형성된다. 그 결과, 하부기관(SUBS2) 상에는 각각 폴리타타늄(MoTi)을 포함하는 스위치 TFT(SWTFT)의 소스전극(S1) 및 드레인전극(D1), 구동 TFT(DRTFT)의 소스전극(S2) 및 드레인전극(D2), 게이트패드 상부전극(GPADU), 데이터패드(DPAD) 등을 포함한 폴리타타늄 패턴들이 형성된다.
- [0027] 도 7d를 참조하면, 폴리타타늄 패턴들과 하부기관(SUBS2) 상에는 CVD 공정으로 산화 실리콘(SiO_2), 질화 실리콘(SiNx) 등의 무기 절연재료가 CVD 공정을 통해 전면 증착된 후, 제4 마스크 공정을 이용한 포토리소그래피 공정과 건식공정을 통해 그 무기 절연재료가 부분적으로 제거된다. 그 결과, 구동 TFT(DRTFT)의 드레인전극(D2) 등 상판과 연결되는 금속패드 부분과, 구동 집적회로(IC)와 접촉되는 게이트패드 및 데이터패드 등의 금속패드가 노출되고 그외 나머지 하판 영역은 단일 패시베이션층(PAS)으로 덮여진다.
- [0028] 도 7a 내지 도 7d의 4 개 마스크 공정으로 통해 제작된 하판은 상판과 합착된다. 합착 공정의 결과, 상판 캐소드전극(CAT)은 폴리타타늄(MoTi)으로 이루어진 구동 TFT(DRTFT)의 드레인전극(D2)과 접촉된다. 폴리타타늄(MoTi)은 내 부식성이 우수하여 공기나 습기에 노출되어도 거의 부식되지 않고 상판의 캐소드전극으로 이용되는 알루미늄(Al)과 화학적 반응이 거의 일어나지 않는다. 따라서, 구동 TFT(DRTFT)의 드레인전극(D2)은 폴리타타늄(MoTi)의 단일층으로 형성되고 상판 캐소드전극(CAT)과 직접 접촉될 수 있다.
- [0029] 본 발명의 제1 실시예에 따른 유기발광다이오드 표시소자에서 상판과 하판은 $\text{WWW}3\sim 4\mu\text{m}$ 정도의 두께로 형성되는 콘택 스페이서(CSP)에 의해 전기적으로 연결된다. 하판에서 구동 TFT(DRTFT)의 드레인전극(D2) 등 상판과 연

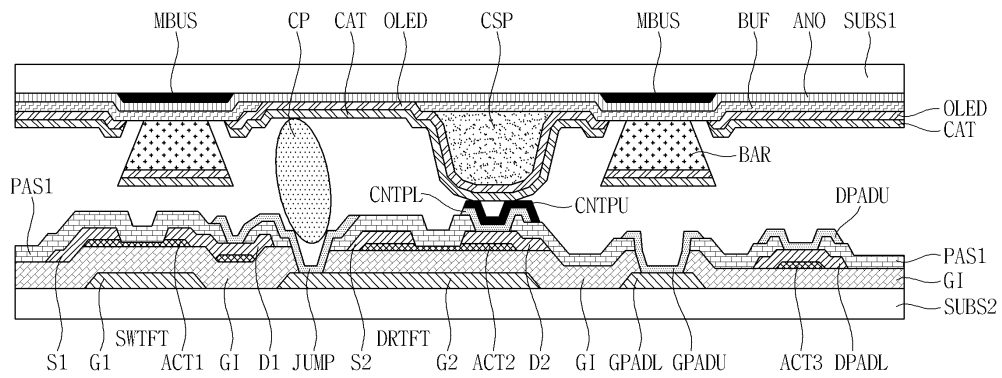
결되는 금속패드 부분과, 구동 집적회로(IC)와 접촉되는 게이트패드 및 데이터패드 등의 금속패드가 노출되고 나머지 부분은 패시베이션층(PAS)으로 덮여진다. 따라서, 도 6과 같이 E제조공정 중에 3~4 μ m 이상의 도전성 파티클(CP)이 상판과 하판 사이에 혼입되더라도 패시베이션층(PAS)에 의해 원치 않는 부분에서 상판과 하판의 쇼트불량이 예방될 수 있다.

- [0030] 도 8은 본 발명의 제2 실시예에 따른 유기발광다이오드 표시소자에서 한 셀의 단면 구조를 보여 준다. 이 유기발광다이오드 표시소자의 등가 회로도는 도 2와 실질적으로 동일하다. 도 6에서, 하판에 형성되는 스토리지 커패시터(CST)와 고전위 전원 공급패드 및 저전위 전원 공급패드는 생략되었다.
- [0031] 도 8을 참조하면, 본 발명의 제2 실시예에 따른 유기발광다이오드 표시소자는 패시브 OLED 어레이가 형성된 상판, TFT 어레이가 형성된 하판을 구비한다.
- [0032] 상판은 전술한 제1 실시예와 실질적으로 동일하므로 동일한 도면부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.
- [0033] TFT 어레이는 하부기관(SUBS2) 상에 형성된 데이터라인과 그 데이터라인에 연결된 데이터 패드, 게이트라인과 그 게이트라인에 연결된 게이트패드, 스위치 TFT(SWTFT), 구동 TFT(DRTFT), 스토리지 커패시터(CST)를 포함한다. 스위치 TFT(SWTFT)의 소스전극(S1)은 데이터라인과 연결되고, 스위치 TFT(SWTFT)의 드레인전극(D1)은 별도의 접피패턴없이 구동 TFT(DRTFT)의 게이트전극(G2)과 직접 연결되는 금속패턴으로 형성된다. 스위치 TFT(SWTFT)의 게이트전극(G1)은 게이트펄스가 순차적으로 공급되는 게이트라인에 연결된다. 구동 TFT(DRTFT)의 소스전극(S2)은 저전위 전원공급원(VSS)에 접속된다. 구동 TFT(DRTFT)의 드레인전극(D2)은 상판의 캐소드전극(CAT)에 후술하는 소스/드레인금속, ITO, 및 몰리브덴(Mo)이 적층된 구조를 가지며, 최상층의 몰리브덴(Mo)이 알루미늄(Al)으로 형성되는 상판의 캐소드전극(CAT)과 접촉된다. 구동 TFT(DRTFT)의 게이트전극(G2)의 일측 에지는 스위치 TFT(SWTFT)의 드레인전극(D1)에 사이드 콘택과 탑 콘택으로 접촉된다. 도시하지 않은 스토리지 커패시터(CST)의 일측 단자는 구동 TFT(DRTFT)의 게이트전극(G2)에 접촉되고 그 타측 단자는 저전위 전원공급원(VSS)에 접속된다. 이와 같은 TFT 어레이는 도 9a 내지 도 9e와 같이 5 개의 마스크 공정으로 제작될 수 있다.
- [0034] 상부기관(SUBS1)과 하부기관(SUBS2)은 투명한 유리기관이나 플라스틱기관으로 제작될 수 있다.
- [0035] 도 9a를 참조하면, 하부기관(SUBS2) 상에는 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 중에서 어느 한 금속 또는 2 이상의 금속이나 합금으로 선택되는 게이트금속이 스퍼터링 공정으로 증착된다. 게이트금속은 제1 마스크를 이용한 포토리소그래피 공정과 습식식각 공정을 통해 패터닝된다. 그 결과, 하부기관(SUBS2) 상에는 스위치 TFT(SWTFT) 및 구동 TFT(DRTFT)의 게이트전극들(G1, G2), 게이트전극들에 연결된 게이트라인들, 게이트라인들 각각의 끝단에 연결된 게이트패드 하부전극(GPADL) 등을 포함한 게이트금속패턴이 형성된다.
- [0036] 도 9b를 참조하면, 게이트금속패턴과 하부기관(SUBS2) 상에는 산화 실리콘(SiO₂) 또는 질화 실리콘(SiNx) 등의 무기 절연재료와 실리콘 등의 반도체 재료가 CVD(chemical vapor deposition) 공정 등으로 연속 증착된다. 이어서, 제2 마스크 공정을 이용한 포토리소그래피 공정과 건식 식각 공정을 통해 스위치 TFT(SWTFT)와 구동 TFT(DRTFT)의 게이트전극(G1, G2)과 데이터패드 등 필요한 부분을 제외한 나머지 부분의 반도체층을 제거한 후에 잔류하는 반도체패턴(ACT1, ACT2, ACT3)을 마스크로 하여 다시 건식식각을 실시하여 노출된 무기 절연재료를 제거한다. 그 결과, 스위치 TFT(SWTFT)의 게이트전극(G1)을 덮는 게이트 절연패턴(GI)과 그 위에 형성된 제1 액티브 패턴(ACT1), 구동 TFT(DRTFT)의 게이트 전극(G2)에서 일측 에지를 제외하고 나머지 게이트전극(G2)을 덮는 게이트 절연패턴(GI)과 그 위에 형성된 제2 액티브 패턴(ACT2), 데이터패드 영역에서 적층된 게이트 절연패턴(GI) 및 반도체패턴(ACT3)이 하부기관(SUBS2) 상에 형성된다.
- [0037] 도 9c를 참조하면, 액티브패턴들(ACT1, ACT2), 반도체패턴들(ACT1), 게이트패드 하부전극(GPADL), 데이터패드의 반도체패턴(ACT3), 및 하부기관(SUBS2) 상에는 몰리브덴(Mo), 크롬(Cr), 구리(Cu) 등에서 선택된 금속, 이들의 적층 또는 합금으로 이루어진 소스/드레인금속과, ITO 등의 투명 도전성 금속이 스퍼터링 공정으로 연속 전면 증착된 후, 제3 마스크 공정을 이용한 포토리소그래피 공정과 습식 식각 공정을 통해 적층된 소스/드레인금속과 ITO가 부분적으로 제거되어 소스/드레인금속과 ITO가 적층된 동일한 패턴이 잔류된다. 그리고 스위치 TFT(SWTFT)와 구동 TFT(DRTFT)에서 n+ 이온도핑과 건식식각 공정을 통해 스위치 TFT(SWTFT)와 구동 TFT(DRTFT) 각각에 채널영역이 형성된다. 그 결과, 하부기관(SUBS2) 상에는 각각 소스/드레인금속과 ITO가 적층된 스위치 TFT(SWTFT)의 소스전극(S1) 및 드레인전극(D1), 구동 TFT(DRTFT)의 소스전극(S2) 및 드레인전극(D2), 게이트패드 상부전극(GPADU), 데이터패드(DPAD) 등을 포함한 소스/드레인금속패턴이 형성된다.

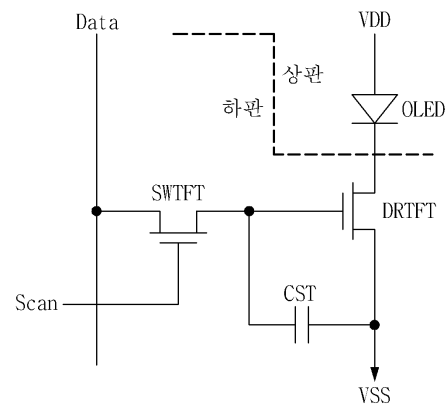
- [0038] 도 9d를 참조하면, 소스/드레인금속패턴, 게이트패드 상부전극(GPADU), 데이터패드(DPAD)과 하부기판(SUBS2) 상에는 CVD 공정으로 산화 실리콘(SiO_2), 질화 실리콘(SiNx) 등의 무기 절연재료가 CVD 공정을 통해 전면 증착된 후, 제4 마스크 공정을 이용한 포토리소그래피 공정과 건식공정을 통해 그 무기 절연재료가 부분적으로 제거된다. 그 결과, 구동 TFT(DRTFT)의 드레인전극(D2) 등 상판과 연결되는 금속패드 부분과, 구동 집적회로(IC)와 접촉되는 게이트패드 및 데이터패드 등의 금속패드가 노출되고 그외 나머지 하판 영역은 단일 패시베이션층(PAS)으로 덮여진다.
- [0039] 도 9e를 참조하면, 패시베이션층(PAS)에는 몰리브덴(Mo) 등 ITO와의 산화반응이 어려운 금속에서 선택된 콘택 금속이 전면 증착된 후에 제5 마스크 공정을 이용한 포토리소그래피 공정과 습식 식각 공정을 통해 적층된 콘택 금속이 부분적으로 제거된다. 그 결과, 상판의 콘택 스페이서(CSP)와 접촉되는 콘택패드(CNTP)가 구동 TFT(DRTFT)의 드레인전극(D2) 상에 형성된다. 한편, ITO가 알루미늄(Al)과 직접 접촉되면 ITO의 산소성분과 알루미늄(Al)의 화학적 반응에 의해 알루미늄이 산화되어 콘택저항이 높아지므로 고전위 전원전압(VDD)이 하판 TFT 어레이에 제대로 전달되지 않는다. 따라서, 콘택패드(CNTP)는 드레인전극(D2)의 ITO와 상판 캐소드전극(CAT)의 알루미늄(Al)이 직접 접촉되지 않도록 하여 콘택 저항 저하를 방지하여 구동 전압을 손실없이 하판에 전달한다.
- [0040] 도 9a 내지 도 9e의 5 개 마스크 공정으로 통해 제작된 하판은 상판과 합착된다. 합착 공정의 결과, 상판 캐소드전극(CAT)은 콘택패드(CNTP)를 통해 구동 TFT(DRTFT)의 드레인전극(D2)과 접촉된다.
- [0041] 본 발명의 제2 실시예에 따른 유기발광다이오드 표시소자에서 상판과 하판은 3~4 μm 정도의 두께로 형성되는 콘택 스페이서(CSP)에 의해 전기적으로 연결된다. 하판에서 구동 TFT(DRTFT)의 드레인전극(D2) 등 상판과 연결되는 금속패드 부분과, 구동 집적회로(IC)와 접촉되는 게이트패드 및 데이터패드 등의 금속패드가 노출되고 나머지 부분은 단일 패시베이션층(PAS)으로 덮여진다. 따라서, 도 8과 같이 제조공정 중에 3~4 μm 이상의 도전성 파티클(CP)이 상판과 하판 사이에 혼입되더라도 단일 패시베이션층(PAS)에 의해 원치 않는 부분에서 상판과 하판의 쇼트불량이 예방될 수 있다.
- [0042] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.
- 도면의 간단한 설명**
- [0043] 도 1은 패시브 OLED 어레이가 형성된 상판과 TFT 어레이가 형성된 하판을 가지는 유기발광다이오드 표시소자의 단면 구조를 보여 주는 단면도이다.
- [0044] 도 2는 도 1과 같은 유기발광 다이오드 표시소자의 한 셀 등가 회로도이다.
- [0045] 도 3은 도 1 및 도 2와 같은 유기발광 다이오드 소자에서 도전성 파티클로 인한 휘점 불량을 보여 주는 회로도이다.
- [0046] 도 4는 도 1 및 도 2와 같은 유기발광 다이오드 소자에서 도전성 파티클로 인한 약휘점 불량을 보여 주는 회로도이다.
- [0047] 도 5는 도전성 파티클로 인하여 초래되는 휘점, 약휘점 문제를 개선하기 위하여 고려될 수 있는 제2 패시베이션층의 추가 형성 방법을 보여 주는 단면도이다.
- [0048] 도 6은 본 발명의 제1 실시예에 따른 유기발광다이오드 표시소자를 보여 주는 단면도이다.
- [0049] 도 7a 내지 도 7d는 도 6에 도시된 유기발광다이오드 표시소자에서 하판 TFT 어레이의 제조방법을 단계적으로 보여 주는 단면도이다.
- [0050] 도 8은 본 발명의 제2 실시예에 따른 유기발광다이오드 표시소자를 보여 주는 단면도이다.
- [0051] 도 9a 내지 도 9e는 도 8에 도시된 유기발광다이오드 표시소자에서 하판 TFT 어레이의 제조방법을 단계적으로 보여 주는 단면도이다.

도면

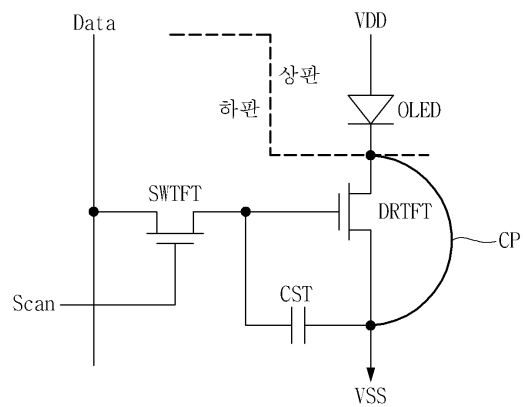
도면1



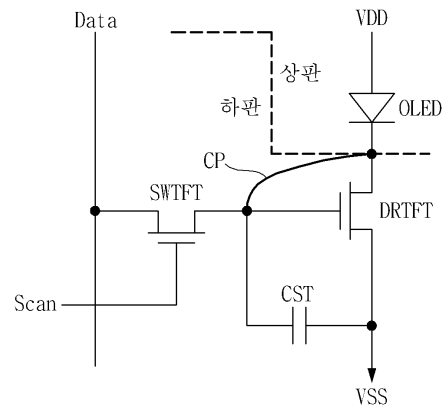
도면2



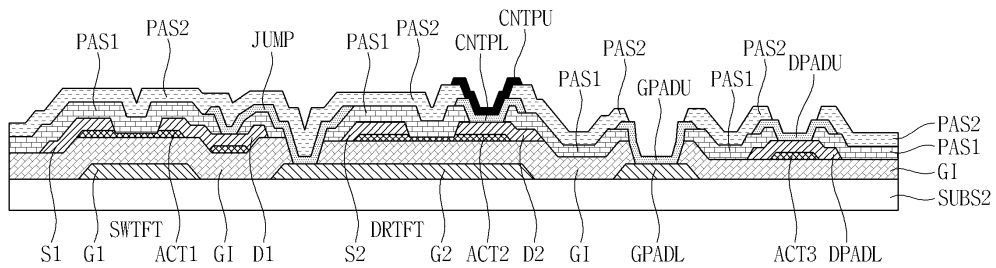
도면3



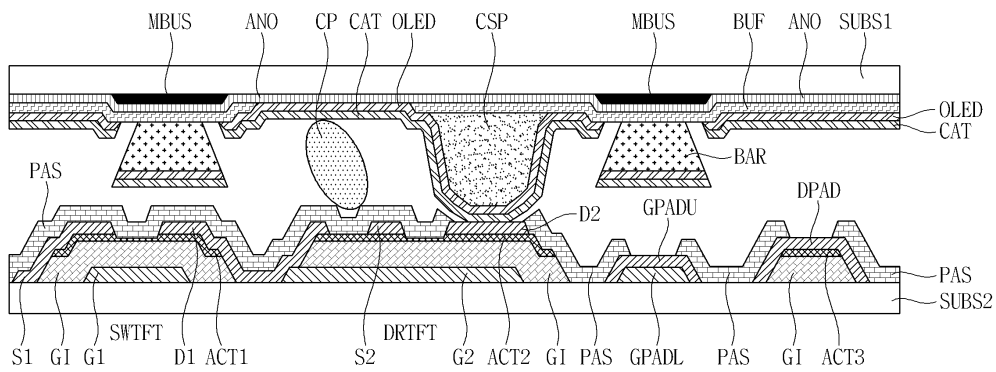
도면4



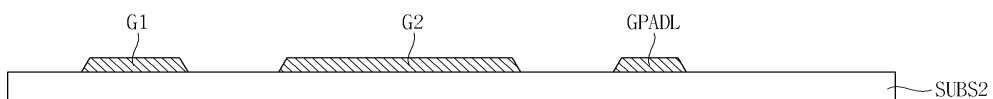
도면5



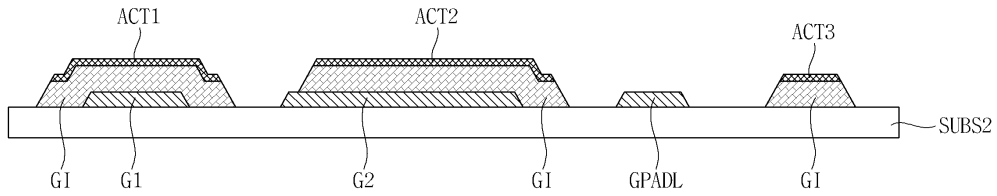
도면6



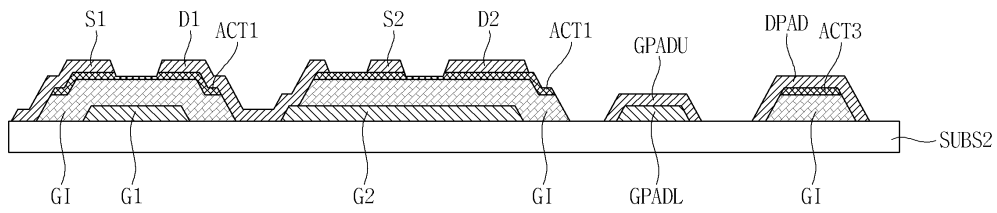
도면7a



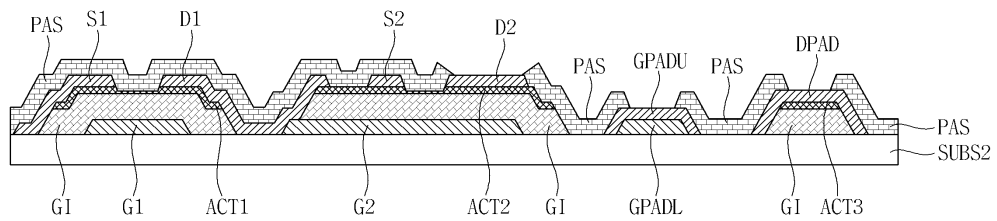
도면7b



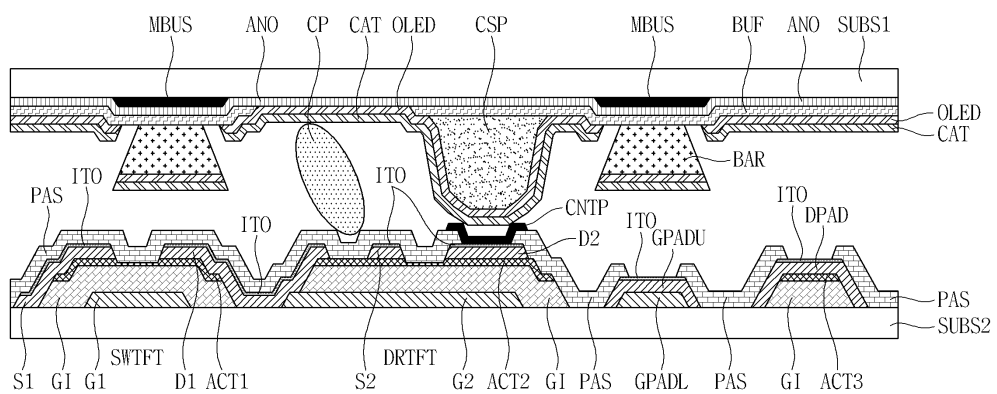
도면7c



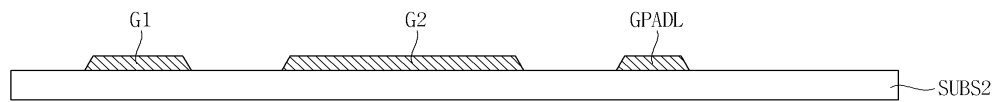
도면7d



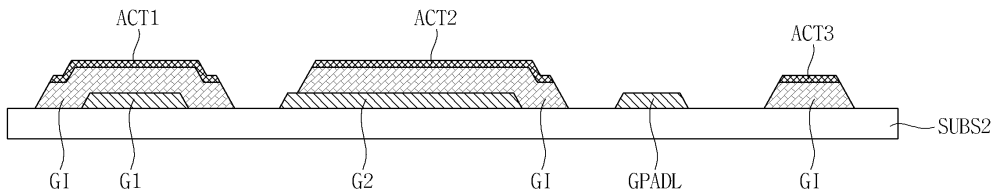
도면8



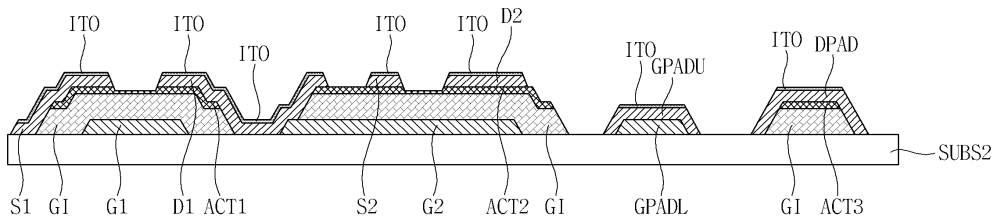
도면9a



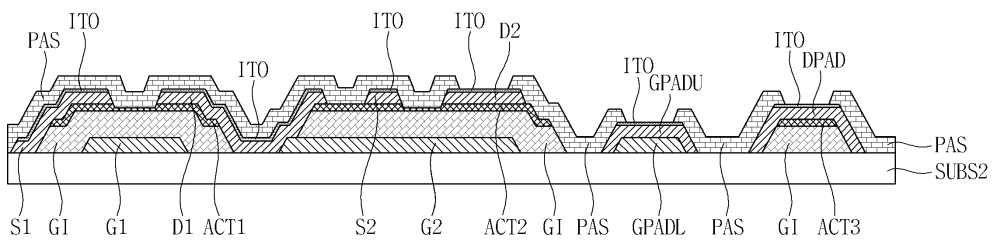
도면9b



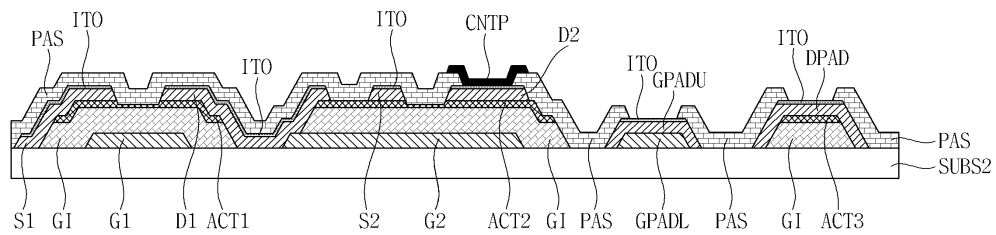
도면9c



도면9d



도면9e



专利名称(译)	有机发光二极管显示元件及其制造方法		
公开(公告)号	KR1020100010810A	公开(公告)日	2010-02-02
申请号	KR1020080071854	申请日	2008-07-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG		
发明人	CHOI HEE DONG		
IPC分类号	H05B33/26 H05B33/22 H05B33/10 H01L51/50		
CPC分类号	H01L51/102 H01L31/161 H01L2924/01042 H01L2924/07025 H01L2924/13069		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示元件及其制造方法本发明涉及有机发光二极管显示元件及其制造方法。的有机发光二极管显示元件的下板绝缘的第一栅极覆盖所述栅极金属图案的栅电极的开关TFT包括栅极焊盘下电极，所述栅线，每个开关TFT和驱动TFT的栅电极的，图案和在其上形成的第一有源图案，覆盖驱动TFT的栅电极的一部分的第二栅极绝缘图案，在其上形成的第二有源图案，第三栅极绝缘图案和在其上形成的半导体图案，源电极和漏电极，驱动源电极的漏电极和TFT的漏极电极，栅极焊盘上电极，源极/漏极金属图案，并且形成在半导体图案驱动TFT包括数据焊盘，该栅极焊盘上电极和单个钝化层暴露数据焊盘并覆盖剩余的剩余下板的。

