



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0120697
(43) 공개일자 2009년11월25일

(51) Int. Cl.

H05B 33/08 (2006.01) H05B 33/26 (2006.01)

H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0046634

(22) 출원일자 2008년05월20일

심사청구일자 2008년05월20일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

강기녕

경기 수원시 영통구 신동 575번지

최덕영

경기 수원시 영통구 신동 575번지

(74) 대리인

리엔목특허법인

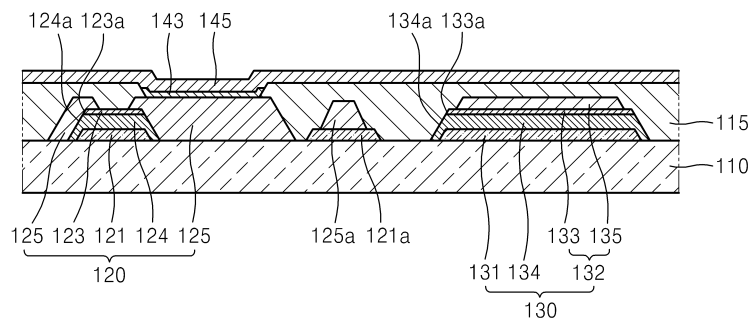
전체 청구항 수 : 총 13 항

(54) 유기 발광 디스플레이 장치 및 그 제조방법

(57) 요약

본 발명은 마스크 이용 횟수가 줄어들어 제조비용을 절감하고 제조가 용이한 유기 발광 디스플레이 장치 및 그 제조방법을 위하여, 기판과, 상기 기판 상에 배치된 게이트전극과, 상기 게이트전극을 감싸도록 패터닝된 게이트 절연막과, 상기 게이트절연막 상에 배치되며 상기 게이트절연막과 동일하게 패터닝된 반도체층과, 상기 반도체층에 각각 접하는 소스전극 및 드레인전극과, 상기 소스전극과 상기 드레인전극 중 어느 하나를 노출시키도록 상기 소스전극과 상기 드레인전극을 덮는 화소정의막과, 상기 소스전극과 상기 드레인전극 중 상기 화소정의막에 의해 노출된 전극 상에 배치되며 발광층을 포함하는 중간층과, 상기 중간층 상부에 배치된 대향전극을 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치 및 그 제조방법을 제공한다.

대표도 - 도3g



특허청구의 범위

청구항 1

기관;

상기 기관 상에 배치된 게이트전극;

상기 게이트전극을 감싸도록 패터닝된 게이트절연막;

상기 게이트절연막 상에 배치되며, 상기 게이트절연막과 동일하게 패터닝된 반도체층;

상기 반도체층에 각각 접하는 소스전극 및 드레인전극;

상기 소스전극과 상기 드레인전극 중 어느 하나를 노출시키도록 상기 소스전극과 상기 드레인전극을 덮는 화소 정의막;

상기 소스전극과 상기 드레인전극 중 상기 화소정의막에 의해 노출된 전극 상에 배치되며, 발광층을 포함하는 중간층; 및

상기 중간층 상부에 배치된 대향전극;을 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 게이트절연막의 단부면과 상기 반도체층의 단부면이 일치하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 3

제1항에 있어서,

상기 소스전극 및 상기 드레인전극은 도전성 물질로 형성된 제1전극층과, 제1전극층 상에 배치되며 ITO, IZO, ZnO 또는 In_2O_3 로 형성된 제2전극층을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 4

제3항에 있어서,

상기 소스전극 및 상기 드레인전극과 일체로 형성되는 배선은 상기 제1전극층과 상기 제1전극층 상에 배치된 제2전극층을 포함하는 구조인 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 5

제1항에 있어서,

상기 소스전극 및 상기 드레인전극과 동일 물질로 형성되며, 상기 게이트전극으로부터 연장된 게이트전극 연장부 상에 배치되는 박막 트랜지스터 전극을 더 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 6

제1항에 있어서,

상기 게이트전극과 동일 물질로 동일 층에 배치된 제1커패시터전극;

상기 게이트절연막과 동일 물질로 형성되며 상기 제1커패시터전극을 감싸도록 패터닝된 커패시터절연막; 및

상기 커패시터절연막과 동일하게 패터닝된 반도체물질층과, 상기 소스전극 및 상기 드레인전극과 동일 물질로 형성되며 상기 반도체물질층 상에 배치된 전극물질층을 포함하고, 상기 커패시터절연막 상에 배치되는 제2커패시터전극;을 더 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 7

제6항에 있어서,

상기 커패시터절연막의 단부면과 상기 반도체물질층의 단부면이 일치하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 8

제1항에 있어서,

상기 반도체층 상에 배치되며, 상기 반도체층과 동일하게 패터닝된 식각 방지층을 더 구비하며, 상기 소스전극 및 상기 드레인전극은 상기 반도체층의 측면에 각각 접하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9

제1항에 있어서,

상기 반도체층 상에 배치되며, 가장자리가 상기 반도체층의 가장자리와 동일하게 패터닝되며 상기 반도체층을 노출시키는 콘택홀들을 내부에 갖는 식각 방지층을 더 구비하며, 상기 소스전극 및 상기 드레인전극은 상기 식각 방지층의 콘택홀을 통해 상기 반도체층에 각각 접하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 10

제8항 또는 제9항에 있어서,

상기 식각 방지층의 외측 단부면과 상기 반도체층의 단부면이 일치하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 11

(a) 기판 상에 게이트전극과, 상기 게이트전극으로부터 연장된 게이트전극 연장부와, 제1커패시터전극을 형성하는 단계;

(b) 상기 게이트전극, 상기 게이트전극 연장부 및 상기 제1커패시터전극을 덮는 제1절연막과 상기 제1절연막을 덮는 반도체물질로 된 층을 형성하고, 상기 제1절연막과 상기 반도체물질로 된 층을 동시에 패터닝함으로써, 상기 게이트전극 연장부를 노출시키고, 상기 게이트전극을 감싸도록 패터닝된 게이트절연막과 상기 게이트절연막 상에 배치되며 상기 게이트절연막과 동일하게 패터닝된 반도체층과, 상기 제1커패시터전극을 감싸도록 패터닝된 커패시터절연막과 상기 커패시터절연막과 동일하게 패터닝된 반도체물질층을 형성하는 단계;

(c) 상기 반도체층에 각각 접하는 소스전극 및 드레인전극과, 상기 게이트전극 연장부에 접하는 박막 트랜지스터 전극과, 상기 반도체물질층에 접하는 전극물질층을 형성하는 단계; 및

(d) 상기 소스전극, 드레인전극, 박막 트랜지스터 전극 및 전극물질층을 덮는 제2절연막을 형성하고, 상기 제2절연막을 패터닝하여 상기 소스전극과 상기 드레인전극 중 어느 하나를 노출시키는 화소정의막을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 12

제11항에 있어서,

상기 (c) 단계에서 형성되는 소스전극, 드레인전극, 박막 트랜지스터 전극 및 전극물질층은 도전성 물질로 형성된 제1전극층과, 제1전극층 상에 배치되며 ITO, IZO, ZnO 또는 In_2O_3 로 형성된 제2전극층을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 13

제11항에 있어서,

상기 (b) 단계는, 상기 게이트절연막의 단부면과 상기 패터닝된 반도체층의 단부면이 일치하고, 상기 커패시터절연막의 단부면과 상기 패터닝된 반도체물질층의 단부면이 일치하도록 하는 단계인 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 유기 발광 디스플레이 장치 및 그 제조방법에 관한 것으로서, 더 상세하게는 마스크 이용 횟수가 줄어들어 제조비용을 절감하고 제조가 용이한 유기 발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

배경 기술

- <2> 일반적으로 유기 발광 디스플레이 장치는 화소전극과, 화소전극과 대향하는 대향전극과, 화소전극과 대향전극 사이에 개재된 발광층을 포함하는 중간층을 갖는 유기 발광 소자를 디스플레이 소자로 구비하는 평판 디스플레이 장치이다. 이러한 유기 발광 디스플레이 장치는 각 유기 발광 소자의 작동을 제어하는 박막 트랜지스터들을 구비한다.
- <3> 도 1a 내지 도 1g는 종래의 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 도시하는 단면도들이고, 도 1h는 그제 의해 제조된 종래의 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.
- <4> 종래의 유기 발광 디스플레이 장치의 제조방법에 따르면, 도 1a에 도시된 것과 같이 제1마스크를 이용하여 기판(10) 상에 게이트전극(21), 게이트전극 연장부(21a) 및 제1커패시터전극(31)을 형성한다. 이는 제1마스크를 이용한 증착을 통해 형성할 수도 있고, 기판(10) 상에 도전층을 형성한 후 이를 제1마스크를 이용하여 패터닝함으로써 형성할 수도 있다. 그 후 도 1b에 도시된 것과 같이 제2마스크를 이용하여 게이트전극 연장부(21a)를 노출시키며 게이트전극(21) 및 제1커패시터전극(31)을 덮는 절연막(14)을 형성한다. 게이트전극 연장부(21a)는 게이트전극(21)으로부터 연장된 부분으로서, 게이트전극(21)과 층을 달리하여 배치되며 게이트전극(21)에 전기적으로 연결되는 소자가 접속되는 부분이다. 그리고 제3마스크를 이용하여 도 1c에 도시된 것과 같이 게이트전극(21)의 상부에 반도체층(23)을 형성한다. 이에 의해 절연막(14)의 일부는 게이트절연막(24)으로 기능하고, 다른 일부는 커패시터절연막(34)으로 기능한다. 이어 제4마스크를 이용하여 도 1d에 도시된 것과 같이 반도체층(23)에 접하는 소스/드레인전극(25), 게이트전극 연장부(21a)에 접하는 박막 트랜지스터 전극(25a) 및 제1커패시터전극(31)에 대응하는 제2커패시터전극(35)을 형성한다. 그 후 제5마스크를 이용하여 도 1e에 도시된 바와 같이 소스/드레인전극(25) 중 어느 하나를 노출시키는 평탄화막(12)을 형성하고, 제6마스크를 이용하여 도 3f에 도시된 바와 같이 노출된 소스/드레인전극(25)에 연결되는 화소전극(41)을 형성하며, 제7마스크를 이용하여 도 1g에 도시된 바와 같이 화소전극(41)의 가장자리를 덮는 화소정의막(15)을 형성한다. 이 후 도 1h에 도시된 바와 같이 중간층(43) 및 대향전극(45)을 형성함으로써 유기 발광 디스플레이 장치를 제조하였다.
- <5> 그러나 이러한 종래의 유기 발광 디스플레이 장치의 제조방법에 따르면, 상술한 바와 같이 화소정의막(15)을 형성하기까지 총 7번의 마스크 공정을 거쳐야만 하는 바, 사용하는 마스크의 수도 많고 공정이 복잡하므로 제조비용이 증가하고 수율이 낮다는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

- <6> 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 마스크 이용 횟수가 줄어들어 제조비용을 절감하고 제조가 용이한 유기 발광 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제 해결수단

- <7> 본 발명은 기판과, 상기 기판 상에 배치된 게이트전극과, 상기 게이트전극을 감싸도록 패터닝된 게이트절연막과, 상기 게이트절연막 상에 배치되며 상기 게이트절연막과 동일하게 패터닝된 반도체층과, 상기 반도체층에 각각 접하는 소스전극 및 드레인전극과, 상기 소스전극과 상기 드레인전극 중 어느 하나를 노출시키도록 상기 소스전극과 상기 드레인전극을 덮는 화소정의막과, 상기 소스전극과 상기 드레인전극 중 상기 화소정의막에 의해 노출된 전극 상에 배치되며 발광층을 포함하는 중간층과, 상기 중간층 상부에 배치된 대향전극을 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치를 제공한다.

- <8> 이러한 본 발명의 다른 특징에 의하면, 상기 게이트절연막의 단부면과 상기 반도체층의 단부면이 일치하는 것으로 할 수 있다.
- <9> 본 발명의 또 다른 특징에 의하면, 상기 소스전극 및 상기 드레인전극은 도전성 물질로 형성된 제1전극층과, 제1전극층 상에 배치되며 ITO, IZO, ZnO 또는 In_2O_3 로 형성된 제2전극층을 포함하는 것으로 할 수 있다.
- <10> 본 발명의 또 다른 특징에 의하면, 상기 소스전극 및 상기 드레인전극과 일체로 형성되는 배선은 상기 제1전극층과 상기 제1전극층 상에 배치된 제2전극층을 포함하는 구조인 것으로 할 수 있다.
- <11> 본 발명의 또 다른 특징에 의하면, 상기 소스전극 및 상기 드레인전극과 동일 물질로 형성되며, 상기 게이트전극으로부터 연장된 게이트전극 연장부 상에 배치되는 박막 트랜지스터 전극을 더 포함하는 것으로 할 수 있다.
- <12> 본 발명의 또 다른 특징에 의하면, 상기 게이트전극과 동일 물질로 동일 층에 배치된 제1커패시터전극과, 상기 게이트절연막과 동일 물질로 형성되며 상기 제1커패시터전극을 감싸도록 패터닝된 커패시터절연막과, 상기 커패시터절연막과 동일하게 패터닝된 반도체물질층과 상기 소스전극 및 상기 드레인전극과 동일 물질로 형성되며 상기 반도체물질층 상에 배치된 전극물질층을 포함하고 상기 커패시터절연막 상에 배치되는 제2커패시터전극을 더 구비하는 것으로 할 수 있다.
- <13> 본 발명의 또 다른 특징에 의하면, 상기 커패시터절연막의 단부면과 상기 반도체물질층의 단부면이 일치하는 것으로 할 수 있다.
- <14> 본 발명의 또 다른 특징에 의하면, 상기 반도체층 상에 배치되며, 상기 반도체층과 동일하게 패터닝된 식각 방지층을 더 구비하며, 상기 소스전극 및 상기 드레인전극은 상기 반도체층의 측면에 각각 접하는 것으로 할 수 있다.
- <15> 본 발명의 또 다른 특징에 의하면, 상기 반도체층 상에 배치되며, 가장자리가 상기 반도체층의 가장자리와 동일하게 패터닝되며 상기 반도체층을 노출시키는 컨택홀들을 내부에 갖는 식각 방지층을 더 구비하며, 상기 소스전극 및 상기 드레인전극은 상기 식각 방지층의 컨택홀을 통해 상기 반도체층에 각각 접하는 것으로 할 수 있다.
- <16> 본 발명의 또 다른 특징에 의하면, 상기 식각 방지층의 외측 단부면과 상기 반도체층의 단부면이 일치하는 것으로 할 수 있다.
- <17> 본 발명은 또한, (a) 기판 상에 게이트전극과, 상기 게이트전극으로부터 연장된 게이트전극 연장부와, 제1커패시터전극을 형성하는 단계와, (b) 상기 게이트전극, 상기 게이트전극 연장부 및 상기 제1커패시터전극을 덮는 제1절연막과 상기 제1절연막을 덮는 반도체물질로 된 층을 형성하고, 상기 제1절연막과 상기 반도체물질로 된 층을 동시에 패터닝함으로써, 상기 게이트전극 연장부를 노출시키고, 상기 게이트전극을 감싸도록 패터닝된 게이트절연막과 상기 게이트절연막 상에 배치되며 상기 게이트절연막과 동일하게 패터닝된 반도체층과, 상기 제1커패시터전극을 감싸도록 패터닝된 커패시터절연막과 상기 커패시터절연막과 동일하게 패터닝된 반도체물질층을 형성하는 단계와, (c) 상기 반도체층에 각각 접하는 소스전극 및 드레인전극과, 상기 게이트전극 연장부에 접하는 박막 트랜지스터 전극과, 상기 반도체물질층에 접하는 전극물질층을 형성하는 단계와, (d) 상기 소스전극, 드레인전극, 박막 트랜지스터 전극 및 전극물질층을 덮는 제2절연막을 형성하고, 상기 제2절연막을 패터닝하여 상기 소스전극과 상기 드레인전극 중 어느 하나를 노출시키는 화소정의막을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법을 제공한다.
- <18> 이러한 본 발명의 다른 특징에 의하면, 상기 (c) 단계에서 형성되는 소스전극, 드레인전극, 박막 트랜지스터 전극 및 전극물질층은 도전성 물질로 형성된 제1전극층과, 제1전극층 상에 배치되며 ITO, IZO, ZnO 또는 In_2O_3 로 형성된 제2전극층을 포함하는 것으로 할 수 있다.
- <19> 이러한 본 발명의 또 다른 특징에 의하면, 상기 (b) 단계는, 상기 게이트절연막의 단부면과 상기 패터닝된 반도체층의 단부면이 일치하고, 상기 커패시터절연막의 단부면과 상기 패터닝된 반도체물질층의 단부면이 일치하도록 하는 단계인 것으로 할 수 있다.
- 효 과**
- <20> 상기한 바와 같이 이루어진 본 발명의 유기 발광 디스플레이 장치 및 그 제조방법에 따르면, 마스크 이용 횟수가 줄어들어 제조비용을 절감하고 제조가 용이한 유기 발광 디스플레이 장치를 구현할 수 있다.

발명의 실시를 위한 구체적인 내용

- <21> 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.
- <22> 도 2는 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 일 화소를 개략적으로 도시한 회로도이다. 유기 발광 디스플레이 장치의 각 화소는, 구동 박막 트랜지스터(120) 및 이에 전기적으로 연결된 유기 발광 소자(140)를 구비한다. 물론 도 2에 도시된 것과 같이 그 외에도 스위칭 박막 트랜지스터(152) 및/또는 커패시터(130)를 구비할 수도 있으며, 그 외의 다른 소자를 구비할 수도 있다. 또한 도 2에서는 박막 트랜지스터들이 P형 박막 트랜지스터인 것으로 도시되어 있으나, N형 박막 트랜지스터일 수도 있는 등 다양한 변형이 가능하다. 이하에서는 편의상 도 2에 도시된 것과 같은 구조에 대해 설명한다.
- <23> 스위칭 박막 트랜지스터(152)의 소스전극 및 드레인전극 중 어느 하나는 제1도선(161)에 의하여 구동 회로에 연결되고, 스위칭 박막 트랜지스터(152)의 게이트전극은 제2도선(163)에 의하여 구동 회로에 연결되며, 스위칭 박막 트랜지스터(152)의 소스/드레인전극 중 제1도선(161)에 연결되지 않은 전극은 커패시터(130)의 제1커패시터전극(131) 및 구동 박막 트랜지스터(120)의 게이트전극(121)과 연결된다. 상기와 같은 구성에 있어서, 제1도선(161)이 데이터를 전송하는 데이터라인(data line), 제2도선(163)이 스캔라인(scan line)에 해당하는 것으로 할 수 있다.
- <24> 구동 박막 트랜지스터(120)의 소스/드레인전극(125) 중 어느 하나와 커패시터(130)의 제2커패시터전극(342)은 제3도선(165)과 연결되고, 구동 박막 트랜지스터(120)의 소스/드레인전극(125) 중 제3도선(165)에 연결되지 않은 전극은 유기발광 소자(140)의 화소전극(125)과 연결된다. 여기서 화소전극(125)은 구동 박막 트랜지스터(120)의 소스/드레인전극(125) 중 제3도선(165)에 연결되지 않은 전극과 일체로 형성되므로 참조번호가 동일하다. 유기발광 소자(140)의 대향전극(145)은 화소전극(125)과 소정의 간격을 두고 대향 배치되고, 화소전극(125)과 대향전극(125) 사이에는 적어도 발광층을 포함하는 중간층이 구비된다.
- <25> 도 3a 내지 도 3f는 도 2의 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 도시하는 단면도들이다.
- <26> 먼저 도 3a에 도시된 바와 같이 제1마스크를 이용하여 기판(110) 상에 게이트전극(121), 게이트전극 연장부(121a) 및 제1커패시터전극(131)을 형성한다. 이는 제1마스크를 이용한 증착을 통해 형성할 수도 있고, 기판(110) 상에 도전층을 형성한 후 이를 제1마스크를 이용하여 패터닝함으로써 형성할 수도 있다. 기판(110)으로는 글라스재 기판뿐만 아니라 아크릴과 같은 다양한 플라스틱재 기판을 사용할 수도 있으며, 더 나아가 금속판을 사용할 수도 있다. 이 기판(110)에는 전극들을 형성하기에 앞서 필요에 따라 버퍼층(미도시)이 더 구비될 수도 있다. 게이트전극(121), 게이트전극 연장부(121a) 및 제1커패시터전극(131)은 동시에 형성되므로 동일 물질로 형성될 수 있는데, 예컨대 Mo, W, Al, Cu, Ag 및/또는 이들의 합금 등을 비롯한 다양한 도전성 물질로 형성될 수 있다.
- <27> 그 후 도 3b에 도시된 것과 같이 게이트전극(121), 게이트전극 연장부(121a) 및 제1커패시터전극(131)을 덮는 제1절연막(114)과 제1절연막(114)을 덮는 반도체물질로 된 층(113)을 형성한다. 제1절연막(114)은 실리콘 옥사이드 또는 실리콘 나이트라이드 등과 같은 절연성 물질로 형성될 수 있으며, 반도체물질로 된 층(113)은 다양한 유기 반도체 물질로 형성될 수 있다. 제1절연막(114)은 후에 게이트절연막 및/또는 커패시터절연막으로 기능하게 된다. 그 후, 제2마스크를 이용하여 제1절연막(114)과 반도체물질로 된 층(113)을 동시에 패터닝한다. 그에 의해 게이트전극 연장부(121a)가 노출된다. 또한, 그에 의해 게이트전극(121)을 감싸도록 패터닝된 게이트절연막(124)과 게이트절연막(124) 상에 배치되며 게이트절연막(124)과 동일하게 패터닝된 반도체층(123)과, 제1커패시터전극(131)을 감싸도록 패터닝된 커패시터절연막(134)과 커패시터절연막(134)과 동일하게 패터닝된 반도체물질층(133)이 형성된다. 이 과정에서 게이트절연막(124)의 단부면(124a)과 패터닝된 반도체층(123)의 단부면(123a)이 일치하게 되고, 커패시터절연막(134)의 단부면(134a)과 패터닝된 반도체물질층(133)의 단부면(133a)이 일치하게 된다.
- <28> 그 후, 제3마스크를 이용하여 도 3d에 도시된 것과 같이 반도체층(123)에 각각 접하는 소스/드레인전극(125)과, 게이트전극 연장부(121a)에 접하는 박막 트랜지스터 전극(125a)과, 반도체물질층(133)에 접하는 전극물질층(135)을 형성한다. 이는 제3마스크를 이용한 증착을 통해 형성할 수도 있고, 기판(110)의 전면(全面)에 도전층을 형성한 후 이를 제3마스크를 이용하여 패터닝함으로써 형성할 수도 있다. 소스/드레인전극(125), 박막 트랜지스터 전극(125a) 및 전극물질층(135)은 동일 물질로 동시에 형성될 수 있는데, 예컨대 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및/또는 이들의 화합물과 같은 다양한 도전성 물질로 형성될 수 있다. 물론 ITO, IZO, ZnO

또는 In_2O_3 와 같은 투명 도전성 물질로 형성될 수도 있음은 물론이다.

- <29> 소스/드레인전극(125), 박막 트랜지스터 전극(125a) 및 전극물질층(135)을 형성한 후, 도 3e에 도시된 것과 같이 소스/드레인전극(125), 박막 트랜지스터 전극(125a) 및 전극물질층(135)을 덮는 제2절연막(115a)을 형성한다. 그리고 제4마스크를 이용하여 도 3f에 도시된 바와 같이 제2절연막(115a)을 패터닝하여 화소정의막(115)을 형성하는데, 이 화소정의막(115)은 소스/드레인전극(125) 중 어느 하나를 노출시키도록 패터닝된다. 물론 제4마스크를 이용하여 증착함으로써 도 3e에 도시된 것과 달리 바로 도 3f에 도시된 것과 같은 화소정의막(115)을 형성할 수도 있음은 물론이다. 화소정의막(115)은 다양한 유기기 절연막으로 형성될 수 있는데, 예컨대 실리콘 옥사이드, 실리콘 나이트라이드 및/또는 아크릴 등으로 형성될 수 있다. 또한 도 3f에 도시된 것과 달리 단일층이 아니라 다중층을 가질 수도 있는데, 예컨대 아크릴 등으로 형성된 층(평탄화층, 평탄화막)과 그 상부에 실리콘 나이트라이드 또는 실리콘 옥사이드 등으로 형성된 층을 가질 수도 있다. 이 경우 다중층들을 동시에 제4마스크를 이용하여 패터닝할 수 있기 때문에 추가적인 패터닝공정이 필요하지 않게 된다.
- <30> 이와 같은 과정을 거친 후, 도 3g에 도시된 것과 같이 소스/드레인전극(125) 중 화소정의막(115)에 의해 노출된 전극 상에 중간층(143)을 형성하고 중간층(143) 상부에 대향전극(145)을 형성함으로써, 유기 발광 디스플레이 장치를 완성하게 된다.
- <31> 중간층(143)은 저분자 또는 고분자 물질로 형성될 수 있다. 저분자 물질을 사용할 경우 정공 주입층(HIL: hole injection layer), 정공 수송층(HTL: hole transport layer), 유기 발광층(EML: emission layer), 전자 수송층(ETL: electron transport layer), 전자 주입층(EIL: electron injection layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 재료도 구리 프탈로시아닌(CuPc : copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 물질은 마스크들을 이용한 진공증착 등의 방법으로 형성될 수 있다. 고분자 물질의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 물질을 사용한다.
- <32> 대향전극(145)은 투명 소재로 형성될 때에는 일함수가 작은 금속, 즉 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 또는 이들의 화합물을 중간층(145)을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO 또는 In_2O_3 등의 투명 전극 형성용 물질로 형성된 보조 전극이나 버스 전극 라인을 형성함으로써 구비될 수 있다. 반사형 물질로 형성될 때에는 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 또는 이들의 화합물을 전면 증착하여 형성할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니며, 그 외의 다양한 물질로 형성될 수도 있음은 물론이다.
- <33> 이와 같은 본 실시예에 따른 유기 발광 디스플레이 장치의 제조방법에 따르면, 전술한 종래의 유기 발광 디스플레이 장치의 제조방법에서 화소정의막을 형성하기까지 총 7개의 마스크를 사용한 것과 달리, 화소정의막(115)을 형성하기까지 총 4개의 마스크만을 이용하게 된다. 따라서 제조공정을 단순화하고 제조비용을 절감할 수 있으며 수율의 향상을 도모할 수 있다.
- <34> 한편, 필요에 따라 소스/드레인전극(125)과 반도체층(123) 사이에 n^+ 층 또는 p^+ 층을 개재시킬 수도 있다. 이 경우, 제조공정에 있어서 소스/드레인전극(125), 박막 트랜지스터 전극(125a) 및 전극물질층(135)을 형성하기에 앞서, 반도체층(123)의 소스/드레인전극(125)과 접촉할 영역 상에 별도의 마스크를 이용하여 n^+ 층 또는 p^+ 층을 형성하는 단계를 더 거칠 수도 있다. 이 경우 캐패시터(130)의 반도체물질층(133) 상에는 그와 같은 층이 형성되지 않도록 할 수도 있다. 이 경우에도 전술한 종래의 유기 발광 디스플레이 장치의 제조방법에서 화소정의막을 형성하기까지 총 7개의 마스크를 사용한 것과 달리, 화소정의막(115)을 형성하기까지 총 5개의 마스크만을 이용하게 된다. 따라서 제조공정을 단순화하고 제조비용을 절감할 수 있으며 수율의 향상을 도모할 수 있다.
- <35> 도 3g는 상기와 같은 방법을 통해 제조된 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다. 도 3g를 참조하면, 기판(110) 상에 배치된 게이트전극(121)과, 게이트전극(121)을 감싸도록 패터닝된 게이트절연막(124)과, 게이트절연막(124) 상에 배치되며 게이트절연막(124)과 동일하게 패터닝된 반도체층(123)과, 반도체층(123)에 각각 접하는 소스/드레인전극(125)을 포함하는 구동 박막 트랜지스터(120)가 배치되고, 이 구동 박막 트랜지스터(120)의 소스/드레인전극(125) 중 어느 하나를 노출시키도록 구동 박막 트랜지스터(120)를 덮는 화소정의막(115) 상에 적어도 발광층을 포함하는 중간층(143)이 배치되며, 이 중간층(143) 상부에 배치된 대향전극(145)을 구비하는 유기 발광 디스플레이 장치가 된다. 여기서 소스/드레인전극(125) 중

화소정의막(115)에 의해 노출된 전극은 화소전극을 겸하게 된다.

- <36> 상기와 같은 구조에 있어서, 게이트절연막(124)의 단부면(124a)과 반도체층(123)의 단부면(123a)이 일치하게 될 수 있다. 물론 게이트절연막(124)과 반도체층(123)을 동시에 패터닝하여 형성하는 과정에서 식각물 등이 상이함에 따라 게이트절연막(124)의 단부면(124a)과 반도체층(123)의 단부면(123a)이 일치하지 않게 될 수도 있다.
- <37> 한편, 도 3g에 도시된 것과 같이, 그리고 전술한 제조방법의 설명에서 상술한 바와 같이 게이트전극(121)으로부터 연장된 게이트전극 연장부(121a)와, 게이트전극 연장부(121a) 상에 배치된 박막 트랜지스터 전극(125a)을 더 구비할 수 있는데, 여기서 박막 트랜지스터 전극(125a)은 예컨대 도 2의 스위칭 박막 트랜지스터(152)의 소스/드레인전극 중 구동 박막 트랜지스터(120)의 게이트전극(121)에 전기적으로 연결되는 전극일 수 있다.
- <38> 또한, 도 3g에 도시된 것과 같이, 그리고 전술한 제조방법의 설명에서 상술한 바와 같이, 본 실시예에 따른 유기 발광 디스플레이 장치는 게이트전극(121)과 동일 물질로 동일 층에 배치된 제1커패시터전극(131)과, 제2커패시터전극(132)과, 게이트절연막(124)과 동일 물질로 형성되며 제1커패시터전극(131)을 감싸도록 패터닝된 커패시터절연막(134)을 구비할 수 있다. 제2커패시터전극(132)은 커패시터절연막(134)과 동일하게 패터닝된 반도체물질층(133)과, 소스/드레인전극(125)과 동일 물질로 형성되며 반도체물질층(133) 상에 배치된 전극물질층(135)을 포함한다. 이러한 커패시터에 있어서 커패시터절연막(134)과 반도체물질층(133)은 동시에 패터닝되기 때문에, 커패시터절연막(134)의 단부면(134a)과 반도체물질층(133)의 단부면(133a)이 일치하게 될 수 있다. 물론 커패시터절연막(134)과 반도체물질층(133)을 동시에 패터닝하여 형성하는 과정에서 식각물 등이 상이함에 따라 커패시터절연막(134)의 단부면(134a)과 반도체물질층(133)의 단부면(133a)이 일치하지 않게 될 수도 있다.
- <39> 이와 같은 본 실시예에 따른 유기 발광 디스플레이 장치는, 전술한 종래의 유기 발광 디스플레이 장치의 제조방법에서 화소정의막을 형성하기까지 총 7개의 마스크를 사용한 것과 달리, 화소정의막(115)을 형성하기까지 총 4개의 마스크만을 이용하여 제조하게 된다. 따라서 제조공정을 단순화하고 제조비용을 절감할 수 있으며 수율의 향상을 도모할 수 있다.
- <40> 한편, 도 3b와 같은 상태에서 도 3c에 도시된 것과 같은 형상을 만들기 위하여 제조공정에 있어서 기관(110)의 전면(全面)에 도전층을 형성한 후 이를 제3마스크를 이용하여 패터닝함으로써 소스/드레인전극(125), 박막 트랜지스터 전극(125a) 및 전극물질층(135)을 형성할 시, 게이트전극(121) 상부의 반도체층(123)이 손상될 수도 있다. 따라서, 본 발명의 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시하는 도 4에 나타난 것과 같이, 마스크 사용을 1회 추가하여, 패터닝된 반도체층(123)을 형성한 후 패터닝된 반도체층(123) 상의 식각 방지층(etching stopping layer, 126)을 형성하는 공정을 더 거칠 수도 있다. 이 경우 커패시터(130)의 반도체물질층(133) 상에는 식각 방지층이 형성되지 않도록 하여, 반도체물질층(133)과 그 상부의 전극물질층(135)이 전기적으로 연결되어 제2커패시터전극(132)이 되도록 한다.
- <41> 이 경우에도 전술한 종래의 유기 발광 디스플레이 장치의 제조방법에서 화소정의막을 형성하기까지 총 7개의 마스크를 사용한 것과 달리, 화소정의막(115)을 형성하기까지 총 5개의 마스크만을 이용하게 된다. 따라서 제조공정을 단순화하고 제조비용을 절감할 수 있으며 수율의 향상을 도모할 수 있다. 이와 같은 유기 발광 디스플레이 장치의 경우, 도 4에 도시된 것과 같이 식각 방지층(126)이 패터닝된 반도체층(123) 상에 배치되며, 패터닝된 반도체층(123)과 동일하게 패터닝되어 있게 된다. 그리고 소스전극 및 드레인전극(125)은 패터닝된 반도체층(123)의 측면에 각각 접하게 된다.
- <42> 물론 식각 방지층(126)을 패터닝된 반도체층(123)을 형성한 후에 형성하는 것이 아니라, 패터닝된 반도체층(123)을 형성하기 전에 반도체 물질로 된 층(113) 상에 식각 방지층용 물질층을 형성하고, 패터닝된 반도체층(123)을 형성하기 위하여 반도체 물질로 된 층(113)을 패터닝할 시, 동시에 식각 방지층용 물질층을 패터닝하여 식각 방지층(126)을 형성할 수도 있는 등 다양한 변형이 가능하다.
- <43> 한편, 도 3b에 도시된 것과 같이 게이트전극(121), 게이트전극 연장부(121a) 및 제1커패시터전극(131)을 덮는 제1절연막(114)과 제1절연막(114)을 덮는 반도체물질로 된 층(113)을 형성한 후, 도 5a에 도시된 것과 같이 반도체 물질로 된 층(113)을 덮도록 식각 방지층용 물질층(126a)을 형성할 수도 있다. 이 경우 식각 방지층용 물질층(126a)의 두께는 위치에 따라 상이한데, 하프톤 마스크를 이용하여 이와 같은 형상으로 형성하는 것이 가능하다. 도 5a에 도시된 것과 같이 제1커패시터전극(131)에 대응하며, 게이트전극(121)에 대응하도록 식각 방지층용 물질층(126a)을 형성하되, 식각 방지층용 물질층(126a)의 게이트전극(121)의 일부분에 대응하는 부분의 두께가 다른 부분의 두께보다 두껍다. 이와 같은 상태에서 식각을 하게 되면, 식각 방지층용 물질층(126a)으로 덮이지 않은 제1절연막(114)과 반도체층 형성용 물질층(113)의 부분은 모두 제거되고 식각 방지층용 물질층(126a)의

두께가 얇은 부분 역시 제거되어, 도 5b에 도시된 것과 같이 게이트절연막(123)과, 커패시터절연막(134)과, 게이트절연막(124)과 동일하게 패터닝된 반도체층(123)과, 제1커패시터전극(131)을 감싸도록 패터닝된 커패시터절연막(134)과, 커패시터절연막(134)과 동일하게 패터닝된 반도체물질층(133)과, 반도체층(123) 상에 배치되며 가장자리가 반도체층(123)의 가장자리와 동일하게 패터닝된 반도체층(123)을 노출시키는 컨택홀들을 내부에 갖는 식각 방지층(126)을 형성하게 된다. 그리고 이후 제조공정을 거쳐 도 5c에 도시된 것과 같이 결과적으로 소스전극 및 드레인전극(125)은 식각 방지층(126)의 컨택홀을 통해 반도체층(123)에 각각 접하게 된다.

<44> 도 6은 본 발명의 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

<45> 본 실시예에 따른 유기 발광 디스플레이 장치가 도 3g를 참조하여 전술한 유기 발광 디스플레이 장치와 상이한 점은, 소스/드레인전극(125)과, 박막 트랜지스터 전극(125a)과, 제2커패시터전극(132)의 전극물질층(135)의 구조가 2층구조라는 것이다. 전술한 바와 같이 소스/드레인전극(125)이 유기 발광 소자의 화소전극의 기능까지 하는 바, 이에 따라 소스/드레인전극(125)의 일함수와 중간층(143)의 HOMO/LUMO 에너지 레벨 사이의 관계를 적절하게 조절할 필요가 있다. 또한 동시에 소스/드레인전극(125) 등의 높은 도전성을 유지할 필요가 있다. 이를 위하여 소스/드레인전극(125)이 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및/또는 이들의 화합물과 같은 도전성 물질로 형성된 제1전극층(1251)과, 제1전극층(1251) 상에 배치되며 ITO, IZO, ZnO 또는 In₂O₃로 형성된 제2전극층(1252)을 포함하도록 할 수 있다. 물론 이 경우 소스/드레인전극(125)과 일체로 형성되는 배선 역시 제1전극층과 제1전극층 상에 배치된 제2전극층을 포함하는 구조가 된다. 그리고 도 6에 도시된 것과 같이 박막 트랜지스터 전극(125a) 역시 제1층(1251a)과 제2층(1252a)의 2층 구조를 갖게 되며, 전극물질층(135) 역시 제1층(1351)과 제2층(1352)의 2층 구조를 갖게 된다. 이러한 구조를 통해 소스/드레인전극(125)으로부터 중간층(143)으로의 정공 및/또는 전자의 주입이 용이해지도록 할 수 있다.

<46> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

<47> 도 1a 내지 도 1g는 종래의 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 도시하는 단면도들이다.

<48> 도 1h는 종래의 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

<49> 도 2는 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 일 화소를 개략적으로 도시한 회로도이다.

<50> 도 3a 내지 도 3f는 본 발명의 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 도시하는 단면도들이다.

<51> 도 3g는 본 발명의 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

<52> 도 4는 본 발명의 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

<53> 도 5a 내지 도 5c는 본 발명의 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 도시하는 단면도들이다.

<54> 도 6은 본 발명의 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

<55> <도면의 주요 부분에 대한 부호의 설명>

<56> 110: 기판 115: 화소정의막

<57> 120: 구동 박막 트랜지스터 121: 게이트전극

<58> 123: 반도체층 124: 게이트절연막

<59> 125: 소스/드레인전극 130: 커패시터

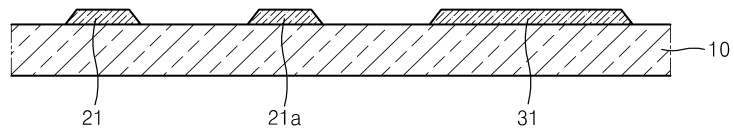
<60> 131: 제1커패시터전극 132: 제2커패시터전극

<61> 134: 커패시터절연막 143: 중간층

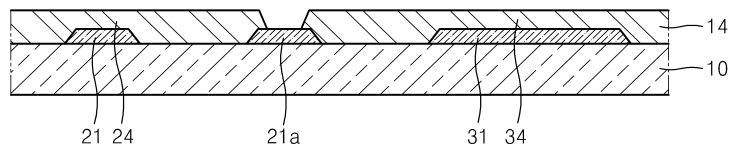
<62> 145: 대향전극

도면

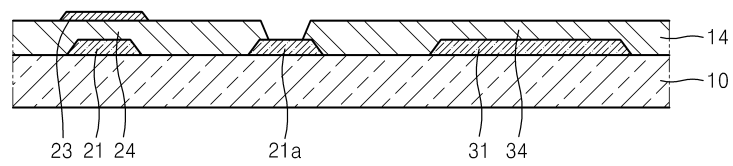
도면1a



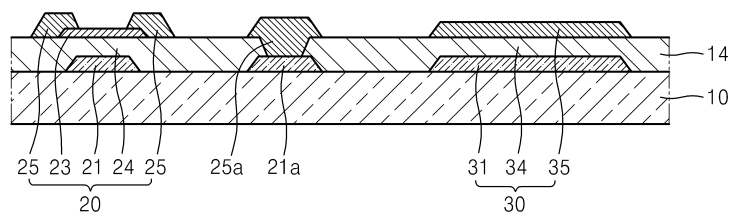
도면1b



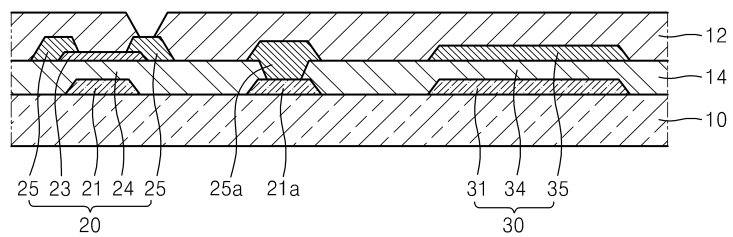
도면1c



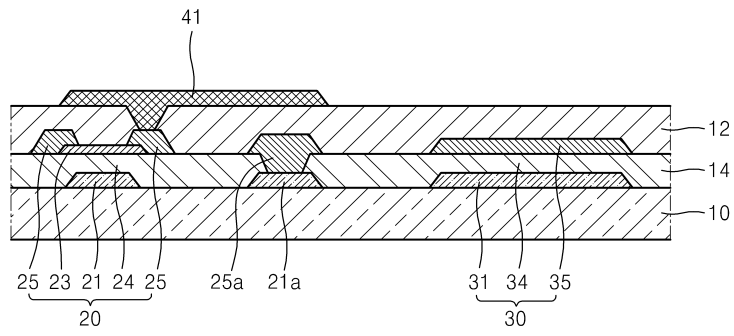
도면1d



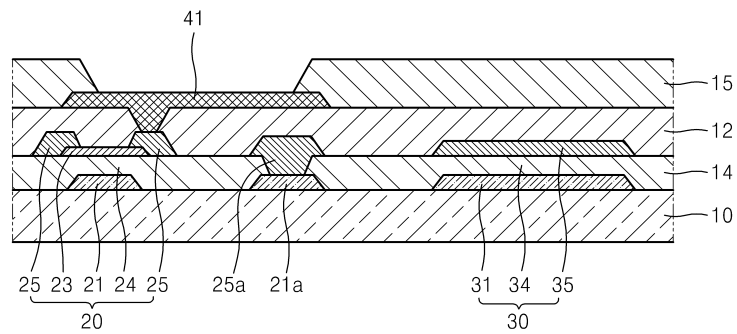
도면1e



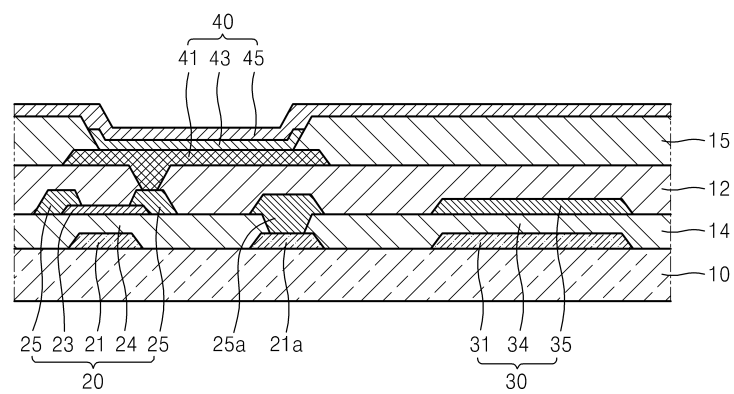
도면1f



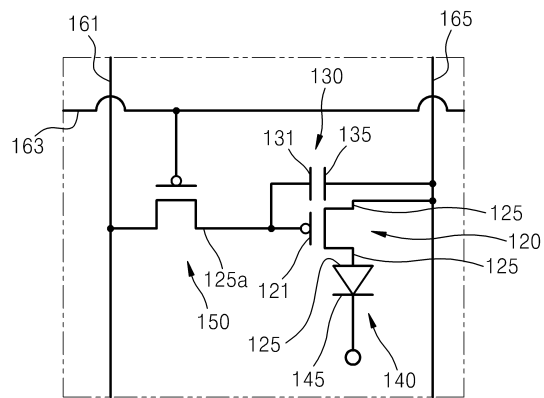
도면1g



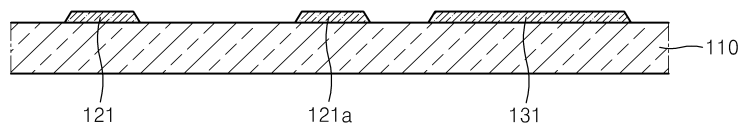
도면1h



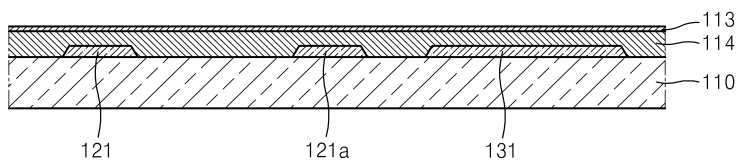
도면2



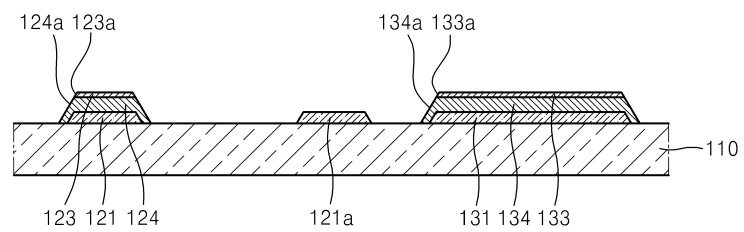
도면3a



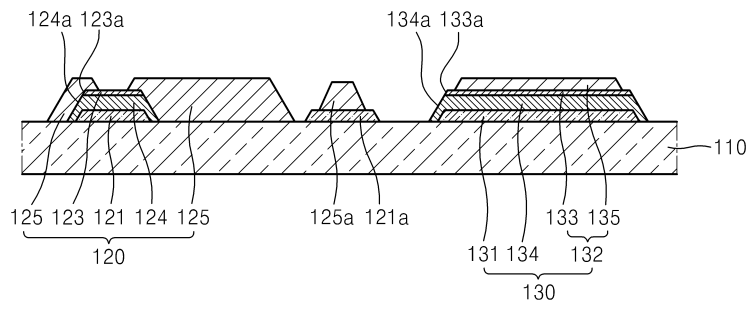
도면3b



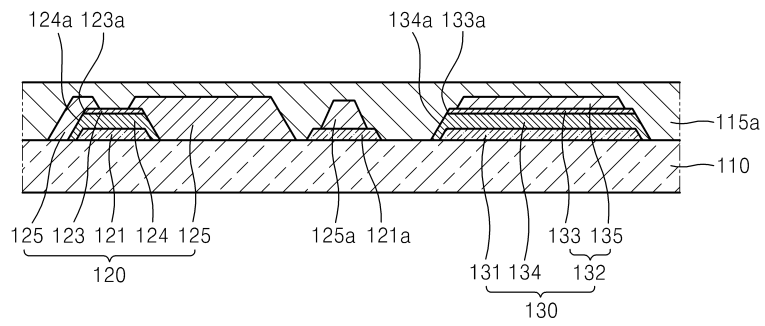
도면3c



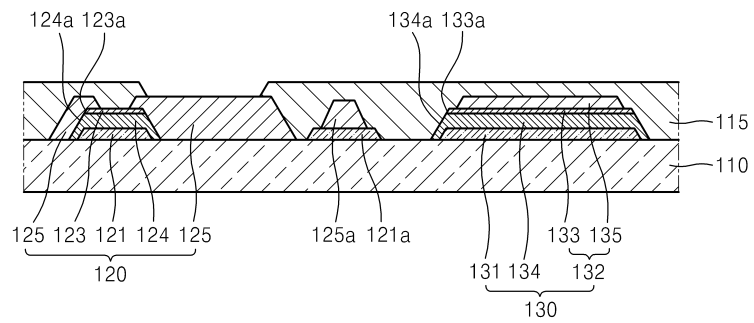
도면3d



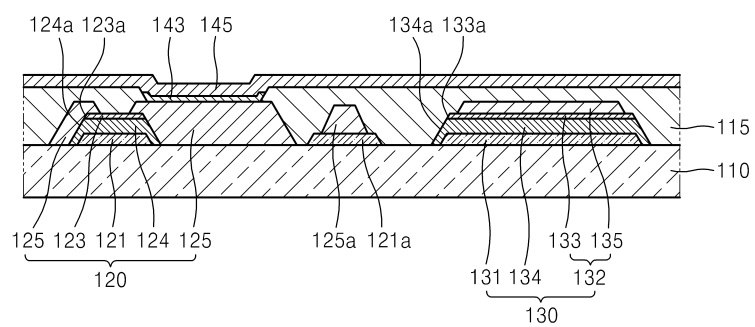
도면3e



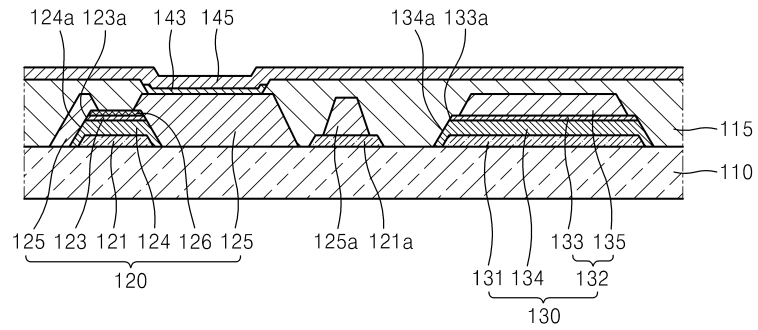
도면3f



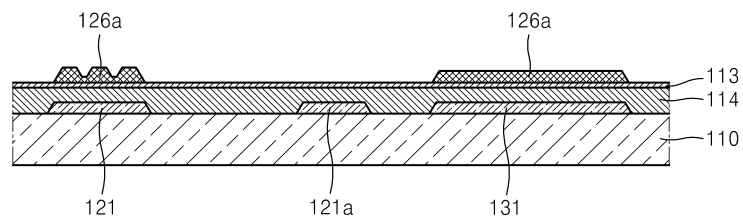
도면3g



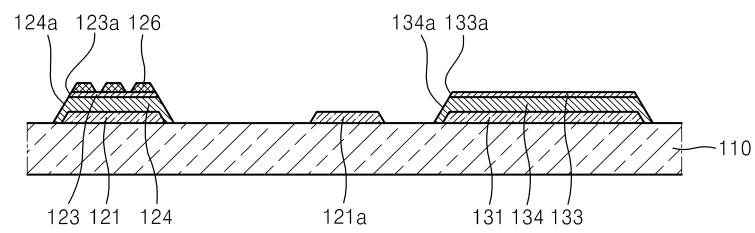
도면4



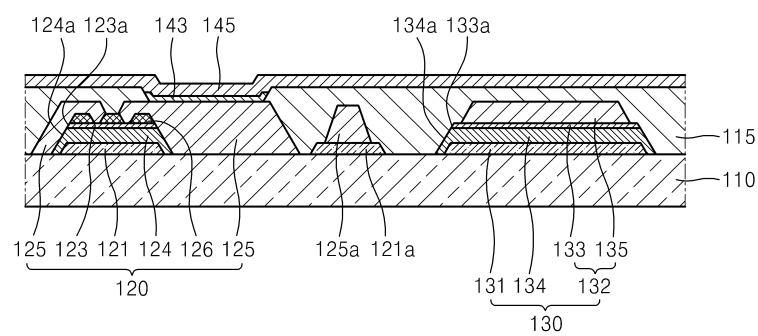
도면5a



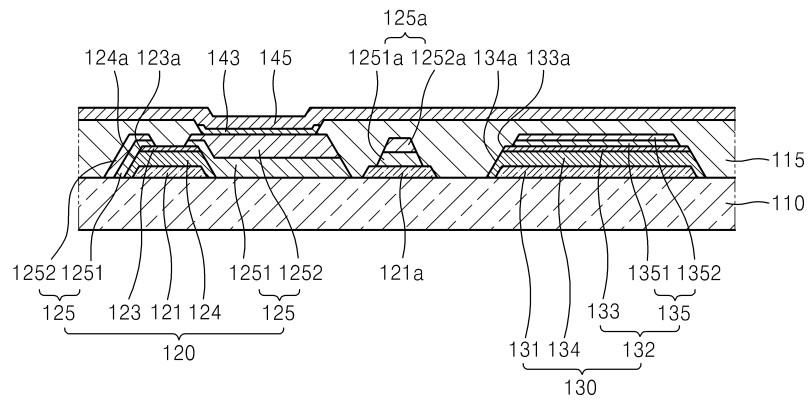
도면5b



도면5c



도면6



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR1020090120697A	公开(公告)日	2009-11-25
申请号	KR1020080046634	申请日	2008-05-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KANG KI NYENG 강기녕 CHOI DEOK YOUNG 최덕영		
发明人	강기녕 최덕영		
IPC分类号	H05B33/08 H05B33/26 H01L51/50		
CPC分类号	H01L51/105 H01L51/442 H01L2924/01003 H01L2924/13069 H05B45/00		
其他公开文献	KR100943186B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示装置及其制造方法，其配备有中间层，并且相对电极设置在包括发光层的中间层的上部，其由有机光的像素限定层布置在基板和布置在基板上的栅电极以及栅极绝缘层之间减少了制造掩模使用次数的发光显示装置，降低了制造成本及其制造方法，栅极绝缘层被图案化以包围栅电极和半导体层，其与栅极绝缘层相同地构图，同时布置在栅极绝缘层和像素限定层上，其覆盖源电极和漏电极，以暴露相应的源电极接触和任何漏电极之一，源电极和电极n电极到上面的半导体层和暴露电极上的源电极和漏电极。

