(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0106757
(43) 공개일자 2009년10월12일

(51) Int. Cl.
H05B 33/26 (2006.01) *H05B 33/08* (2006.01)
H01L 51/50 (2006.01)
(21) 출원번호 10-2008-0032081
(22) 출원일자 2008년04월07일
심사청구일자 2008년04월07일

(71) 출원인
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 농서동 산24번지
(72) 발명자
이헌정
경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소
정재경
경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소
모연곤
경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소
(74) 대리인
신영무

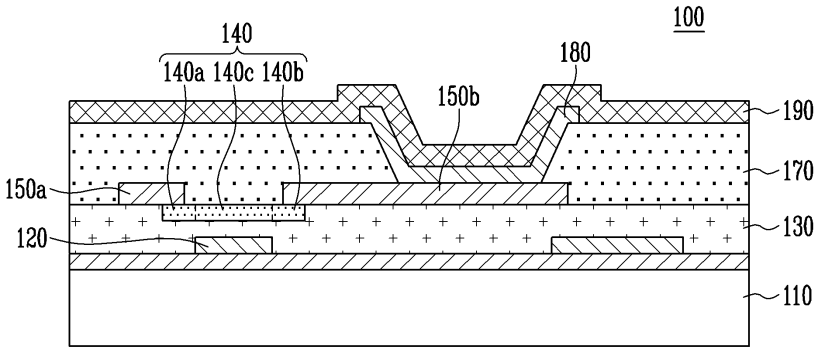
전체 청구항 수 : 총 9 항

(54) 유기 전계 발광표시장치 및 그의 제조방법

(57) 요 약

본 발명은 유기 전계 발광표시장치 및 그의 제조방법에 관한 것으로, 본 발명의 유기 전계 발광표시장치는 화소영역과 비화소영역을 포함하는 기판; 상기 기판의 비화소영역에 배치되는 게이트 전극; 상기 게이트 전극이 형성된 기판 상에 배치되며, 상기 게이트 전극과 대향되는 영역의 상면이 개방된 홈이 형성된 제1 절연층; 상기 홈 내부에 매립되며, 소소 영역, 채널 영역, 드레인 영역을 포함하는 반도체층; 및 상기 기판의 화소영역에 배치되는 유기 박막층을 포함한다. 여기서, 상기 반도체층의 드레인 영역과 상기 유기 박막층 사이에 공통전극이 배치되어 상기 드레인 영역과 유기 박막층을 전기적으로 연결시킨다.

대 표 도 - 도1



특허청구의 범위

청구항 1

화소영역과 비화소영역을 포함하는 기판;

상기 기판의 비화소영역에 배치되는 게이트 전극;

상기 게이트 전극이 형성된 기판 상에 배치되며, 상기 게이트 전극과 대향되는 영역의 상면이 개방된 홈이 형성된 제1 절연층;

상기 홈 내부에 매립되며, 소소 영역, 채널 영역, 드레인 영역을 포함하는 반도체층; 및

상기 기판의 화소영역에 배치되는 유기 박막층을 포함하며,

상기 반도체층의 드레인 영역과 상기 유기 박막층 사이에 공통전극이 배치되어 상기 드레인 영역과 유기 박막층을 전기적으로 연결시키는 유기 전계 발광표시장치.

청구항 2

제1 항에 있어서, 상기 공통 전극은 상기 반도체층의 드레인 전극과 전기적으로 연결되며, 상기 기판의 화소영역으로 연장되는 유기 전계 발광표시장치.

청구항 3

제1 항에 있어서, 상기 반도체층은 산화아연(ZnO)을 주성분으로 하는 유기 전계 발광표시장치.

청구항 4

제3 항에 있어서, 상기 반도체층에 인듐(In), 갈륨(Ga) 및 스태늄(Sn) 중 적어도 하나의 이온이 도핑된 유기 전계 발광표시장치.

청구항 5

제1 항에 있어서, 상기 제1 절연층은 폴리이미드, 폴리아크릴, 감광막 및 벤조사이클로부텐으로 구성된 군에서 선택된 적어도 하나인 유기 전계 발광표시장치.

청구항 6

화소영역과 비화소영역으로 구획된 기판을 제공하는 단계;

상기 기판의 비화소영역에 게이트 전극을 형성하는 단계;

상기 게이트 전극이 형성된 기판 전면에 제1 절연층을 형성하는 단계;

상기 제1 절연층을 패터닝하여 상기 게이트 전극과 대향되는 영역에 홈을 형성하는 단계;

상기 홈 내부에 매립되며, 소스 영역, 채널 영역, 드레인 영역을 포함하는 반도체층을 형성하는 단계;

상기 반도체층의 소스 영역과 접촉되는 소스 전극을 형성하는 단계;

상기 반도체층의 드레인 영역과 접촉되며, 상기 기판의 화소영역으로 연장된 공통 전극을 형성하는 단계; 및

상기 공통 전극 상에 유기 박막층을 형성하는 단계를 포함하는 유기 전계 발광표시장치의 제조방법.

청구항 7

제6 항에 있어서, 상기 반도체층은 리프트 오프, 잉크젯 및 에칭 방법 중 어느 하나에 의해 형성되는 유기 전계 발광표시장치의 제조방법.

청구항 8

제7 항에 있어서, 상기 반도체층을 형성하는 리프트 오프 방법은

상기 홈이 형성된 제1 절연층 전면에 감광막을 도포하는 단계;

상기 홈 상에 도포된 감광막을 제거하는 단계;

상기 홈 및 상기 감광막 상에 반도체 물질을 도포하는 단계; 및

상기 감광막을 제거하는 단계;

를 포함하는 유기 전계 발광표시장치의 제조방법.

청구항 9

제7 항에 있어서, 상기 반도체층을 형성하는 잉크젯 방법은

상기 홈 내부에 반도체 물질을 드롭시키는 유기 전계 발광표시장치의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 유기 전계 발광표시장치 및 그의 제조방법에 관한 것으로, 보다 구체적으로 마스크 수를 저감시키는 유기 전계 발광표시장치 및 그의 제조방법에 관한 것이다.

배 경 기 술

<2> 일반적으로 박막 트랜지스터(Thin Film Transistor)는 게이트 전극, 게이트 전극 상부에 소스 영역, 드레인 영역, 소스 영역과 드레인 영역 사이에 배치되는 채널 영역을 포함하는 반도체층, 반도체층의 소스 영역과 드레인 영역에 접촉되는 소스 전극 및 드레인 전극을 포함한다.

<3> 이와 같이 이루어진 박막 트랜지스터의 반도체층은 대개 비정질 실리콘(Amorphous Silicon)이나 폴리 실리콘(Poly-Silicon)으로 형성되는데, 반도체층이 비정질 실리콘으로 형성되면 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어려우며, 폴리 실리콘으로 형성되면 이동도는 높지만 문턱전압이 불균일하여 별도의 보상 회로가 부가되어야 하는 문제점이 있다.

<4> 또한, 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 종래의 박막 트랜지스터 제조 방법은 레이저 열처리 등과 같은 고가의 공정이 포함되고 특성 제어가 어렵기 때문에 대면적 기판에 적용이 어려운 문제점이 있었다.

<5> 이러한 문제점을 해결하기 위해 최근에는 산화물 반도체를 반도체층으로 이용하는 연구가 진행되고 있다.

<6> 일본공개특허 2004-273614호에는 산화아연(Zinc Oxide; ZnO) 또는 산화아연(ZnO)을 주성분으로 하는 산화물 반도체를 반도체층으로 이용한 박막 트랜지스터가 개시되어 있다.

<7> 그러나 이와 같은 박막 트랜지스터를 유기 전계 발광표시장치에 적용시킬 경우, 박막 트랜지스터가 배치된 기판을 평탄화시키기 위해 박막 트랜지스터가 배치된 기판 전면에 평탄화막이 형성된다. 또한, 박막 트랜지스터와 유기 전계 발광소자를 전기적으로 연결시키기 위해 평탄화막에 컨택홀이 형성된다. 이에 따라 유기 전계 발광표시장치는 공전 단계가 복잡해지며, 마스크 공정 수가 증가되는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

<8> 따라서, 본 발명은 전술한 문제점들을 해소하기 위해 도출된 발명으로, 유기 전계 발광표시장치를 제조하기 위해 사용되는 마스크 수를 저감시키는 유기 전계 발광표시장치 및 그의 제조방법을 제공하는 데에 목적이 있다.

과제 해결수단

<9> 전술한 목적을 달성하기 위한, 본 발명의 일 측면에 따르면, 본 발명의 유기 전계 발광표시장치는 화소영역과 비화소영역을 포함하는 기판; 상기 기판의 비화소영역에 배치되는 게이트 전극; 상기 게이트 전극이 형성된 기판 상에 배치되며, 상기 게이트 전극과 대향되는 영역의 상면이 개방된 홈이 형성된 제1 절연층; 상기 홈 내부

에 매립되며, 소소 영역, 채널 영역, 드레인 영역을 포함하는 반도체층; 및 상기 기판의 화소영역에 배치되는 유기 박막층을 포함한다. 여기서, 상기 반도체층의 드레인 영역과 상기 유기 박막층 사이에 공통전극이 배치되어 상기 드레인 영역과 유기 박막층을 전기적으로 연결시킨다.

<10> 이때, 상기 공통 전극은 상기 반도체층의 드레인 전극과 전기적으로 연결되며, 상기 기판의 화소영역으로 연장될 수 있다. 또한, 상기 반도체층은 산화아연(ZnO)을 주성분으로 할 수 있으며, 상기 반도체층에 인듐(In), 갈륨(Ga) 및 스태늄(Sn) 중 적어도 하나의 이온이 도핑될 수 있다. 또한, 상기 제1 절연층은 폴리이미드, 폴리아크릴, 감광막 및 벤조사이클로부텐으로 구성된 군에서 선택된 적어도 하나일 수 있다.

<11> 본 발명의 유기 전계 발광표시장치의 제조방법은 화소영역과 비화소영역으로 구획된 기판을 제공하는 단계; 상기 기판의 비화소영역에 게이트 전극을 형성하는 단계; 상기 게이트 전극이 형성된 기판 전면에 제1 절연층을 형성하는 단계; 상기 제1 절연층을 패터닝하여 상기 게이트 전극과 대향되는 영역의 상면이 개방된 홈을 형성하는 단계; 상기 홈 내부에 매립되며, 소스 영역, 채널 영역, 드레인 영역을 포함하는 반도체층을 형성하는 단계; 상기 반도체층의 소스 영역과 접촉되는 소스 전극을 형성하는 단계; 상기 반도체층의 드레인 영역과 접촉되며, 상기 기판의 화소영역으로 연장되는 공통 전극을 형성하는 단계; 및 상기 공통 전극 상에 유기 박막층을 형성하는 단계를 포함한다.

<12> 이때, 상기 반도체층은 리프트 오프, 잉크젯 및 에칭 방법 중 어느 하나에 의해 형성될 수 있다. 상기 반도체층을 형성하는 리프트 오프 방법은 상기 홈이 형성된 제1 절연층 전면에 감광막을 도포하는 단계; 상기 홈 상에 도포된 감광막을 제거하는 단계; 상기 홈 및 상기 감광막 상에 반도체 물질을 도포하는 단계; 및 상기 감광막을 제거하는 단계;를 포함할 수 있다. 상기 반도체층을 형성하는 잉크젯 방법은 상기 홈 내부에 반도체 물질을 드롭시킬 수 있다.

효 과

<13> 이상과 같이, 본 발명에 의하면 드레인 전극과 애노드 전극을 공통 전극으로 공유하여 유기 전계 발광표시장치를 제조하기 위해 사용되는 마스크 수를 저감시킬 수 있다. 이에 따라, 유기 전계 발광표시장치의 생산성을 향상시키며 공정 마진을 확보할 수 있다.

발명의 실시를 위한 구체적인 내용

<14> 이하에서는, 본 발명의 실시예를 도시한 도면을 참조하여, 본 발명을 보다 구체적으로 설명한다.

<15> 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광표시장치의 단면도이다.

<16> 도 1을 참조하면, 유기 전계 발광표시장치(100)는 바텀 게이트(bottom gate)형 박막 트랜지스터와, 박막 트랜지스터와 전기적으로 연결된 유기 전계 발광소자를 포함한다.

<17> 일반적으로 유기 전계 발광표시장치는 게이트 전극, 반도체층, 소스/드레인 전극으로 이루어지는 박막 트랜지스터, 박막 트랜지스터의 드레인 전극과 연결되는 애노드 전극을 포함한다. 이와 같은 구조의 유기 전계 발광표시장치는 박막 트랜지스터의 드레인 전극과 애노드 전극을 연결시키기 위해 비아홀이 형성된다. 그러나 비아홀을 형성하기 위해서는 별도의 마스크가 사용된다. 이에 따라, 본 실시예에서는 비아홀 형성을 제거하여 마스크 수를 저감시킨다.

<18> 기판(110)은 박막 트랜지스터가 배치되는 비화소영역과 박막 트랜지스터와 전기적으로 연결된 유기 전계 발광소자가 배치된 화소영역으로 이루어진다. 기판(110)의 비화소영역에는 게이트 전극(120)이 배치된다. 게이트 전극(120)이 배치된 기판(110) 전면에는 제1 절연층(130)이 배치된다. 이때, 제1 절연층(130)은 게이트 전극(120)과 대향되는 영역의 상면이 개방된 홈(145, 도 2 참조)이 형성된다. 제1 절연층(130)은 게이트 전극(120)과 반도체층(140)을 절연시키며, 게이트 전극(120)과 반도체층(140)이 형성된 기판(110)을 평탄화시킨다. 제1 절연층(130)은 유기막으로 형성될 수 있으며, 폴리이미드, 폴리아크릴, 감광막 및 벤조사이클로부텐(benzocyclobutene;BCB)으로 구성된 군에서 선택된 하나로 형성될 수 있다.

<19> 반도체층(140)은 홈(145) 내부에 매립되어, 제1 절연층(130)의 표면으로 노출된다. 제1 절연층(130)에 반도체층(140)이 매립된 구조를 임베드(embed) 구조라 한다. 반도체층(140)은 소스 영역(140a), 드레인 영역(140b), 및 소스 영역(140a)과 드레인 영역(140b) 사이에 채널 영역(140c)이 포함된다. 이때, 반도체층(140)의 채널 영역(140c)은 게이트 전극(120)과 대향되도록 형성된다. 이와 같이, 반도체층(140)은 제1 절연층(130)의 홈(145) 내부에 매립되어, 제1 절연층(130)의 상면을 평탄화시킨다. 즉, 일반적인 유기 전계 발광표시장치는 게이트 전

극과 반도체층을 절연시키기 위해 제1 절연층, 박막 트랜지스터가 배치된 기판을 평탄화시키기 위해 제2 절연층이 형성된다. 그러나, 본 실시예에서는 제1 절연층(130)을 이용하여 게이트 전극(120)과 반도체층(140) 사이를 절연시키며, 박막 트랜지스터가 배치된 기판(110)을 평탄화시켜 일반적인 유기 전계 발광표시장치보다 한 개의 절연층을 감소시킬 수 있다.

<20> 또한, 반도체층(140)은 산화아연(ZnO)을 주성분으로 하는 반도체 물질로 형성되거나, 산화아연(ZnO)에 인듐(In), 갈륨(Ga), 스태늄(Sn) 등의 이온이 도핑된 반도체 물질 예를 들어, InZnO(IZO), GaInZnO(GIZO) 등으로 형성될 수 있다. 이와 같이, 반도체층(140)은 산화아연(ZnO)을 주성분으로 하는 산화물 반도체로 형성되어, 기존의 아모포스 실리콘 및 폴리 실리콘보다 이동도, 균일성 및 신뢰성이 향상된 박막 트랜지스터를 제공할 수 있다. 또한, 반도체층(140)이 산화물 반도체층으로 형성되면, 기존의 저온 폴리 실리콘(LTPS) 공정 장비를 통해 반도체층(140)을 형성할 수 있으며, 300℃ 이하의 저온에서 공정이 가능해진다.

<21> 반도체층(140)이 포함된 제1 절연층(130) 상에는 반도체층(140)의 소스 영역(140a)과 전기적으로 연결된 소스 전극(150a), 드레인 영역(140b)과 전기적으로 연결된 공통 전극(150b)이 배치된다. 이때, 공통 전극(150b)은 비화소영역으로부터 화소영역으로 연장되어 배치된다. 공통 전극(150b)은 반도체층(140)의 드레인 영역(140b)과 유기 박막층(180)에 접촉되어 반도체층(140)과 유기 박막층(180)을 전기적으로 연결시킨다. 이와 같이, 본 실시예에서는 공통 전극(150b)을 이용하여 반도체층(140)과 유기 박막층(180)을 전기적으로 연결시켜, 컨택홀 형성에 따른 마스크를 저감시킬 수 있다. 즉, 일반적으로 반도체층과 유기 박막층을 전기적으로 연결시키기 위해서는 드레인 전극과 애노드 전극 사이에 배치된 평탄화막에 컨택홀이 형성되나, 본 실시예에서는 드레인 전극과 애노드 전극을 하나의 전극(공통전극: 150b)으로 형성하여 컨택홀 형성에 따른 마스크 수를 저감시킨다.

<22> 공통 전극(150b)이 배치된 제1 절연층(130) 전면에는 제2 절연층(170)이 배치된다. 제2 절연층(170)은 공통 전극(150b)을 부분적으로 노출시키기 위한 개구부가 포함된다. 개구부에 의해 노출된 공통 전극(150b) 및 제2 절연층(170) 상에는 유기 박막층(180)이 배치된다. 이때, 유기 박막층(180)은 화소영역에 배치된다. 또한, 유기 박막층(180)이 배치된 제2 절연층(170) 상에는 캐소드 전극(190)이 배치된다. 또한, 공통 전극(150b)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), ICO(Indium Cesium Oxide), 및 IWO(Indium Tungsten Oxide)로 구성된 군에서 선택되는 하나로 형성되어, 유기 전계 발광표시장치(100)가 배면 또는 투명 발광될 수 있다.

<23> 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 유기 전계 발광표시장치의 제조방법을 설명하기 위한 단면도이다.

<24> 도 2a를 참조하면, 기판(110) 상에 금속 물질을 증착시킨 후 마스크 공정을 통해 게이트 전극(120)을 형성한다.

<25> 여기서, 마스크 공정이란 포토리소그래피 공정으로, 포토리소그래피 공정은 패턴이 형성될 박막에 자외선으로 감광되는 감광막이 코팅되어, 패터닝된 감광막을 마스크로 이용하여 원하는 박막을 식각시킨 후 감광막을 제거하는 과정을 말한다.

<26> 게이트 전극(120)이 형성된 기판(110) 전면에는 유기물로 이루어진 폴리이미드, 폴리아크릴, 감광막 및 벤조사이클로부텐으로 구성된 군에서 선택된 하나의 물질이 도포되어 제1 절연층(130)이 형성된다. 또한, 제1 절연층(130) 상면에 반도체층(140)을 매립하기 위해, 마스크 공정을 통해 홈(145)을 형성한다. 이때, 홈(145)은 게이트 전극(120)과 대향되는 제1 절연층(130)의 상면에 형성된다.

<27> 도 2b를 참조하면, 홈(145)이 형성된 제1 절연층(130) 전면에 감광막(160)이 도포되면, 하프톤 마스크 또는 회절 마스크를 이용한 노광 공정을 통해 서로 다른 높이를 갖는 감광막(160)을 형성한다. 구체적으로, 제1 절연층(130)은 하프톤 마스크를 이용하여, 홈(145) 상에 형성된 감광막(160)을 전부 노광시키며, 제1 절연층(130) 상에 형성된 감광막(160)을 홈(145)의 높이에 해당되는 만큼 노광시킨다. 이에 따라, 홈(145)은 외부로 노출되며, 제1 절연층(130) 상에는 감광막(160)이 남게 된다. 또한, 홈(145)과 인접된 감광막(160)은 언터컷 형상(undercut)으로 형성되어, 홈(145)과 인접된 감광막(160)의 측면(161)에 반도체 물질이 도포되는 것이 방지된다.

<28> 도 2c를 참조하면, 홈(145) 내부에 반도체층(140)을 매립시키기 위해, 홈(145)과 감광막(160) 전면에 산화아연(ZnO) 또는 산화아연(ZnO)에 인듐(In), 갈륨(Ga), 스태늄(Sn) 중 적어도 하나의 이온이 도핑된 반도체 물질이 도포된다. 이에 따라, 홈(145)과 감광막(160) 전면에 반도체층(140)이 형성된다.

<29> 도 2d를 참조하면, 제1 절연층(130)으로부터 감광막(160)이 제거(lift-off)되면 제1 절연층(130)과 홈(145) 내

부에 매립된 반도체층(140)이 외부로 노출된다.

<30> 도 2e를 참조하면, 반도체층(140)이 포함된 제1 절연층(130) 전면에 금속 물질을 증착시킨 후 마스크 공정을 통해 반도체층(140)의 소스 영역(140a)과 드레인 영역(140b)에 각각 접촉되는 소스 전극(150a)과 공통 전극(150b)을 형성한다. 이때, 공통 전극(150b)은 화소영역으로 연장되도록 패터닝되는데, 이는 공통 전극(150b)을 유기 박막층(180)과 접촉시키기 위함이다.

<31> 도 2f를 참조하면, 소스 전극(150a)과 공통 전극(150b)이 형성된 제1 절연층(130) 전면에는 제2 절연층(170)이 형성된다. 이때, 제2 절연층(170)은 화소영역에 배치된 공통 전극(150b)을 부분적으로 노출시키기 위해 마스크 공정이 수행된다. 마스크 공정을 수행하는 방법은 앞서 설명한 방법과 동일하게 수행된다. 마스크 공정을 통해 노출된 제2 절연층(170) 상에는 유기 박막층(180)이 형성된다. 유기 박막층(180) 상에는 캐소드 전극(190)이 형성된다.

<32> 전술한 실시예에서는 리프트 오프 방법을 통해 반도체층(140)이 형성되었으나, 반도체층(140)은 잉크젯 방법 및 에칭 방법을 통해 형성될 수 있음은 물론이다. 여기서, 잉크젯 방법은 반도체 물질을 홈(145) 내에 드롭시키는 것으로, 잉크젯 방법에 의해 반도체층(140)이 형성되면, 리프트 오프 방법에 의해 형성되는 공정 수 보다 감소될 수 있다.

<33> 이상에서와 같이 상세한 설명과 도면을 통해 본 발명의 최적 실시예를 개시하였다. 용어들은 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

<34> 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광표시장치의 단면도이다.

<35> 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 유기 전계 발광표시장치의 제조방법을 설명하기 위한 단면도이다.

<36> <도면의 주요 부분에 대한 부호의 설명>

<37> 110 : 기판 120 : 게이트 전극

<38> 130 : 제1 절연층 140 : 반도체층

<39> 150a : 소스 전극 150b : 공통전극

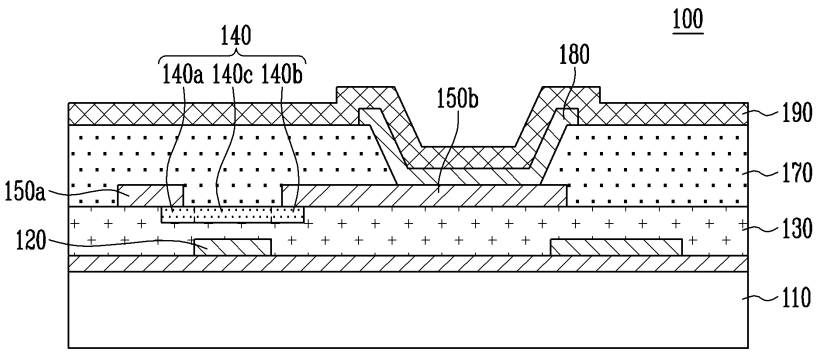
<40> 160 : 감광막 161 : 감광막의 측면

<41> 170 : 제2 절연막 180 : 유기 박막층

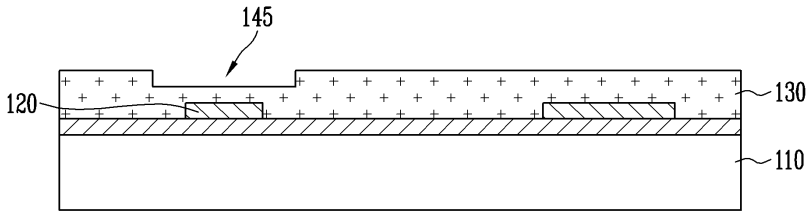
<42> 190 : 캐소드 전극

도면

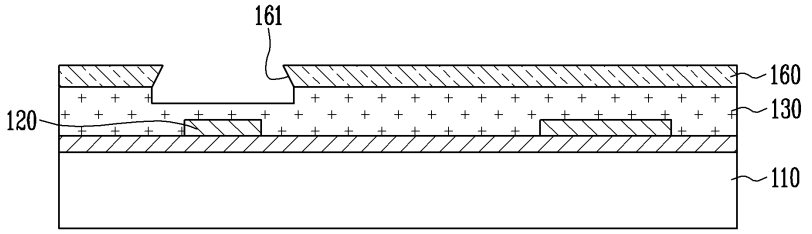
도면1



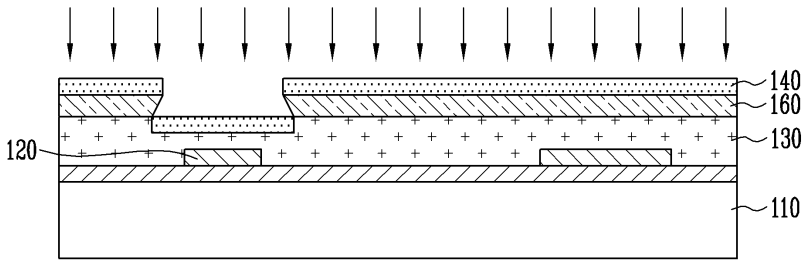
도면2a



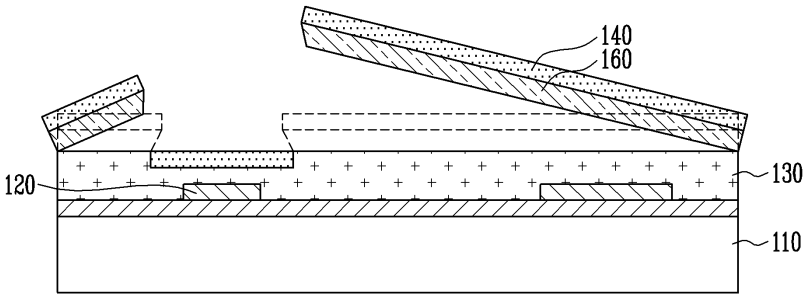
도면2b



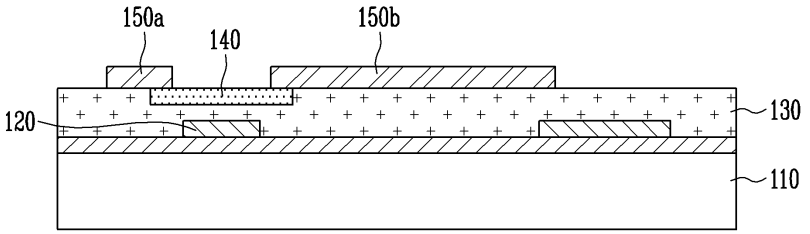
도면2c



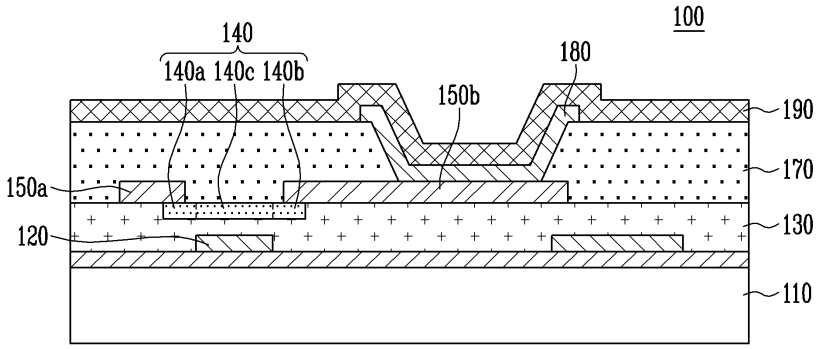
도면2d



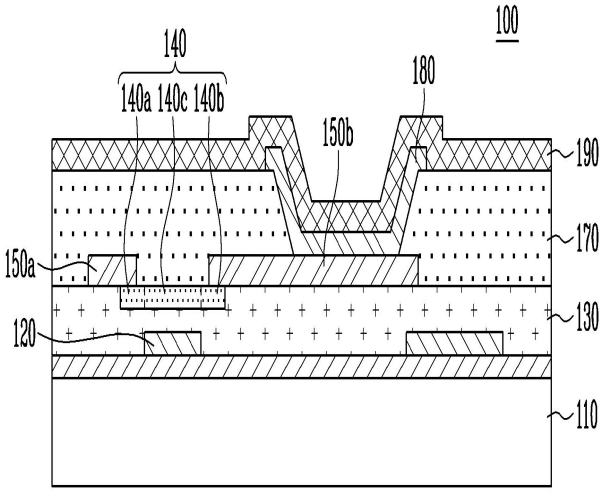
도면2e


150a
140
150b
120
130
110

도면2f


100
140
140a 140c 140b
180
150b
190
170
150a
120
130
110

专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020090106757A	公开(公告)日	2009-10-12
申请号	KR1020080032081	申请日	2008-04-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	HUNJUNG LEE 이헌정 JAEKYEONG JEONG 정재경 YEONGON MO 모연곤		
发明人	이헌정 정재경 모연곤		
IPC分类号	H05B33/26 H05B33/08 H01L51/50		
CPC分类号	H01L27/3262 H01L27/3248 H01L27/1288 H01L29/7869 H01L27/1225 H01L27/1214 H01L31/022483 H05B33/26		
代理人(译)	SHIN，YOUNG MOO		
其他公开文献	KR100931491B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光显示装置及其制造方法，本发明的有机电致发光显示装置包括设置在基板的像素区域中的有机薄膜层和包括基板的半导体层。像素区域和非像素区域，带凹槽的第一绝缘层，以及次要小区域，沟道区域和漏极区域在凹槽内被回收。对于带凹槽的第一绝缘层，与栅电极面对面的区域的上侧布置在栅电极上：其中形成有栅电极的基板布置在基板的非像素区域中。这里，公共电极布置在上述半导体层的漏区和有机薄膜层之间，并且漏区和有机薄膜层电连接。嵌入结构，掩模，光敏膜，升降销，氧化物半导体。