

(72) 발명자

박용환

서울 양천구 신정동 952-3 주안아파트 401호

김태연

울산 남구 삼산동 삼산현대아파트 103동 801호

특허청구의 범위

청구항 1

기관 및 상기 기관 상에 구비된 다수의 화소를 포함하는 유기전계발광 표시장치에서,
 각 화소는,
 게이트 라인;
 상기 게이트 라인과 교차하는 데이터 라인;
 상기 데이터 라인과 평행하고, 상기 게이트 라인과 교차하는 바이어스 라인;
 상기 게이트 라인과 상기 데이터 라인에 연결된 스위칭 트랜지스터;
 상기 스위칭 트랜지스터와 상기 바이어스 라인에 연결된 구동 트랜지스터; 및
 상기 구동 트랜지스터에 전기적으로 연결된 유기전계 발광소자를 포함하고,
 상기 구동 트랜지스터는,
 폴리 실리콘층;
 상기 폴리 실리콘층과 오버랩된 제1 서브 소오스 전극;
 상기 폴리 실리콘층과 오버랩되고, 상기 제1 서브 소오스 전극과 소정의 간격으로 이격된 제1 서브 드레인 전극;
 상기 제1 서브 소오스 전극 및 상기 제1 서브 드레인 전극을 부분적으로 커버하는 제1 층간 절연막;
 상기 제1 서브 소오스 전극의 노출된 부분을 커버하고, 상기 바이어스 라인에 연결된 제2 서브 소오스 전극;
 상기 제1 서브 드레인 전극의 노출된 부분을 커버하고, 상기 유기전계 발광소자에 연결된 제2 서브 드레인 전극;
 상기 제1 층간 절연막, 제2 서브 소오스 전극 및 제2 서브 드레인 전극을 커버하는 제2 층간 절연막;
 및
 상기 폴리 실리콘층이 형성된 영역에 대응하여 상기 제2 층간 절연막 상에 구비되고, 상기 스위칭 트랜지스터에 연결된 제1 게이트 전극을 포함하는 유기전계발광 표시장치.

청구항 2

제1항에 있어서, 상기 제1 서브 소오스 전극 및 상기 제1 서브 드레인 전극은 단일층으로 이루어진 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3

제2항에 있어서, 상기 제2 서브 소오스 전극 및 상기 제2 서브 드레인 전극은 두 개 이상의 층으로 이루어진 것을 특징으로 하는 유기전계발광 표시장치.

청구항 4

제3항에 있어서, 상기 데이터 라인과 상기 바이어스 라인은 상기 제2 서브 소오스 전극과 상기 제2 서브 드레인 전극과 동일한 층 구조를 갖는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 5

제1항에 있어서, 상기 스위칭 트랜지스터는,
 상기 제1 게이트 전극과 동일한 층 구조를 갖고 상기 제2 층간 절연막 상에 구비되며, 상기 게이트 라인과 전기

적으로 연결된 제2 게이트 전극;

상기 제1 및 제2 게이트 전극을 커버하도록 상기 제2 층간 절연막 상에 구비되는 제3 층간 절연막;

상기 제3 층간 절연막 상에 구비된 아몰퍼스 실리콘층;

상기 아몰퍼스 실리콘층과 부분적으로 오버랩되고, 상기 데이터 라인에 연결된 소오스 전극; 및

상기 아몰퍼스 실리콘층과 부분적으로 오버랩되고, 상기 소오스 전극과 소정의 간격으로 이격된 드레인 전극을 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 6

제1항에 있어서, 상기 각 화소는 상기 구동 트랜지스터의 상기 제1 게이트 전극과 상기 바이어스 라인과의 사이에 연결된 유지용량 커패시터를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 7

제6항에 있어서, 상기 유지용량 커패시터는 상기 제2 서브 소오스 전극과 동일한 층 구조를 갖는 제1 전극, 상기 제1 게이트 전극과 동일한 층 구조를 갖는 제2 전극 및 상기 제2 층간 절연막에 의해서 정의된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 8

제1항에 있어서, 상기 다수의 화소와 일대일 대응하여 상기 기판 상에 구비된 다수의 색화소를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 9

기판 및 상기 기판 상에 구비된 다수의 화소를 포함하는 유기전계발광 표시장치의 제조방법에서,

상기 기판 상에 아몰퍼스 실리콘층을 형성하는 단계;

고상 결정화(SPC) 방법으로 상기 아몰퍼스 실리콘층을 결정화하여 폴리 실리콘층을 형성하는 단계;

상기 폴리 실리콘층과 오버랩되는 제1 서브 소오스 전극 및 제1 서브 드레인 전극을 형성하고, 상기 폴리 실리콘층을 부분적으로 식각하는 단계;

HF를 이용하여 상기 폴리 실리콘층을 세정하는 단계;

상기 폴리 실리콘층이 형성된 영역에 대응하여 구비되고, 상기 제1 서브 소오스 전극 및 상기 제1 서브 드레인 전극을 부분적으로 커버하는 제1 층간 절연막을 형성하는 단계;

상기 제1 서브 소오스 전극의 노출된 부분을 커버하는 제2 서브 소오스 전극, 상기 제1 서브 드레인 전극의 노출된 부분을 커버하는 제2 서브 드레인 전극, 상기 제2 서브 소오스 전극과 연결된 바이어스 라인 및 상기 바이어스 라인과 평행한 데이터 라인을 형성하는 단계;

상기 제2 서브 소오스 전극, 상기 제2 서브 드레인 전극, 상기 바이어스 라인 및 상기 데이터 라인을 커버하는 제2 층간 절연막을 형성하는 단계;

상기 폴리 실리콘층이 형성된 영역에 대응하여 상기 제2 층간 절연막 상에 구비된 제1 게이트 전극, 상기 제2 게이트 전극과 소정 간격 이격된 제2 게이트 전극 및 상기 제2 게이트 전극과 연결된 게이트 라인을 형성하는 단계;

상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 게이트 라인을 커버하는 제3 층간 절연막을 형성하는 단계;

상기 제2 게이트 전극이 형성된 영역에 대응하여 상기 제3 층간 절연막 상에 아몰퍼스 실리콘층을 형성하는 단계;

상기 아몰퍼스 실리콘층과 오버랩되는 소오스 전극 및 드레인 전극을 형성하는 단계; 및

상기 제2 서브 드레인 전극과 전기적으로 연결된 유기전계발광 소자를 형성하는 단계를 포함하는 것을 특징으로

하는 유기전계발광 표시장치의 제조방법.

청구항 10

제9항에 있어서, 상기 제1 서브 소오스 전극과 상기 제1 서브 드레인 전극은 몰리브덴층으로 이루어지고,

상기 제2 서브 소오스 전극과 상기 제2 서브 드레인 전극은 제1 몰리브덴층, 알루미늄층 및 제2 몰리브덴층이 순차적으로 적층된 3중막 구조를 갖는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 11

제10항에 있어서, 상기 제1 게이트 전극과 상기 바이어스 라인과의 사이에 연결된 유지용량 커패시터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 12

제11항에 있어서, 상기 유지용량 커패시터는 상기 제2 서브 소오스 전극과 동일한 층 구조를 갖는 제1 전극, 상기 제1 게이트 전극과 동일한 층 구조를 갖는 제2 전극 및 상기 제2 층간 절연막에 의해서 정의된 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 발명은 유기전계발광 표시장치 및 이의 제조방법에 관한 것으로, 더욱 상세하게는 배선 저항을 감소시킬 수 있는 유기전계발광 표시장치 및 이의 제조방법에 관한 것이다.
- <7> 최근 평판 디스플레이에 대한 관심이 고조되면서, 저전압 고휘도의 자체발광 디스플레이인 유기전계발광 표시장치에 대한 연구가 활발하게 진행되고 있다. 유기전계발광 표시장치는 자체적으로 빛을 생성하는 유기발광소자를 사용하여 영상을 표시한다.
- <8> 일반적으로, 유기전계발광 표시장치는 구동방법에 따라, 수동 매트릭스 유기전계발광 표시장치(Passive Matrix Organic Electroluminescence Device; PMOELD, 이하, "PMOELD"라고 함) 및 능동 매트릭스 유기전계발광 표시장치(Active Matrix Organic Electro Luminescence Device; AMOELD, 이하, "AMOELD"라고 함)로 구분될 수 있다.
- <9> AMOELD는 PMOELD보다 적은 전류를 사용하여 디스플레이할 수 있는 장점을 갖는다. AMOLED에서 다수의 화소 각각은 게이트 라인, 데이터 라인, 바이어스 라인, 구동 트랜지스터 및 스위칭 트랜지스터로 이루어져 유기발광소자의 광 투과율을 제어한다. 특히, 구동 트랜지스터는 결정화 공정의 효율성을 높이기 위해서 탑 게이트 구조로 이루어진다. 탑 게이트 구조에서는 구동 트랜지스터의 소오스/드레인 전극 및 구동 트랜지스터의 소오스 전극에 연결된 바이어스 라인이 형성된 상태에서, 신뢰성 및 소자 특성을 개선하기 위하여 채널부의 에치백(etch back) 공정 후 HF 세정 공정을 수행한다.
- <10> 배선 저항을 감소시키기 위해 바이어스 라인을 몰리브덴층, 알루미늄층 및 몰리브덴층이 순차적으로 적층된 3중막 구조로 형성한 구조에서, HF 세정 공정이 진행되면, 알루미늄 어택(Al attack) 현상이 발생한다. 따라서, 제조과정에서 HF 세정 공정을 진행하는 종래의 유기전계발광 표시장치에서는 저저항 배선을 적용하기 어려워진다.

발명이 이루고자 하는 기술적 과제

- <11> 따라서, 본 발명의 목적은 저저항 배선 적용이 가능한 유기전계발광 표시장치를 제공하는 것이다.
- <12> 본 발명의 다른 목적은 상기한 유기전계발광 표시장치를 제조하는데 적용되는 방법을 제공하는 것이다.

발명의 구성 및 작용

- <13> 본 발명에 따른 유기전계발광 표시장치는 기판 및 상기 기판 상에 구비된 다수의 화소를 포함하고, 각 화소는 게이트 라인, 상기 게이트 라인과 교차하는 데이터 라인, 상기 데이터 라인과 평행하고 상기 게이트 라인과 교

차하는 바이어스 라인, 상기 게이트 라인과 상기 데이터 라인에 연결된 스위칭 트랜지스터, 상기 스위칭 트랜지스터와 상기 바이어스 라인에 연결된 구동 트랜지스터, 및 상기 구동 트랜지스터에 전기적으로 연결된 유기전계 발광소자를 포함한다.

- <14> 상기 구동 트랜지스터는 폴리 실리콘층, 제1 게이트 전극, 제1 및 제2 서브 소오스 전극, 제1 및 제2 서브 드레인 전극, 제1 및 제2 층간 절연막을 포함한다.
- <15> 상기 제1 서브 소오스 전극은 상기 폴리 실리콘층과 오버랩되고, 상기 제1 서브 드레인 전극은 상기 폴리 실리콘층과 오버랩되고, 상기 제1 서브 소오스 전극과 소정의 간격으로 이격된다. 상기 제1 층간 절연막은 상기 제1 서브 소오스 전극 및 상기 제1 서브 드레인 전극을 부분적으로 커버한다. 상기 제2 서브 소오스 전극은 상기 제1 서브 소오스 전극의 노출된 부분을 커버하고, 상기 바이어스 라인에 연결되고, 상기 제2 서브 드레인 전극은 상기 제1 서브 드레인 전극의 노출된 부분을 커버하고, 상기 유기전계 발광소자에 연결된다. 상기 제2 층간 절연막은 상기 제1 층간 절연막, 제2 서브 소오스 전극 및 제2 서브 드레인 전극을 커버하고, 상기 제1 게이트 전극은 상기 폴리 실리콘층이 형성된 영역에 대응하여 상기 제2 층간 절연막 상에 구비되고, 상기 스위칭 트랜지스터에 연결된다.
- <16> 본 발명에 따른 유기전계발광 표시장치는 기판 및 상기 기판 상에 구비된 다수의 화소를 포함하고, 각 화소는 다음 과정을 통해 제조된다.
- <17> 먼저, 상기 기판 상에 아몰퍼스 실리콘층이 형성된다. 고상 결정화(SPC) 방법으로 상기 아몰퍼스 실리콘층이 결정화되어 폴리 실리콘층이 형성된다. 이후, 상기 폴리 실리콘층과 오버랩되는 제1 서브 소오스 전극 및 제1 서브 드레인 전극이 형성되고, 형성 과정에서 상기 폴리 실리콘층을 부분적으로 식각한다. 식각 공정 이후, HF를 이용하여 상기 폴리 실리콘층을 세정한다. 제1 층간 절연막은 상기 폴리 실리콘층이 형성된 영역에 대응하여 구비되고, 상기 제1 서브 소오스 전극 및 상기 제1 서브 드레인 전극을 부분적으로 커버한다. 제2 서브 소오스 전극은 상기 제1 서브 소오스 전극의 노출된 부분을 커버하고, 상기 제2 서브 드레인 전극은 상기 제1 서브 드레인 전극의 노출된 부분을 커버한다. 또한, 상기 제2 서브 소오스 전극과 연결된 바이어스 라인 및 상기 바이어스 라인과 평행한 데이터 라인이 형성된다. 다음, 제2 층간 절연막은 상기 제2 서브 소오스 전극, 상기 제2 서브 드레인 전극, 상기 바이어스 라인 및 상기 데이터 라인을 커버한다. 상기 제2 층간 절연막 상에는 상기 폴리 실리콘층이 형성된 영역에 대응하여 제1 게이트 전극, 상기 제2 게이트 전극과 소정 간격 이격된 제2 게이트 전극 및 상기 제2 게이트 전극과 연결된 게이트 라인이 형성된다. 제3 층간 절연막은 상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 게이트 라인을 커버하고, 상기 제3 층간 절연막 상에는 상기 제2 게이트 전극이 형성된 영역에 대응하여 아몰퍼스 실리콘층이 형성된다. 이후, 상기 아몰퍼스 실리콘층과 오버랩되는 소오스 전극 및 드레인 전극이 형성된다. 상기 제2 서브 드레인 전극과 전기적으로 연결된 유기전계발광 소자가 형성된다.
- <18> 이러한 유기전계발광 표시장치 및 이의 제조방법에 따르면, HF 세정 공정이 단일막 구조로 이루어진 제1 서브 소오스 전극 및 제1 서브 드레인 전극이 형성된 이후에 진행되고, HF 세정 공정이 완료된 후 3중막 구조로 이루어진 제2 서브 소오스 전극, 제2 서브 드레인 전극 및 바이어스 라인이 형성되므로, HF 세정 공정에서 알루미늄 어택(Al attack) 현상이 발생하는 것을 방지할 수 있고, 그 결과 유기전계발광 표시장치에 저저항 배선을 적용할 수 있다.
- <19> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- <20> 도 1은 본 발명의 일 실시예에 따른 유기전계발광 표시장치를 나타낸 회로도이다. 유기전계발광 표시장치에는 영상을 표시하기 위한 다수의 화소가 구비되지만, 다수의 화소는 서로 동일한 구조로 이루어지므로 도 1에서는 하나의 화소만 예로 들어 설명함으로써 나머지 화소들에 대한 설명은 생략한다.
- <21> 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광 표시장치의 화소(200)는 투명기판(210) 상에 구비된다. 상기 화소(200)는 스위칭 트랜지스터(Tr1), 구동 트랜지스터(Tr2), 화상유지 커패시터(Cst) 및 유기전계 발광 다이오드(Di1)로 이루어지다.
- <22> 상기 화소(200)는 제n-1 및 제n 게이트 라인(GLn-1, GLn), 상기 제n-1 및 제n 게이트 라인(GLn-1, GLn)과 직교하는 제m 데이터 라인(DLm) 및 상기 제m 데이터 라인(DLm)과 소정 간격 이격되어 평행하게 연장된 바이어스 라인(BL)에 의해서 구획되는 상기 투명기판(210)의 특정 영역에 구비된다.
- <23> 상기 스위칭 트랜지스터(Tr1)는 상기 제m 데이터 라인(DLm)에 연결된 소오스 전극(S1), 상기 제n 게이트 라인(GLn)에 연결된 게이트 전극(G1) 및 상기 구동 트랜지스터(Tr2)에 연결된 드레인 전극(D1)을 포함한다. 상기 화상유지 커패시터(Cst)는 상기 스위칭 트랜지스터(Tr1)의 드레인 전극(D1)에 연결된 제1 전극(E1) 및 상기 바이

어스 라인(BL)에 연결된 제2 전극(E2)을 구비한다.

- <24> 상기 구동 트랜지스터(Tr2)는 상기 스위칭 트랜지스터(Tr1)의 드레인 전극(D1)에 연결된 게이트 전극(G2), 상기 바이어스 라인(BL)에 연결된 소오스 전극(S2) 및 상기 유기전계발광 다이오드(Di1)에 연결된 드레인 전극(D2)을 구비한다.
- <25> 상기 유기전계발광 다이오드(Di1)는 상기 구동 트랜지스터(Tr2)의 드레인 전극(D2)에 연결된 애노드(A1) 및 공통전압(Vcom)이 제공되는 캐소드(C1)를 포함한다. 상기 애노드(A1) 및 캐소드(C1) 사이에는 유기 발광층(미도시)이 개재된다. 상기 유기 발광층은 레드, 그린 또는 블루로 이루어진 유기물질 중 어느 하나를 포함할 수 있다. 상기 유기 발광층에 포함되는 유기물질의 컬러는 화소 단위로 달라질 수 있다.
- <26> 상기 제n 게이트 라인(GLn)에 게이트 신호가 인가된 상태에서 상기 제m 데이터 라인(DLm)으로 데이터 신호가 제공되면, 상기 스위칭 트랜지스터(Tr1)가 턴온 되면서, 상기 데이터 신호는 상기 스위칭 트랜지스터(Tr1)의 드레인 전극(D1)으로 출력된다. 상기 바이어스 라인(BL)에는 항상 바이어스 전압이 인가되고 있으니, 상기 화상유지 커패시터(C1)는 상기 드레인 전극(D1)으로 출력된 상기 데이터 신호와 상기 바이어스 전압에 의해서 전하를 충전한다.
- <27> 또한, 상기 구동 트랜지스터(Tr2)는 상기 화상유지 커패시터(C1)에 전하가 충전됨에 따라서 턴온된다. 따라서, 상기 유기전계발광 다이오드(Di1)의 애노드(A1)에는 상기 구동 트랜지스터(Tr2)의 드레인 전극(D2)으로 출력된 전류가 제공된다. 상기 구동 트랜지스터(Tr2)로부터 출력된 전류량에 따라서 상기 유기전계발광 다이오드(Di1)로부터 발광되는 광의 세기가 결정되고, 그 결과 원하는 계조의 영상을 표시할 수 있다.
- <28> 이하, 도 2a 내지 도 2x를 참조하여 투명 기관 상에 구비되는 화소의 제조 과정을 구체적으로 설명하기로 한다.
- <29> 도 2a 내지 도 2x는 도 1에 도시된 화소의 제조 과정을 나타낸 공정도들이다.
- <30> 도 2a를 참조하면, 유리 기관(211) 상에 버퍼층(212), 제1 아몰퍼스 실리콘층(221) 및 제1 N+아몰퍼스 실리콘층(222)이 순차적으로 적층된다.
- <31> 상기 버퍼층(212)은 완충 레이어로써, 실리콘 산화막(SiO_x)으로 이루어지고, 5000Å의 두께로 상기 유리 기관(211) 상에 형성된다. 상기 제1 아몰퍼스 실리콘층(221)은 상기 버퍼층(212) 상에 1500Å의 두께로 구비되고, 상기 제1 N+아몰퍼스 실리콘층(222)은 상기 제1 아몰퍼스 실리콘층(221) 상에 500Å의 두께로 구비된다. 이후, 상기 제1 아몰퍼스 실리콘층(221) 및 상기 제1 N+아몰퍼스 실리콘층(222)을 고상 결정화(Solid Phase Crystallization: SPC) 방법으로 결정화한다.
- <32> 도 2b에 도시된 바와 같이, SPC 방법으로 결정화된 1 N+아몰퍼스 실리콘층(222) 상에 제1 포토 레지스트(223)를 형성한다. 이후, 상기 제1 포토 레지스트(223)를 이용하여 상기 제1 아몰퍼스 실리콘층(221) 및 상기 제1 N+아몰퍼스 실리콘층(222)을 패터닝한다. 그러면, 도 2c 및 도 3a에 도시된 바와 같이 상기 버퍼층(212)의 특정 영역 상에는 제1 액티브층(224) 및 제1 오믹 콘택층(225)이 형성된다.
- <33> 이후, 도 2d를 참조하면, 상기 버퍼층(212) 상에는 상기 제1 액티브층(224) 및 제1 오믹 콘택층(225)를 커버하도록 제1 금속막(232) 및 제2 포토 레지스트(233)가 순차적으로 증착된다. 본 발명의 일 예로, 상기 제1 금속막(232)은 몰리브덴(Mo)으로 이루어지고, 100Å 내지 1000Å의 두께로 형성된다.
- <34> 이후, 상기 제2 포토 레지스트(233)를 패터닝하여 도 2e와 같은 제1 및 제2 포토 레지스트 패턴(232a, 232b)을 형성한다. 이후, 상기 제1 및 제2 포토 레지스트 패턴(232a, 232b)이 잔류하는 부분을 제외하고 상기 제1 금속막(231)을 제거하여 도 1에 도시된 구동 트랜지스터(Tr2)의 제2 드레인 전극(D2)과 제2 소오스 전극(S2)을 각각 형성하는 제1 서브 드레인 전극(233) 및 제1 서브 소오스 전극(234)을 형성한다.
- <35> 다음, 도 2f 및 도 3b와 같이 상기 제1 서브 드레인 전극(233) 및 상기 제2 서브 소오스 전극(234) 상에 각각 잔류하는 상기 제1 및 제2 포토 레지스트 패턴(232a, 232b)을 제거한다. 또한, 상기 제1 및 제2 포토 레지스트 패턴(232a, 232b)을 제거하는 과정에서 상기 제1 서브 드레인 전극(233)과 상기 제1 서브 소오스 전극(234) 사이의 영역에서 식각 공정을 통해 상기 제1 오믹 콘택층(225)을 제거하고, 상기 제1 액티브층(224)을 부분적으로 제거한다. 상기한 식각 공정이 완료된 직후, 상기 제1 액티브층(224)에서 SPC 잔량의 균일도는 30%이상으로 발생한다. 따라서, 상기 식각 공정 이후에 HF 세정을 통해 상기 유리 기관(211)을 세정함으로써, 상기 SPC 잔량의 균일도를 5% 이내로 낮출 수 있다. 이와 같이 HF 세정 공정을 진행함으로써, 상기한 구동 트랜지스터(Tr2)의 신뢰성이 향상될 수 있다.

- <36> 본 발명의 일 예로, 상기 제1 서브 드레인 전극(233)과 상기 제1 서브 소오스 전극(234)은 몰리브덴(Mo)과 같은 하나의 물질로 이루어진 단일막으로 형성된다. 따라서, 상기 HF 세정 과정에서 상기 HF에 의한 알루미늄 어택(Al attack) 현상이 발생하는 것을 방지할 수 있다.
- <37> 또한 도 3b에 도시된 바와 같이, 상기 제1 서브 드레인 전극(233)과 상기 제1 서브 소오스 전극(234)은 아일랜드 형태로 형성된다. 즉, 상기 제1 서브 드레인 전극(233)과 상기 제1 서브 소오스 전극(234)은 배선 저항이 큰 몰리브덴으로 이루어지므로, 상기 제1 서브 드레인 전극(233)과 상기 제1 서브 소오스 전극(234)을 형성할 때 도 1에 도시된 제 m 데이터 라인(DL m) 및 바이어스 라인(BL)은 형성하지 않는다.
- <38> 도 2g를 참조하면, 상기 버퍼층(212) 상에는 상기 제2 드레인 전극(D2)과 상기 제2 소오스 전극(S2)을 커버하도록 제1 게이트 절연막(241)이 형성되고, 그 위로 제3 포토 레지스트(242)가 형성된다. 상기 제1 게이트 절연막(241)은 실리콘 질화막(SiNx)으로 이루어지고, 100Å 내지 4000Å의 두께로 형성된다.
- <39> 도 2h에 도시된 바와 같이, 상기 제3 포토 레지스트(242)를 패터닝하여 상기 제1 게이트 절연막(241) 상에 제3 포토 레지스트 패턴(242a)을 형성한다. 이후, 상기 제1 게이트 절연막(241)에서 상기 제3 포토 레지스트 패턴(242a)에 의해서 커버되지 않은 부분을 건식 식각 공정을 통해 식각하면, 도 2i에 도시된 제1 게이트 절연막 패턴(243)이 형성된다. 상기 제1 게이트 절연막 패턴(243)은 상기 제2 드레인 전극(D2) 및 제2 소오스 전극(S2)을 부분적으로 커버하고, 상기 제2 드레인 전극(D2)과 상기 제2 소오스 전극(S2) 사이에서 노출된 상기 제1 액티브층(224)을 커버한다.
- <40> 도 2j에서, 상기 버퍼층(212) 상에는 상기 제1 게이트 절연막 패턴(243), 상기 제2 드레인 전극(D2) 및 상기 제2 소오스 전극(S2)을 커버하도록 제2 금속막(251)이 형성되고, 그 위로 제4 포토 레지스트(252)가 형성된다. 상기 제2 금속막(251)은 저저항 배선을 형성하기 위한 것으로써, 3중막 구조로 이루어진다. 즉, 상기 제2 금속막(251)은 제1 몰리브덴층(Mo), 알루미늄층(Al) 및 제2 몰리브덴층(Mo)이 순차적으로 적층된 3중막으로 이루어진다. 여기서, 상기 제1 몰리브덴층은 500Å의 두께를 갖고, 알루미늄층은 2000Å의 두께를 가지며, 제2 몰리브덴층은 1000Å의 두께를 갖는다.
- <41> 도 2k에 도시된 바와 같이, 상기 제4 포토 레지스트(252)를 패터닝하여 상기 제2 금속막(251) 상에 제4, 제5 및 제6 포토 레지스트 패턴(252a, 252b, 252c)을 형성한다. 이후, 상기 제2 금속막(251)에서 상기 제4 내지 제6 포토 레지스트 패턴(252a ~ 252c)에 의해서 커버되지 않은 부분을 식각 공정을 통해 식각한 후 잔류하는 상기 제4 내지 제6 포토 레지스트 패턴(252a ~ 252c)을 제거한다.
- <42> 그러면, 도 2l 및 도 3c와 같이 화상유지 커패시터(Cst, 도 1에 도시됨)의 제1 전극(E1), 상기 구동 트랜지스터(Tr2)의 제2 드레인 전극(D2)과 제2 소오스 전극(S2)을 각각 형성하는 제2 서브 드레인 전극(254) 및 제2 서브 소오스 전극(255)이 형성된다. 구체적으로, 상기 제2 서브 드레인 전극(254)은 상기 제1 서브 드레인 전극(233) 상에 구비되어 상기 제1 서브 드레인 전극(233)과 전기적으로 콘택되고, 상기 제2 서브 소오스 전극(255)은 상기 제1 서브 소오스 전극(234) 상에 구비되어 상기 제1 서브 소오스 전극(234)과 전기적으로 콘택된다.
- <43> 도 3c에 도시된 바와 같이, 상기 제2 서브 드레인 전극(254) 및 상기 제2 서브 소오스 전극(255)을 형성할 때 바이어스 라인(BL)을 함께 형성한다. 여기서, 상기 구동 트랜지스터(Tr)의 상기 제2 서브 소오스 전극(255)은 상기 바이어스 라인(BL)에 일체로 형성된다. 따라서, 상기 바이어스 라인(BL)에 흐르는 신호는 상기 제2 서브 소오스 전극(255)을 경유하여 상기 제1 서브 소오스 전극(255)으로 제공된다. 이처럼, 상기 바이어스 라인(BL) 및 제 m 데이터 라인(DL m) 등과 같이 신호가 제공되는 배선들을 상기 제2 서브 드레인 전극(254)과 상기 제2 서브 소오스 전극(255)을 형성하는 과정에서 함께 형성함으로써, 상기 라인들의 배선 저항을 감소시킬 수 있고, 그 결과 신호 지연을 방지할 수 있다.
- <44> 또한, 상기 제2 서브 드레인 전극(254)과 상기 제2 서브 소오스 전극(255)은 상기 HF 세정 공정 이후에 형성되므로, 상기 제2 서브 드레인 전극(254)과 상기 제2 서브 소오스 전극(255)이 알루미늄층을 포함하는 3중막 구조로 이루어지지만, 상기 HF에 의한 알루미늄 어택 현상은 발생하지 않는다.
- <45> 도 2m를 참조하면, 상기 버퍼층(212) 상에는 상기 화상유지 커패시터(Cst)의 제1 전극(E1), 제2 서브 드레인 전극(254), 제1 게이트 절연막 패턴(243) 및 제2 서브 소오스 전극(255)을 커버하는 제2 게이트 절연막(261)이 형성된다. 상기 제2 게이트 절연막(261) 위로 제3 금속막(262)과 제5 포토 레지스트(263)가 형성된다. 상기 제2 게이트 절연막(261)은 상기 제1 게이트 절연막(241)과 동일하게 실리콘 질화막(SiNx)으로 이루어지고, 1000Å 내지 3000Å의 두께로 형성된다. 본 발명의 일 예로, 상기 제3 금속막(262)은 몰리브덴층(Mo) 및 알루미늄층(Al)이 순차적으로 적층된 2중막으로 이루어지고, 몰리브덴층은 1000Å의 두께를 갖고, 알루미늄층은 2500Å의

두께를 갖는다.

- <46> 도 2n에 도시된 바와 같이, 상기 제5 포토 레지스트(263)를 패터닝하여 제7, 제8 및 제9 포토 레지스트 패턴(263a, 263b, 263c)을 형성한다. 다음, 상기 제7 내지 제9 포토 레지스트 패턴(263a ~ 263c)을 이용하여 상기 제3 금속막(262)을 패터닝한다. 그러면, 도 2o와 같이 상기 화상유지 커패시터(Cst)의 제1 전극(E1)과 마주하는 제2 전극(E2)이 형성된다. 이로써, 상기 유리 기판(211) 상에는 상기 화상유지 커패시터(Cst)가 완성된다.
- <47> 또한, 상기 제2 게이트 절연막(261) 상에는 제1 게이트 전극(G1) 및 제2 게이트 전극(G2)이 형성된다. 상기 제2 게이트 전극(G2)은 상기 제2 드레인 전극(D2)과 상기 제2 소오스 전극(S2)의 상부에 대응하여 구비된다. 이로써, 상기 유리 기판(211) 상에는 상기 구동 트랜지스터(Tr2)가 완성된다. 한편, 상기 제1 게이트 전극(G1)은 상기 구동 트랜지스터(Tr2)와 소정의 간격으로 이격되어 구비된다.
- <48> 도 2p를 참조하면, 상기 제2 게이트 절연막(261) 상에는 상기 화상유지 커패시터(Cst)의 제2 전극(E2), 상기 구동 트랜지스터(Tr2)의 제2 게이트 전극(G2) 및 상기 제1 게이트 전극(G1)을 커버하는 제3 게이트 절연막(271)이 형성되고, 그 위로 제2 아몰퍼스 실리콘층(272) 및 제2 N+아몰퍼스 실리콘층(273)이 순차적으로 적층된다. 상기 제2 아몰퍼스 실리콘층(272)은 2000Å의 두께로 형성되고, 제2 N+아몰퍼스 실리콘층(273)은 500Å의 두께로 형성된다.
- <49> 도 2q에 도시된 바와 같이, 상기 제1 게이트 전극(G1)의 상부에 구비된 제6 포토 레지스트(274)를 이용하여 상기 제2 아몰퍼스 실리콘층(272) 및 상기 제2 N+아몰퍼스 실리콘층(273)을 패터닝한다. 그러면, 도 2r과 같이 상기 제1 게이트 전극(G1)에 대응하여 상기 제3 게이트 절연막(271) 상에는 제2 액티브층(275) 및 제2 오믹 콘택층(276)이 형성된다.
- <50> 도 2s를 참조하면, 상기 제2 액티브층(275) 및 제2 오믹 콘택층(276)을 커버하도록 상기 제3 게이트 절연막(271) 상에는 제4 금속막(281)이 형성되고, 그 위로 제7 포토 레지스트(282)가 형성된다. 상기 제4 금속막(281)은 제1 몰리브덴층(Mo), 알루미늄층(AlNd) 및 제2 몰리브덴층(Mo)이 순차적으로 적층된 3중막으로 이루어진다. 여기서, 상기 제1 몰리브덴층은 300Å의 두께를 갖고, 상기 알루미늄층은 2500Å의 두께를 가지며, 상기 제2 몰리브덴층은 1000Å의 두께를 갖는다.
- <51> 도 2t에 도시된 바와 같이, 상기 제7 포토 레지스트(282)를 패터닝하여 제10 및 제11 포토 레지스트 패턴(282a, 282b)을 형성한다. 이후, 상기 제4 금속막(281)을 식각하면, 상기 제10 및 제11 포토 레지스트 패턴(282a, 282b)이 형성된 부분을 제외하고, 상기 제4 금속막(281)이 제거된다. 식각 공정 이후, 상기 제10 및 제11 포토 레지스트(282a, 282b)를 제거하면, 도 2u와 같이 제1 드레인 전극(D1), 제1 소오스 전극(S1) 및 상기 제1 소오스 전극(S1)과 일체로 형성되는 제m 데이터 라인(도 1에 도시됨)이 형성된다. 이로써, 상기 유리 기판(211) 상에 스위칭 트랜지스터(Tr1)가 완성된다.
- <52> 도 2v를 참조하면, 상기 스위칭 트랜지스터(Tr1)까지 완성된 상기 유리 기판(211)을 전체적으로 커버하는 보호막(291)이 형성된다. 상기 보호막(291)은 실리콘 질화막(SiNx)으로 이루어지고, 2000Å의 두께를 갖는다. 상기 보호막(291) 상에는 컬러필터층(292)이 형성된다. 상기 컬러필터층(292)은 레드, 그린 및 블루 색화소를 포함할 수 있다. 각 화소에는 상기 레드, 그린 및 블루 색화소 중 어느 하나가 구비된다.
- <53> 이후 도 2w를 참조하면, 상기 컬러필터층(292)이 형성된 상기 보호막(291) 상에는 유기 절연막(293)이 제공된다. 상기 유기 절연막(293)은 아크릴계 수지로 이루어지고, 1μm 내지 3μm의 두께를 갖는다. 상기 제2 드레인 전극(D2)의 상기 제2 서브 드레인 전극(254)을 노출시키기 위해서 상기 유기 절연막(293), 상기 보호막(291), 상기 제2 및 제3 게이트 절연막(261, 271)에는 제1 콘택홀(293a)이 형성된다. 또한, 상기 제2 소오스 전극(S2)의 상기 제2 서브 소오스 전극(255)을 노출시키기 위해서 상기 유기 절연막(293), 상기 보호막(291) 및 상기 제3 게이트 절연막(271)에는 제2 콘택홀(293b)이 형성된다. 상기 제1 드레인 전극(D1)을 노출시키기 위해서 상기 유기 절연막(293) 및 보호막(291)에는 제3 콘택홀(293c)이 형성된다.
- <54> 상기 유기 절연막(293) 상에는 인듐 징크 옥사이드(Indium Zinc Oxide: IZO)와 같은 물질로 이루어진 투명 도전막이 형성된다. 도 2x에 도시된 바와 같이, 상기 투명 도전막을 패터닝하면, 상기 유기 절연막(293) 상에는 도 1에 도시된 유기전계발광 다이오드(Di1)의 애노드 전극(A1) 및 상기 제2 게이트 전극(G2)과 상기 제1 드레인 전극(D1)을 연결하는 브릿지 전극(B1)이 형성된다.
- <55> 도면에 도시하지는 않았지만, 상기 애노드 전극(A1) 상에는 유기전계 발광층이 형성되고, 그 위로 상기 애노드 전극(A1)과 마주하는 캐소드 전극(C1)이 더 형성될 수 있다.

발명의 효과

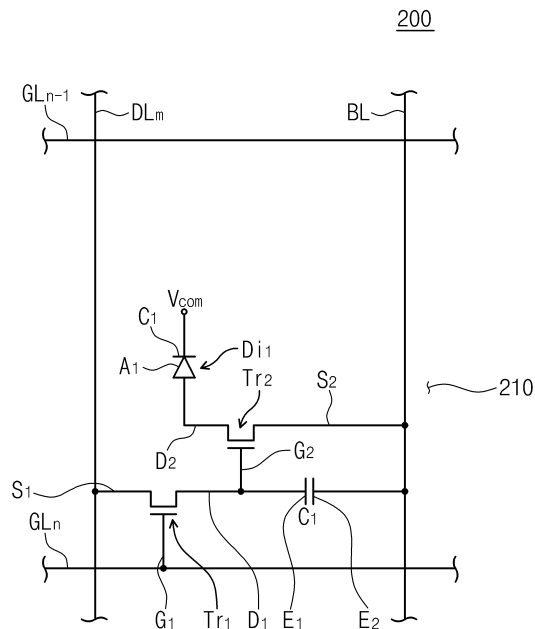
- <56> 이와 같은 유기전계발광 표시장치 및 이의 제조방법에 따르면, HF 세정 공정이 단일막 구조로 이루어진 제1 서브 소오스 전극 및 제1 서브 드레인 전극이 형성된 이후에 진행되고, HF 세정 공정이 완료된 후 3중막 구조로 이루어진 제2 서브 소오스 전극, 제2 서브 드레인 전극이 형성되고, 바이어스 라인은 상기 제2 서브 소오스 전극 및 제2 서브 드레인 전극과 동일한 공정을 통해 함께 형성된다.
- <57> 따라서, HF 세정 공정에서 알루미늄 어택(Al attack) 현상이 발생하는 것을 방지할 수 있고, 바이어스 라인을 3중막 구조로 형성 가능하므로, 유기전계발광 표시장치에 저저항 배선을 적용할 수 있다.
- <58> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

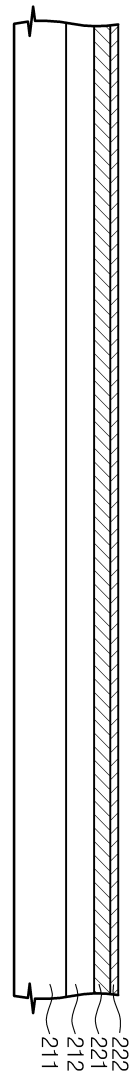
- <1> 도 1은 본 발명의 일 실시예에 따른 유기전계발광 표시장치를 나타낸 회로도이다.
- <2> 도 2a 내지 도 2x는 도 1에 도시된 화소의 제조 과정을 나타낸 공정도들이다.
- <3> 도 3a는 도 2c의 평면도이다.
- <4> 도 3b는 도 2f의 평면도이다.
- <5> 도 3c는 도 2l의 평면도이다.

도면

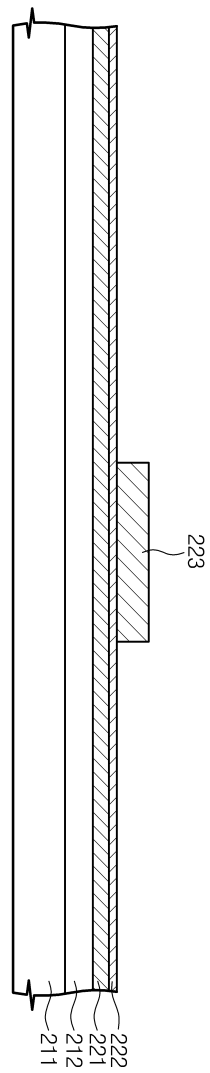
도면1



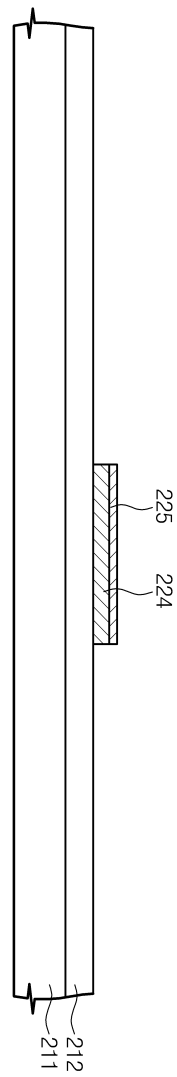
도면2a



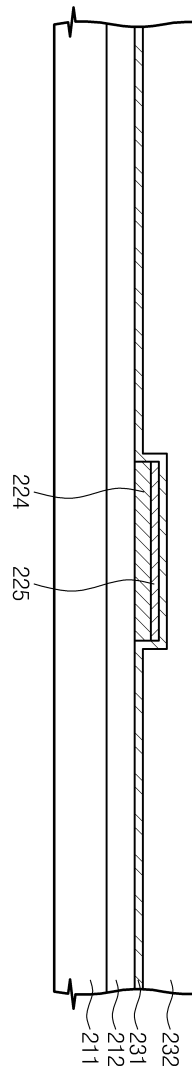
도면2b



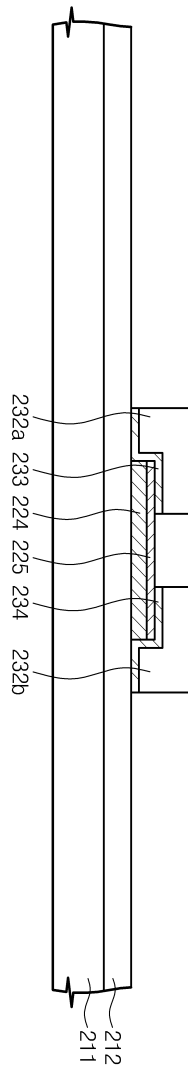
도면2c



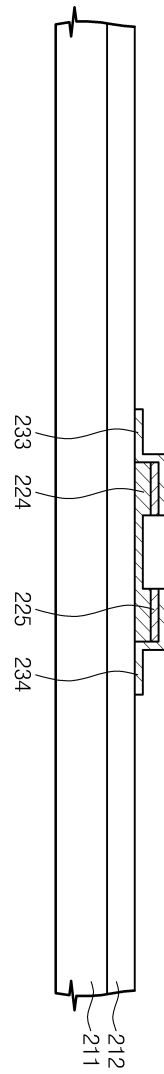
도면2d



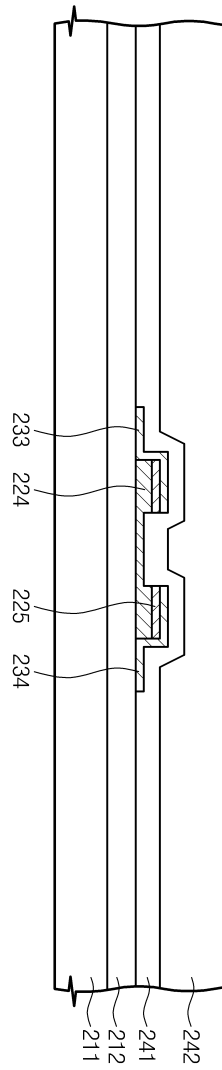
도면2e



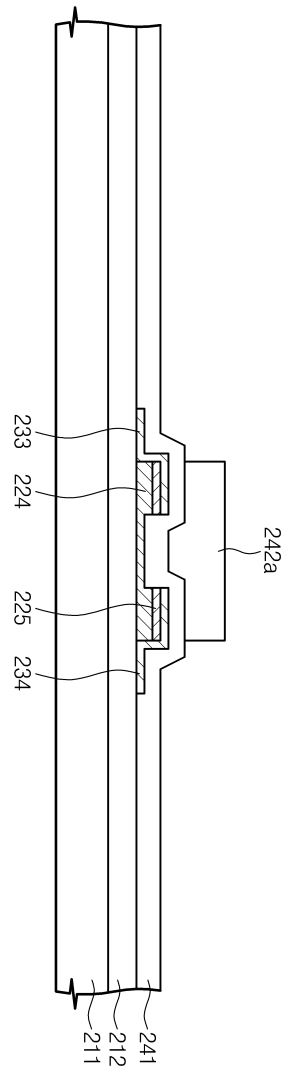
도면2f



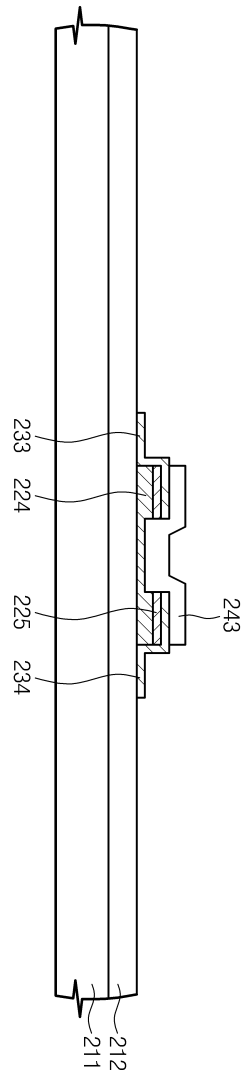
도면2g



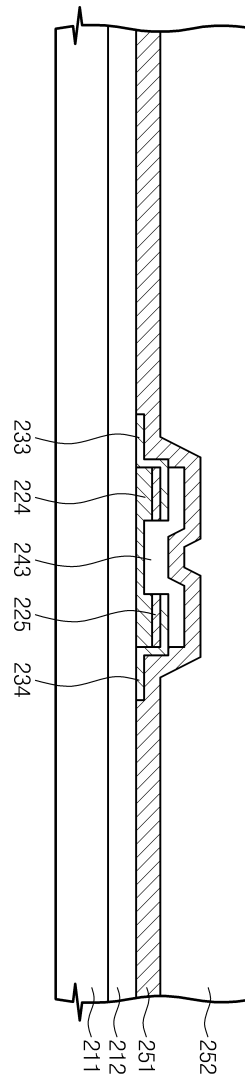
도면2h



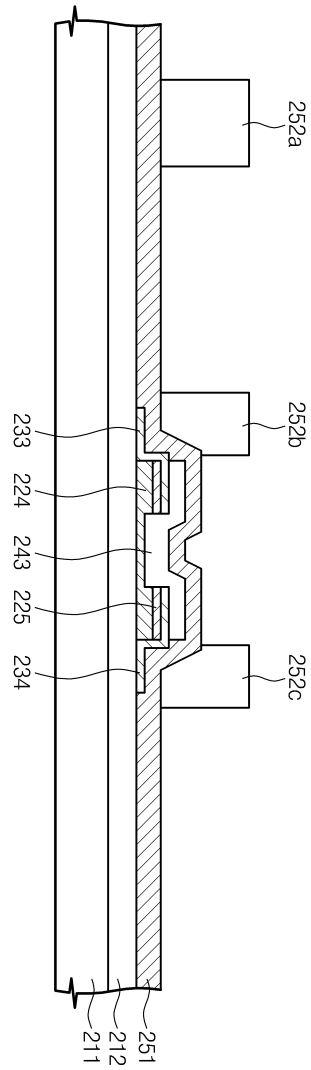
도면2i



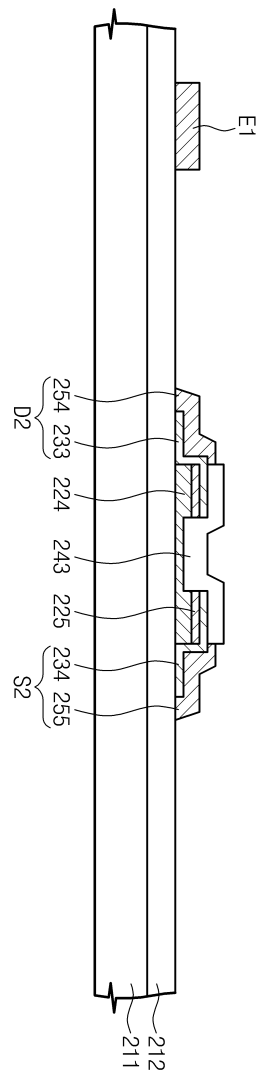
도면2j



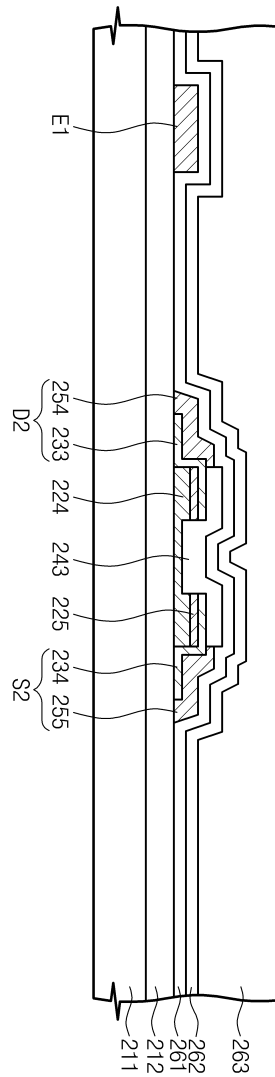
도면2k



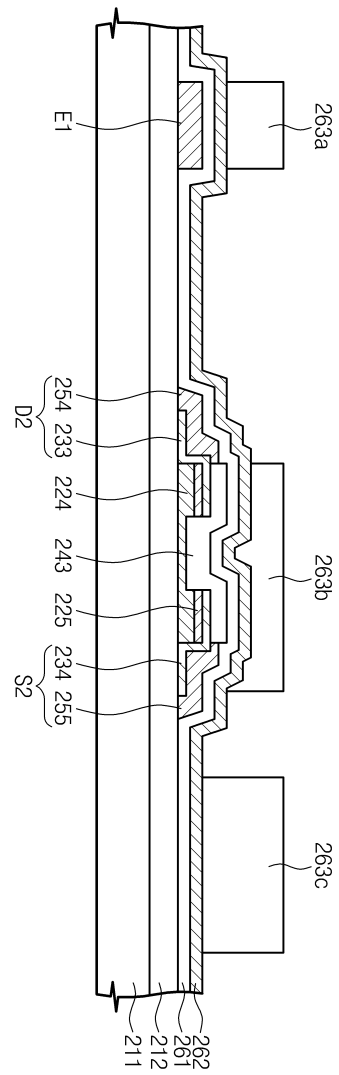
도면21



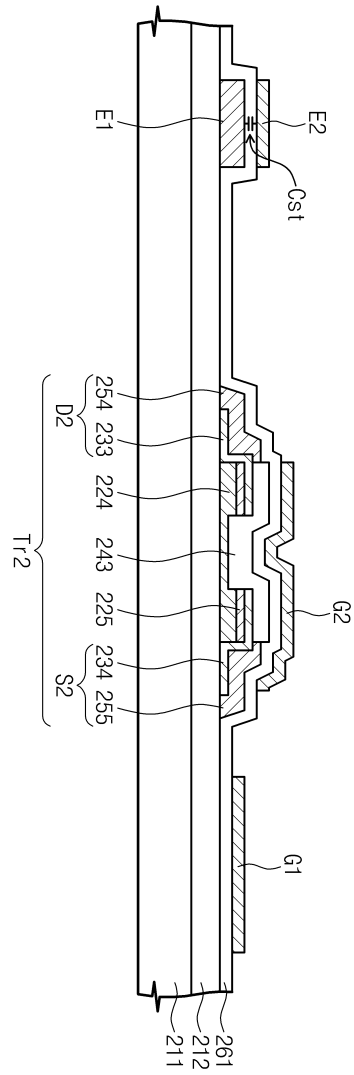
도면2m



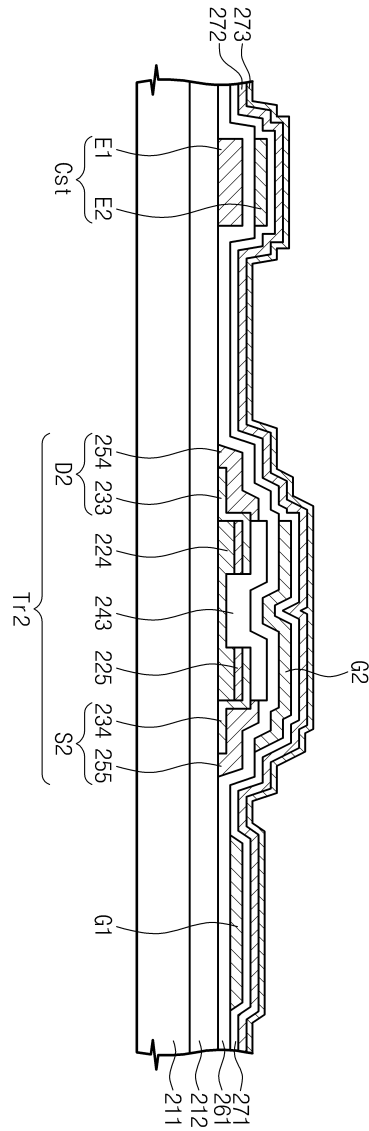
도면2n



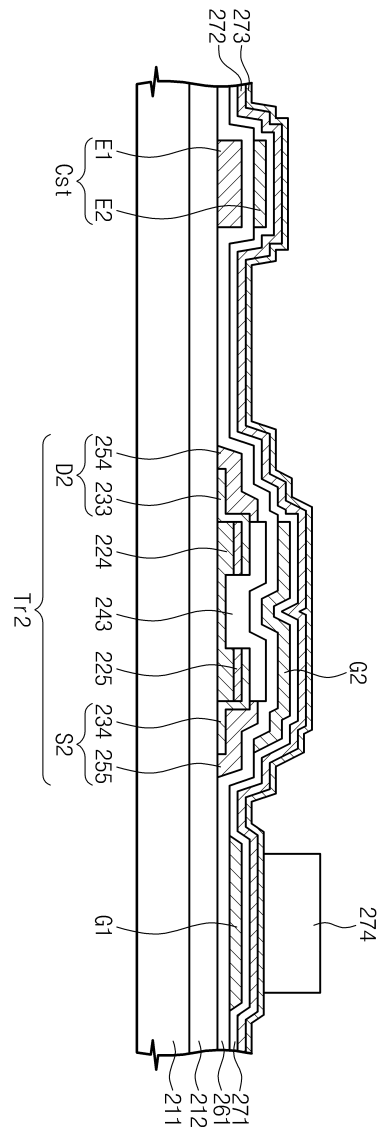
도면20



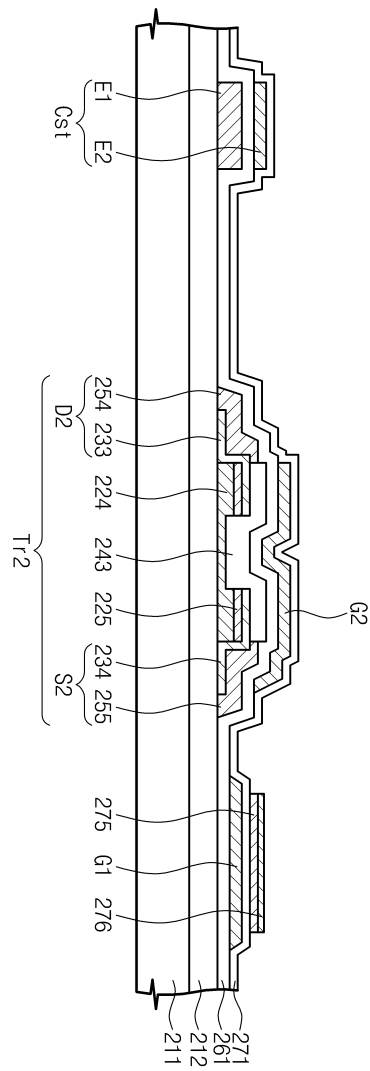
도면2p



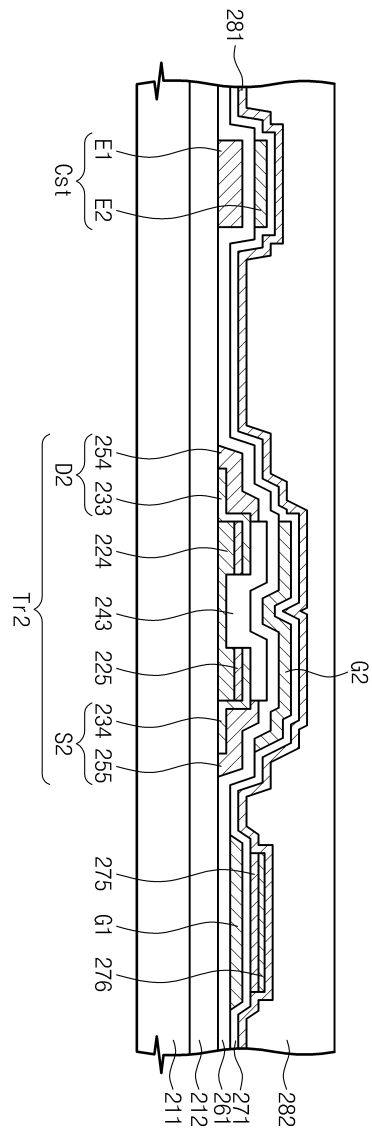
도면2q



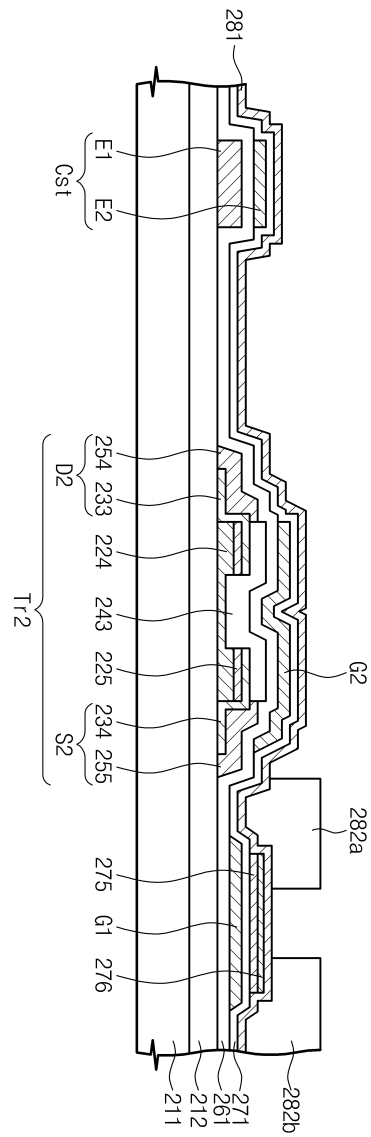
도면2r



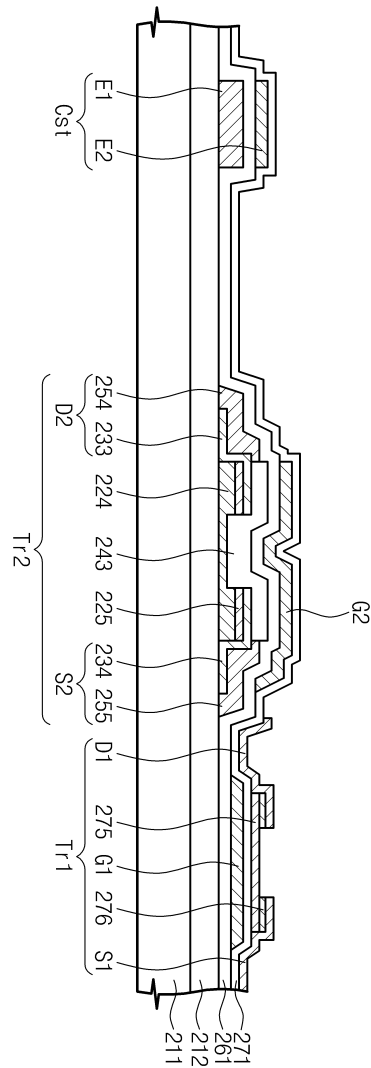
도면2s



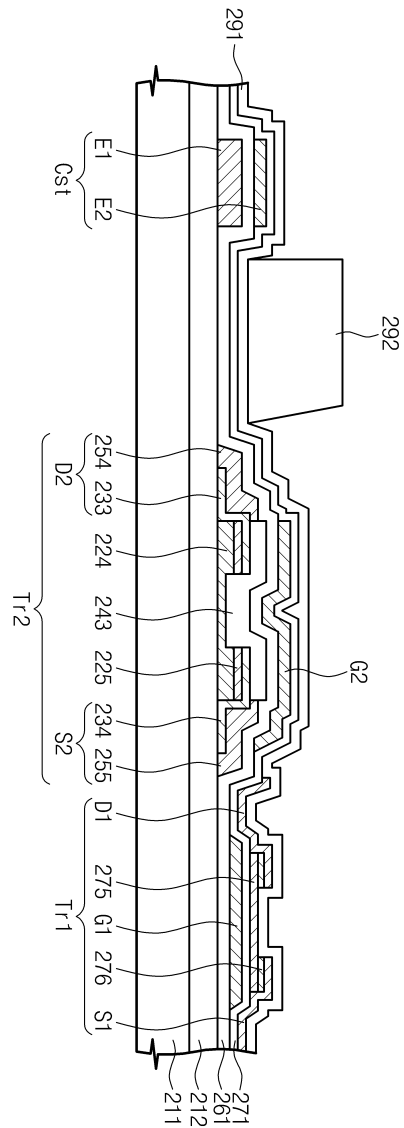
도면2t



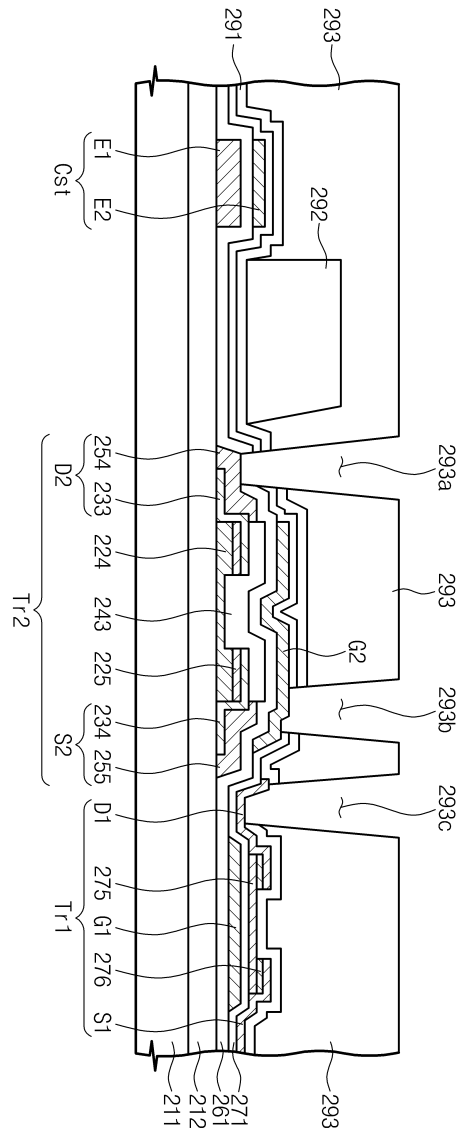
도면2u



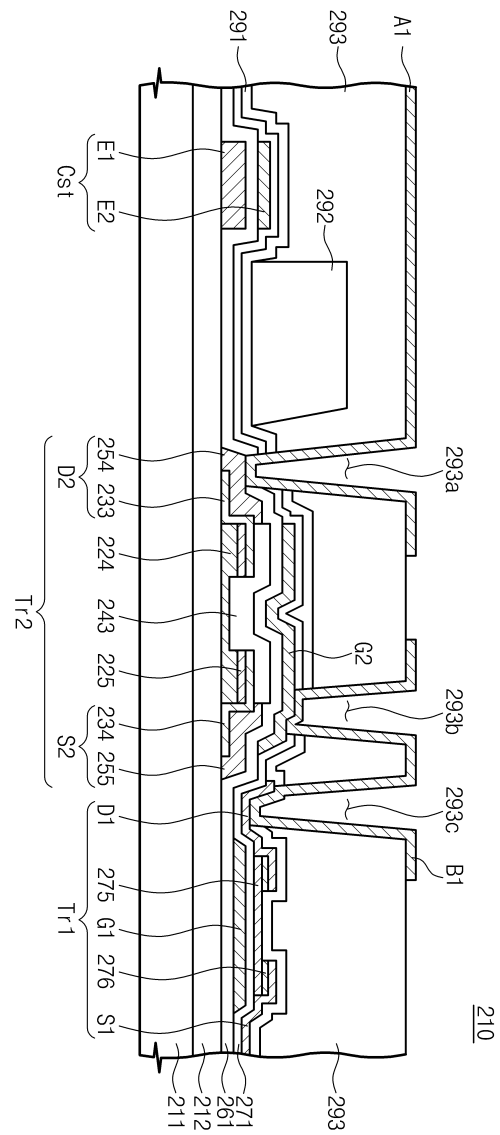
도면2v



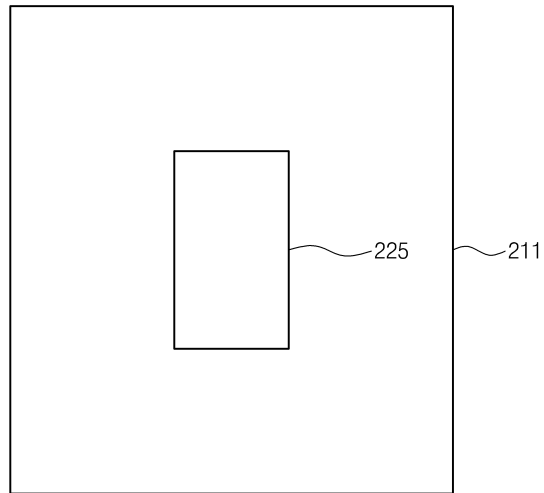
도면2w



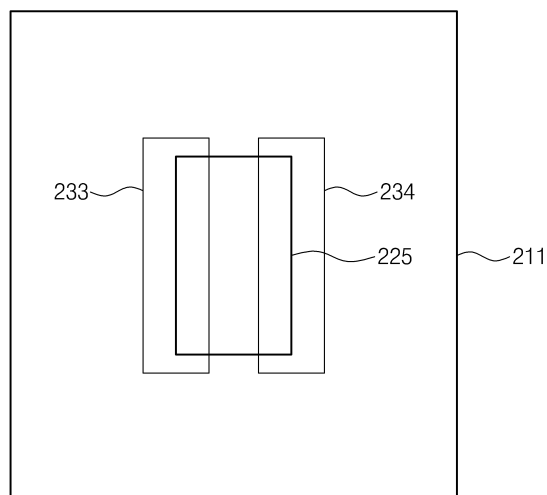
도면2x



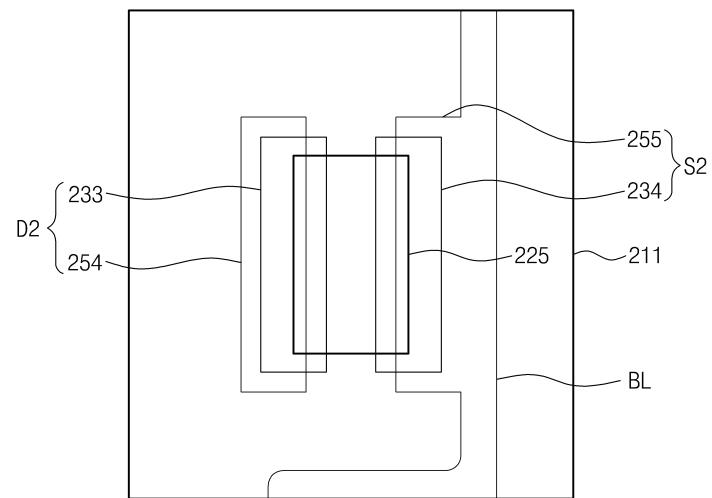
도면3a



도면3b



도면3c



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080099466A	公开(公告)日	2008-11-13
申请号	KR1020070045021	申请日	2007-05-09
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHO KYU SIK 조규식 PARK SEUNG KYU 박승규 PARK YONG HWAN 박용환 KIM TAE YOUN 김태연		
发明人	조규식 박승규 박용환 김태연		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L51/56 H01L27/3248 H01L27/3258 H01L51/0017 H01L2924/12044		
代理人(译)	SE JUN OH KWON , HYUK SOO 宋 , 云何		
外部链接	Espacenet		

摘要(译)

在有机电致发光显示装置的每个像素中，驱动晶体管的源电极包括第一和第二子源电极。漏电极包括第一和第二子漏电极。第一子源电极和第二子漏电极包括单层，并且它与驱动晶体管的多晶硅层重叠。第二子源电极和第二子漏电极由3片状结构制成。它分别与第一子源电极和第一子漏电极部分接触。此外，偏置线通过与第二子源电极相同的工艺一起形成。因此，在有机电致发光显示装置中，可以降低布线电阻。

