

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/30

(11) 공개번호 10-2005-0113706
(43) 공개일자 2005년12월05일

(21) 출원번호 10-2004-0037292
(22) 출원일자 2004년05월25일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 정진태
서울특별시강북구수유5동401-38(4/4)

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 발광 표시 장치

요약

본 발명은 발광 표시 장치에 관한 것이다.

본 발명에 따른 발광 표시 장치는 커패시터에 충전된 전압에 대응하여 발광 소자로 전류를 공급하는 트랜지스터를 제1 제어 신호에 응답하여 다이오드 연결시키는 제1 스위칭 소자와, 주사선으로부터의 선택 신호에 응답하여 데이터 전압을 상기 커패시터로 전달하는 제2 스위칭 소자, 그리고, 발광 주사선으로부터의 제2 제어 신호에 응답하여 상기 트랜지스터로부터 발광 소자로 공급되는 전류를 차단시키는 제3 스위칭 소자를 포함하는 화소를 구비한 발광 표시 장치이다. 여기서, 제2 제어 신호의 동작 시점이 제1 제어 신호의 동작 시점보다 느리다.

이러한 본 발명에 따르면, 제3 스위칭 소자의 오프 전류에 의하여 블랙 계조 표시가 정상적으로 이루어지지 않는 것을 방지할 수 있다.

대표도

도 4

색인어

발광 표시 장치, OLED, 문턱 전압, 블랙계조

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 전압 기입 방식의 유기 EL 표시 장치의 화소 회로를 나타내는 도면이다.

도 2는 본 발명의 실시 예에 따른 발광 표시 장치를 개략적으로 도시한 도이다.

도 3은 본 발명의 실시 예에 따른 화소 회로를 나타내는 도면이다.

도 4는 도 3의 화소 회로의 구동 타이밍도이다.

도 5는 본 발명의 실시 예에 따른 주사 구동부의 구조를 나타낸 도이다.

도 6은 도 5에 도시된 발광 신호를 생성하는 신호 출력부의 구체적인 회로도이다.

도 7은 도 6에 도시된 클락 인버터에 따라 출력되는 신호의 파형을 나타낸 도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 유기 전계발광(electroluminescent, 이하 'EL'이라 함) 표시 장치에 관한 것이다.

일반적으로 유기 EL 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, NxM 개의 유기 발광셀들을 전압 기입 혹은 전류 기입하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 애노드, 유기 박막, 캐소드 레이어의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL), 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함하고 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터와 커패시터를 각 ITO(indium tin oxide) 화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동 방식이다. 이때, 커패시터에 전압을 유지시키기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

도 1은 전압 기입 방식의 유기 EL 표시 장치의 화소 회로로서, 복수의 화소 회로 중 m번째 데이터선(Dm)과 n번째 주사선(Sn)에 연결된 화소 회로를 대표적으로 도시한 것이다.

도 1에 도시된 바와 같이, 유기 EL 소자(OLED)에 트랜지스터(M1)가 연결되어 발광을 위한 전류를 공급한다. 트랜지스터(M1)의 전류량은 스위칭 트랜지스터(M2)를 통해 인가되는 데이터 전압에 의해 제어되도록 되어 있다. 이때, 인가된 전압을 일정 기간 유지하기 위한 커패시터(Cst)가 트랜지스터(M2)의 소스와 게이트 사이에 연결되어 있다. 트랜지스터(M2)의 게이트는 주사선(Sn)에 연결되고, 소스는 데이터선(Dm)에 연결되어 있다.

이와 같은 종래의 화소 회로의 동작을 살펴보면, 트랜지스터(M2)의 게이트에 인가되는 선택 신호에 의해 트랜지스터(M2)가 턴온되면, 데이터선(Dm)을 통해 데이터 전압이 구동 트랜지스터(M1)의 게이트에 인가된다. 그리고 게이트에 인가되는 데이터 전압에 대응하여 트랜지스터(M1)를 통해 유기 EL 소자(OLED)에 전류가 흘러 발광이 이루어진다. 이때, 유기 EL 소자(OLED)에 흐르는 전류는 다음의 수학적 식 1과 같다.

수학적 식 1

$$I_{OLED} = \frac{\beta}{2} (V_{gs} - V_{th})^2 = \frac{\beta}{2} (V_{data} - V_{DD} - V_{th})^2$$

여기서, I_{OLED} 는 유기 EL 소자(OLED)에 흐르는 전류, V_{gs} 는 트랜지스터(M1)의 게이트와 소스 사이의 전압, V_{th} 는 트랜지스터(M1)의 문턱 전압, V_{data} 는 데이터 전압, β 는 트랜지스터(M1)의 크기 및 특성에 의해 결정되는 상수 값을 나타낸다.

수학식 1에 나타낸 바와 같이, 도 1에 도시된 화소 회로에 의하면 인가되는 데이터 전압(Vdata)에 대응되는 전류가 유기 EL 소자(OLED)에 공급되고, 공급되는 전류에 대응하여 유기 EL 소자(OLED)가 발광하게 된다.

그런데 이와 같은 종래의 전압 기입 방식의 화소 회로에서는 제조 공정의 불균일성에 의해 화소마다 생기는 박막 트랜지스터의 문턱 전압(Vth)의 편차로 인해 고계조를 얻기 어렵다는 문제점이 있다. 예를 들어, 3V로 화소의 트랜지스터를 구동하는 경우 8비트(256) 계조를 표현하기 위해서는 대략 $12\text{mV}(=3\text{V}/256)$ 간격으로 박막 트랜지스터의 게이트에 전압을 인가해야 하는데, 만일 제조 공정의 분균일로 인한 박막 트랜지스터의 문턱 전압의 편차가 100mV인 경우에는 고계조를 표현하기 어려워진다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 휘도를 표현할 수 있는 발광 표시 장치를 제공하기 위한 것이다.

본 발명의 다른 목적은 블랙 계조 표시가 정상적으로 이루어지는 발광 표시 장치를 제공하기 위한 것이다.

발명의 구성 및 작용

상기 과제를 달성하기 위하여, 본 발명의 하나의 특징에 따른 발광 표시 장치는 데이터선과 선택 주사선 및 발광 주사선이 교차하는 화소 영역에 형성되어 있으며, 커패시터, 발광 소자, 상기 커패시터에 충전된 전압에 대응하여 상기 발광 소자로 전류를 공급하는 트랜지스터, 제1 제어 신호에 응답하여 상기 트랜지스터를 다이오드 연결시키는 제1 스위칭 소자, 상기 주사선으로부터의 선택 신호에 응답하여 상기 데이터 전압을 상기 커패시터로 전달하는 제2 스위칭 소자, 상기 발광 주사선으로부터의 제2 제어 신호에 응답하여 상기 트랜지스터로부터 발광 소자로 공급되는 전류를 차단시키는 제3 스위칭 소자를 포함하는 화소 회로; 인가되는 데이터 제어 신호에 따라 상기 데이터선으로 데이터 신호를 공급하는 데이터 구동부; 및 인가되는 입력 신호에 따라 상기 주사선으로 선택 신호를 공급하는 제1 신호 출력부, 상기 제1 신호 출력부에서 출력되는 선택 신호를 토대로 상기 제2 제어 신호를 생성하는 제2 신호 출력부를 포함하는 주사 구동부를 포함하며, 상기 제2 제어 신호의 동작 시점이 상기 제1 제어 신호의 동작 시점보다 느리다. 여기서, 상기 제1 제어 신호는 상기 선택 신호가 인가되는 현재 주사선의 직전 주사선으로 인가되는 선택 신호일 수 있다.

여기서, 상기 주사 구동부의 제1 신호 출력부는 입력 신호를 소정 기간만큼 순차적으로 지연시켜 복수의 제1 신호를 생성하는 시프트 레지스터; 및 상기 제1 신호들을 논리 연산하여 복수의 선택 신호를 생성하는 논리 연산부를 포함할 수 있다. 그리고, 상기 주사 구동부의 제2 신호 출력부는 인가되는 클럭 제어 신호에 따라 동작하여 상기 제1 신호 출력부에서 출력되는 선택 신호를 소정 기간 지연시켜 출력하여 상기 발광 주사선으로 인가되는 제2 제어 신호로 출력하는 클럭 인버터를 포함할 수 있다. 이 때, 상기 제2 신호 출력부는 상기 클럭 인버터에서 출력되는 신호를 반전시켜 출력하는 적어도 하나 이상의 인버터를 더 포함할 수 있다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다.

도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다.

이제 본 발명의 실시 예에 따른 발광 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다. 그리고 본 발명의 실시 예에서는 발광 표시 장치로서 유기 물질의 전계 발광을 이용하는 유기 EL 표시 장치를 예로 들어 설명한다.

도 2는 본 발명의 실시 예에 따른 발광 표시 장치를 개략적으로 도시한 것이다.

도 2에 도시된 바와 같이, 본 발명의 실시 예에 따른 발광 표시 장치는 표시 패널(100), 주사 구동부(200) 및 데이터 구동부(300)를 포함한다.

표시 패널(100)은 열 방향으로 뻗어 있는 복수의 데이터선(D1~Dm), 행 방향으로 뻗어 있는 복수의 주사선 및 복수의 화소 회로(10)를 포함한다. 데이터선(D1~Dm)은 화상을 나타내는 데이터 전압을 화소 회로(10)로 전달한다.

본 발명의 실시 예에서, 주사선은 화소를 선택하기 위한 선택 신호를 전달하는 복수의 선택 주사선(S1~Sn) 및 유기 EL 소자의 발광 기간을 제어하기 위한 발광 신호를 전달하는 복수의 발광 주사선(E1~En)을 포함한다. 이와 같은 데이터선과 선택 및 발광 주사선에 의해 정의되는 화소 영역에 화소 회로(10)가 형성되어 있다.

주사 구동부(200)는 선택 주사선(S1~Sn)에 각각 선택 신호를 순차적으로 인가하고, 또한, 발광 주사선(E1~En)에 각각 발광 신호를 순차적으로 인가한다. 데이터 구동부(300)는 데이터선(D1~Dm)에 데이터 전압을 동시에 인가한다.

주사 구동부(200) 및/또는 데이터 구동부(300)는 유리 기판 위에 집적 회로 형태로 직접 장착될 수 있다. 또는 이들 구동부(200 및/또는 300)를 유리 기판 위에서 선택 및 발광 주사선, 데이터선 및 트랜지스터의 채널을 형성하는 층과 동일한 층들로 형성할 수도 있다. 또는 이들 구동부(200 및/또는 300)를 유리 기판과 별도의 기판에 형성하여 이들 기판을 유리 기판에 전기적으로 연결할 수도 있으며, 또한 유리 기판에 접촉되어 전기적으로 연결된 TCP(tape carrier package), FPC(flexible printed circuit) 또는 TAB(tape automatic bonding)에 칩 등의 형태로 장착할 수도 있다.

아래에서는 도 3 및 도 4를 참조하여 본 발명의 실시 예에 따른 화소 회로에 대해서 상세하게 설명한다.

도 3은 본 발명의 실시 예에 따른 화소 회로를 나타내는 도면이며, 도 4는 도 3의 화소 회로의 구동 타이밍도이다.

도 3에서는 설명의 편의상 m번째 데이터선(Dm)과 n번째 주사선(Sn)에 연결된 화소 회로만을 도시하였다. 그리고 도 4에서는 n번째 주사선(Sn)과 (n-1)번째 주사선(Sn-1)에 인가되는 선택 신호를 각각 scan[n] 및 scan[n-1]로 표시하였다. 그리고, 발광 주사선(En)에 인가되는 신호를 발광 신호 emit[n]으로 표시한다.

한편, 주사선에 관한 용어를 정의하면, 데이터 전압을 전달할 수 있도록 데이터선과 선택 주사선에 연결된 트랜지스터를 동작시키는 선택 신호를 전달하는 주사선을 "현재 주사선"이라 하고, 현재 선택 신호 직전에 선택 신호를 전달하는 주사선을 "직전 주사선"이라 한다.

도 3에 도시한 바와 같이, 본 발명의 실시 예에 따른 화소 회로는 5개의 트랜지스터(M1~M5), 저장용 커패시터(Cst), 문턱 전압 보상용 커패시터(Cvth) 및 유기 EL 소자(OLED)를 포함한다. 도 3에서는 트랜지스터(M1~M5)를 p채널 전계 효과 트랜지스터로 도시하였으나, 이에 한정되지 않고 예를 들어, 트랜지스터(M1~M4)는 p채널 전계 효과 트랜지스터로 구성하고 트랜지스터(M5)는 n 채널 전계 효과 트랜지스터로 구성하는 등의 변경이 가능하다. 그리고 트랜지스터는 두 개의 주 전극(드레인 전극 및 소스 전극)과 하나의 제어 전극(게이트 전극)을 가진다.

트랜지스터(M1)는 유기 EL 소자(OLED)를 구동하기 위한 구동 트랜지스터로서 하이 레벨의 전원 전압을 공급하기 위한 전원(VDD)과 트랜지스터(M5) 사이에 연결되며, 게이트에 인가되는 전압에 따라 트랜지스터(M5)를 통하여 유기 EL 소자(OLED)에 흐르는 전류를 제어한다. 그리고 트랜지스터(M2)는 트랜지스터(M1)의 게이트와 드레인 사이에 연결되며, 직전 주사선(Sn-1)으로부터의 로우 레벨의 선택 신호(scan[n-1])에 응답하여 트랜지스터(M1)를 다이오드 형태로 연결시킨다.

구동 트랜지스터(M1)의 게이트에는 커패시터(Cvth)의 제1 전극(A)이 연결되며, 커패시터(Cvth)의 제2 전극(B) 및 전원(VDD) 사이에는 커패시터(Cst)와 트랜지스터(M4)가 병렬로 연결된다. 트랜지스터(M4)는 직전 주사선(Sn-1)으로부터의 로우 레벨의 선택 신호(scan[n-1])에 응답하여 커패시터(Cvth)의 제2 전극(B)을 전원(VDD)에 연결한다. 그리고 트랜지스터(M3)는 데이터선(Dm)과 커패시터(Cvth)의 제2 전극(B) 사이에 연결되는 스위칭 트랜지스터로서, 현재 주사선(Sn)으로부터 로우 레벨의 선택 신호(scan[n])에 응답하여 데이터선(Dm)으로부터의 데이터 전압을 커패시터(Cvth)의 제2 전극(B)으로 전달한다.

트랜지스터(M5)는 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)의 애노드 사이에 연결되며, 발광 주사선(En)으로부터의 하이 레벨의 발광 신호(emit[n])에 응답하여 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)를 전기적으로 차단하고, 발광 주사선(En)으로부터의 로우 레벨의 발광 신호(emit[n])에 응답하여 트랜지스터(M1)로부터의 전류를 유기 EL 소자(OLED)로 전달한다.

유기 EL 소자(OLED)는 입력되는 전류에 대응하여 빛을 방출한다. 그리고 유기 EL 소자(OLED)의 캐소드에 연결되는 전압(VSS)은 전압(VDD)보다 낮은 레벨의 전압으로서, 그라운드 전압, 음의 전압 등이 사용될 수 있다.

이하, 본 발명의 실시 예에 따른 화소 회로의 동작을 도 4를 참조하여 설명한다.

먼저, T1 기간에서 직전 주사선(Sn-1)의 선택 신호(scan[n-1])가 로우 레벨로 되면, 트랜지스터(M2)가 턴온되어 구동 트랜지스터(M1)는 다이오드 형태로 연결된다. 따라서, 구동 트랜지스터(M1)의 게이트와 소스 사이의 전압이 구동 트랜지스터(M1)의 문턱 전압(Vth)이 될 때까지 변하게 된다. 이때, 트랜지스터(M1)의 소스는 전원(VDD)에 연결되어 있으므로, 트랜지스터(M1)의 게이트, 즉 커패시터(Cvth)의 제1 전극(A) 전압은 (VDD+ Vth) 전압으로 된다. 그리고 트랜지스터(M4)가 로우 레벨의 선택 신호(scan[n-1])에 의해 턴온되어 커패시터(Cvth)의 제2 전극(B)은 전원(VDD)에 연결되어 있으므로, 커패시터(Cvth)의 제2 전극(B) 전압은 전원 전압(VDD)으로 된다. 따라서 커패시터(Cvth)에는 문턱 전압(Vth)이 저장된다. 또한, n채널 트랜지스터(M5)는 하이 레벨의 발광 신호(emit[n])에 의해 턴오프되어 있으므로, 트랜지스터(M1)의 전류가 유기 EL 소자(OLED)로 흐르는 것이 방지된다.

다음, T2 기간에서 직전 주사선(Sn-1)의 선택 신호(scan[n-1])가 하이 레벨로 되고 현재 주사선(Sn)의 선택 신호(scan[n])가 로우 레벨로 되면, 트랜지스터(M3, M4)가 턴온되고 트랜지스터(M2, M4)가 턴오프된다. 그리고 데이터선(Dm)으로부터 데이터 전압(Vdata)이 트랜지스터(M3)로 전달된다. 그러면 데이터 전압(Vdata)이 커패시터(Cvth)의 제2 전극(B)으로 전달되어, 커패시터(Cvth)의 제1 전극(A) 전압은 데이터 전압(Vdata)과 전원 전압(VDD)의 차이만큼 부스트된다. 따라서 트랜지스터(M1)의 게이트, 즉 커패시터(Cvth)의 제1 전극(A) 전압(Vg)은 수학식 2와 같이 되고, 트랜지스터(M1)의 드레인에 흐르는 전류(I_{OLED})는 수학식 3과 같이 된다. 그리고 로우 레벨의 발광 신호(emit[n])에 의해 트랜지스터(M5)가 턴온되어 있으므로, 이 전류(I_{OLED})가 유기 EL 소자(OLED)로 전달되어 발광이 이루어진다. 또한, 트랜지스터(M1)의 게이트와 소스 사이의 전압(Vgs)은 커패시터(Cvth, Cst)에 저장되므로, T2 기간 이후에도 직전 주사선(Sn-1)의 선택 신호(scan[n-1])가 하이 레벨일 동안 트랜지스터(M1)에서는 유기 EL 소자(OLED)에 수학식 3과 같은 전류를 공급한다. 즉, 커패시터(Cst)는 문턱 전압(Vth) 보상용 커패시터(Cvth)와 함께 데이터 전압을 저장하는 역할을 한다.

수학식 2

$$Vg = VDD + Vth + (Vdata - VDD) = Vdata + Vth$$

수학식 3

$$\begin{aligned} I_{OLED} &= \frac{\beta}{2} (Vgs - Vth)^2 = \frac{\beta}{2} ((Vdata + Vth - VDD) - Vth)^2 \\ &= \frac{\beta}{2} (VDD - Vdata)^2 \end{aligned}$$

여기서, Vgs는 트랜지스터(M1)의 게이트와 소스 사이의 전압, Vth는 트랜지스터(M1)의 문턱 전압, Vdata는 데이터 전압, β는 상수 값을 나타낸다.

수학식 3을 보면, 유기 EL 소자(OLED)에 전달되는 전류(I_{OLED})는 구동 트랜지스터(M1)의 문턱 전압(Vth)에 관계없이 전원 전압(VDD)과 데이터 전압(Vdata)에 의해 결정이 된다. 따라서 표시 패널(100)의 화소 회로(10)들의 구동 트랜지스터(M1)의 문턱 전압(Vth)이 서로 다르더라도, 본 실시 예에서는 문턱 전압(Vth)의 편차가 커패시터(Cvth)에 의하여 보상되어 유기 EL 소자(OLED)에 공급되는 전류는 일정하게 된다. 즉, 본 발명의 실시 예에서 예시한 화소 회로에 의하면, 각 부화소 사이의 위치에 따른 박막 트랜지스터의 문턱 전압의 편차에 의해 발생하는 휘도 불균형 문제를 해결할 수 있다.

한편, 도 3의 화소 회로에서, 직전 주사선(Sn-1)에 로우 레벨의 선택 신호(scan[n-1])를 인가하여 커패시터(Cvth)에 문턱 전압(Vth)을 저장할 경우, 동시에 발광 주사선(En)으로 인가되는 발광 신호(emit[n])가 하이 레벨이 되면 순간적으로 트랜지스터(M5)의 오프 전류가 유기 EL 소자(OLED)로 흐를 수 있다. 이 경우, 오프 전류에 의하여 유기 EL 소자(OLED)가 소정량의 발광을 할 수 있으므로, 블랙 계조 표시가 정상적으로 이루어지지 않는다. 그러므로, 도 4에서와 같이, 주사선(Sn-1)의 선택 신호(scan[n-1])의 동작 시점보다 발광 주사선(En)의 발광 신호(emit[n])의 동작 시점이 느린 것이 바람직하다. 여기서 동작 시점은 신호의 레벨 상태가 변화되기 시작하는 때를 나타내는 것으로, 예를 들어 신호가 로우 레벨에서 하이 레벨로 변경되는 시점 또는 신호가 하이 레벨에서 로우 레벨로 변경되는 시점을 나타낸다.

다음에는 이러한 특징을 가지는 선택 신호 및 발광 신호를 생성하는 주사 구동부에 대하여 설명한다.

도 5는 본 발명의 실시 예에 따른 주사 구동부의 구조도이다.

도 5에 도시된 바와 같이, 본 발명의 실시 예에 따른 주사 구동부(200)는 크게 선택 신호를 생성하는 제1 신호 출력부(210) 및 발광 신호를 생성하는 제2 신호 출력부(220)를 포함한다.

제1 신호 출력부(210)는 시프트 레지스터(SR), NAND 게이트(NAND1-NANDn), 및 버퍼(B1-Bn)를 포함하며, 제2 신호 출력부(220)는 클락 인버터(CI1-CIn) 및 인버터(I1-In)를 포함한다.

도 6에 본 발명의 실시 예에 따른 클락 인버터의 구조가 도시되어 있다.

클락 인버터(CI1-CIn)는 도 6에 도시되어 있듯이, 다수의 트랜지스터(T1-T5)를 포함한다. 트랜지스터(T3)는 게이트로 인가되는 제2 입력 신호(IN2)에 따라 동작하며, 트랜지스터(T5)의 동작에 연동하여 트랜지스터(T1, T2)가 제1 입력 신호(IN1)를 반전시켜 출력하며, 트랜지스터(T4, T5)가 출력된 신호를 다시 반전시켜 출력한다. 따라서, 제1 입력 신호가 반전 없이 지연되어 출력된다. 여기서, 제1 입력 신호(IN1)는 제1 신호 출력부(210)로부터 출력되는 선택 신호(select[0]-select[n-1])이며, 제2 입력 신호(IN2)는 제어 신호(ENB)가 된다. 그러므로, 제2 신호 출력부(220)로 입력된 신호는 클락 인버터(CI1-CIn)에 의하여 지연된 다음, 인버터(I1-In)에 의하여 반전되어 출력된다.

여기서, 사용하고자 하는 발광 신호의 특성에 따라 인버터(I1-In)가 선택적으로 사용될 수 있으며, 또는 하나 이상 사용될 수 있다. 즉, 본 실시 예에서는 직전 주사선의 선택 신호(Scan[n-1])에 따라 동작하는 트랜지스터(M2, M4)와 발광 신호(emit[n])에 따라 동작하는 트랜지스터(M5)가 동일한 p 채널 전계 효과 트랜지스터로 이루어짐에 따라, 선택 신호(Scan[n-1])와 발광 신호(emit[n])가 반전 관계가 되도록 클락 인버터(CI1-CIn) 다음에 하나의 인버터(I1-In)를 형성하였다. 그러나, 트랜지스터(M2, M4)와 트랜지스터(M5)가 다른 특성 채널의 트랜지스터로 이루어지는 경우에는 단지 선택 신호(scan[n-1])가 소정 시간 지연된 신호가 발광 신호로 출력되도록, 인버터(I1-In)를 사용하지 않거나 짝수개 사용할 수도 있다.

이하의 설명에서 NAND 게이트(NAND1-NANDn), 버퍼(B1-Bn), 클락 인버터(CI1-CIn) 및 인버터(I1-In)는 선택 주사선(S1-Sn)의 개수에 대응되는 n개라 가정한다.

여기서, 시프트 레지스터(SR)는 (n+1) 개의 플립플롭을 포함하며, 각 플립플롭의 출력 신호가 시프트 레지스터(SR)의 출력 신호(SR1-SRn+1)가 된다. 첫 번째 플립플롭의 입력 신호는 시작 신호(VSP)이고, (i) 번째 플립플롭의 출력 신호가 (i+1) 번째 플립플롭의 입력 신호가 된다. 시프트 레지스터(SR)의 플립플롭은 클락(VCLK)이 하이 레벨인 경우에 신호를 입력받아 클락(VCLK)이 다시 하이 레벨이 될 때까지 입력 신호를 유지한다. 이러한 플립플롭은 다양한 형태로 구성될 수 있으므로, 여기서는 플립플롭에 대한 상세한 구조 설명을 생략한다.

다음에는 이러한 구조를 토대로 본 발명의 실시 예에 따른 주사 구동부의 동작에 대하여 설명한다.

제1 신호 출력부(210)의 시프트 레지스터(SR)는 클락(VCLK)과 시작 신호(VSP)를 수신하여 출력 신호(SR1-SRn+1)를 소정 클락만큼 시프트하면서 순차적으로 출력한다. NAND 게이트(NAND1-NANDn)는 시프트 레지스터(SR)의 출력 신호(SR1-SRn)들을 NAND 연산하여 출력하며, 버퍼(B1-Bn)는 NAND 연산되어 출력되는 신호를 버퍼링한 후 선택 신호(select[0]-select[n-1])로서 출력한다. 이 때, NAND 게이트(NAND1-NANDn)는 발광 신호 생성을 위하여 하이 레벨 상태로 인가되는 제어 신호(ENB)와 시프트 레지스터(SR)의 출력 신호(SR1-SRn+1)들을 NAND 연산하여 출력하며, 상기 제어 신호(ENB)와 시프트 레지스터(SR)의 출력 신호(SR1-SRn+1)들이 모두 하이 레벨을 가질 때에만 로우 레벨의 신호를 출력한다.

한편, 제2 신호 출력부(220)의 클락 인버터(CI1-CIn)는 인가되는 클락 즉, 제어 신호(ENB)에 따라 제1 신호 출력부(210)의 버퍼(B1-Bn)로부터 출력되는 신호 즉, 선택 신호(select[0]-select[n-1])를 소정 시간 지연시킨 후 출력하며, 인버터(I1-In)가 상기 지연된 신호를 반전시켜 발광 신호(emit[1]-emit[n])로서 출력한다.

도 7에 클락 인버터(CI1-CIn)에서 출력되는 신호의 동작 파형이 도시되어 있다. 도 7에서와 같이, 클락 인버터(CI1-CIn)의 특성에 따라 입력된 신호가 소정 시간 지연되어 출력됨으로써, 제2 신호 출력부(220)에서 최종적으로 출력되는 발광 신호(emit[1]-emit[n])의 동작 시점이 선택 신호(select[0]-select[n-1])보다 느리게 된다. 따라서, 선택 신호와 발광 신호의 동시 구동시 발생하는 트랜지스터(M5)의 오프 전류에 의하여 블랙 계조 표시가 정상적으로 이루어지지 않는 것을 방지할 수 있다.

이상으로, 본 발명의 실시 예에 따른 발광 표시 장치에 대하여 설명하였다. 상기 기술된 실시 예는 본 발명의 개념이 적용된 일 실시 예로서, 본 발명의 범위가 상기 실시 예에 한정되는 것은 아니며, 여러 가지 변형이 본 발명의 개념을 그대로 이용하여 형성될 수 있다.

발명의 효과

이러한 본 발명에 따르면 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차와 각 화소간의 전압 강하량 차이를 보상하여 발광 표시 장치의 휘도 균일성을 개선할 수 있다.

또한, 이러한 발광 표시 장치에서 블랙 계조 표시가 정상적으로 수행될 수 있다.

(57) 청구의 범위

청구항 1.

데이터선과 선택 주사선 및 발광 주사선이 교차하는 화소 영역에 형성되어 있으며, 커패시터, 발광 소자, 상기 커패시터에 충전된 전압에 대응하여 상기 발광 소자로 전류를 공급하는 트랜지스터, 제1 제어 신호에 응답하여 상기 트랜지스터를 다이오드 연결시키는 제1 스위칭 소자, 상기 주사선으로부터의 선택 신호에 응답하여 상기 데이터 전압을 상기 커패시터로 전달하는 제2 스위칭 소자, 상기 발광 주사선으로부터의 제2 제어 신호에 응답하여 상기 트랜지스터로부터 발광 소자로 공급되는 전류를 차단시키는 제3 스위칭 소자를 포함하는 화소 회로;

인가되는 데이터 제어 신호에 따라 상기 데이터선으로 데이터 신호를 공급하는 데이터 구동부; 및

인가되는 입력 신호에 따라 상기 주사선으로 선택 신호를 공급하는 제1신호 출력부, 상기 제1 신호 출력부에서 출력되는 선택 신호를 토대로 상기 제2 제어 신호를 생성하는 제2 신호 출력부를 포함하는 주사 구동부

를 포함하며,

상기 제2 제어 신호의 동작 시점이 상기 제1 제어 신호의 동작 시점보다 느린 발광 표시 장치.

청구항 2.

제1항에 있어서

상기 제1 제어 신호는 상기 선택 신호가 인가되는 현재 주사선의 직전 주사선으로 인가되는 선택 신호인 발광 표시 장치.

청구항 3.

제1항에 있어서,

상기 주사 구동부의 제1 신호 출력부는

입력 신호를 소정 기간만큼 순차적으로 지연시켜 복수의 제1 신호를 생성하는 시프트 레지스터; 및

상기 제1 신호들을 논리 연산하여 복수의 선택 신호를 생성하는 논리 연산부를 포함하는 발광 표시 장치.

청구항 4.

제1항 또는 제3항에 있어서,

상기 주사 구동부의 제2 신호 출력부는

인가되는 클락 제어 신호에 따라 동작하여 상기 제1 신호 출력부에서 출력되는 선택 신호를 소정 기간 지연시켜 출력하여 상기 발광 주사선으로 인가되는 제2 제어 신호로 출력하는 클락 인버터를 포함하는 발광 표시 장치.

청구항 5.

제4항에 있어서,

상기 제2 신호 출력부는

상기 클락 인버터에서 출력되는 신호를 반전시켜 출력하는 적어도 하나 이상의 인버터를 더 포함하는 발광 표시 장치.

청구항 6.

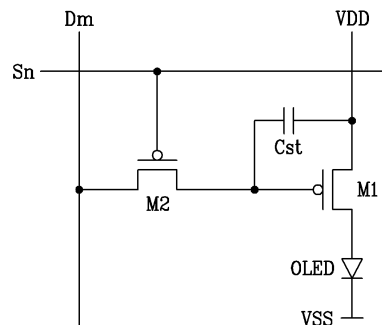
제3항에 있어서,

상기 시프트 레지스터는 다수의 플립플롭으로 이루어지고,

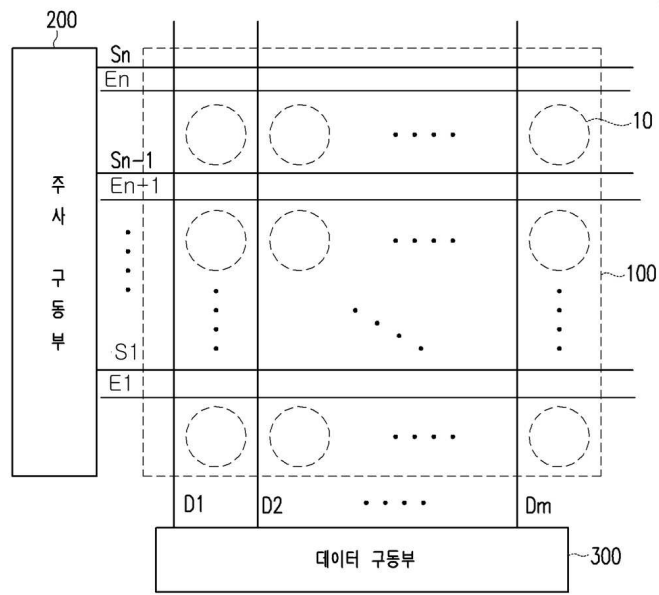
상기 논리 연산부는 상기 다수의 플립플롭 중 홀수번째 플립플롭과 짝수번째 플립플롭에서 출력되는 제1신호들을 NAND 연산하여 상기 선택 신호로 출력하는 다수의 NAND 게이트로 이루어지는 발광 표시 장치.

도면

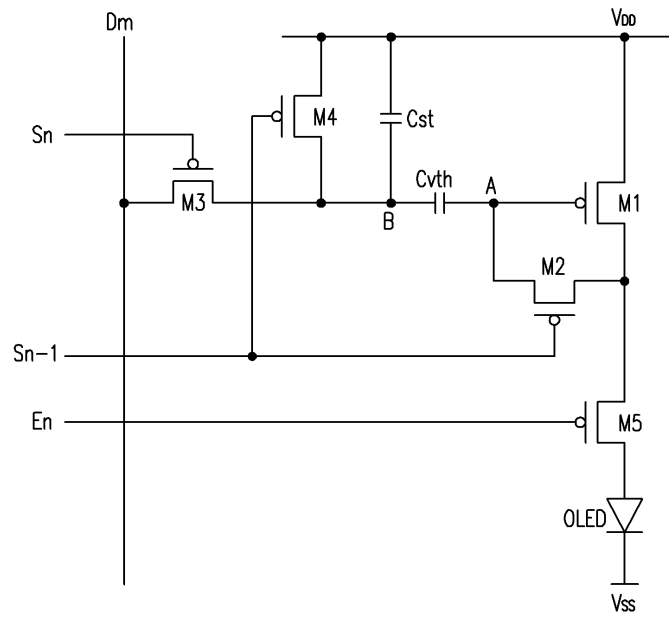
도면1



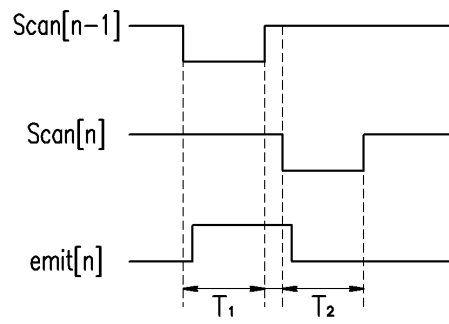
도면2



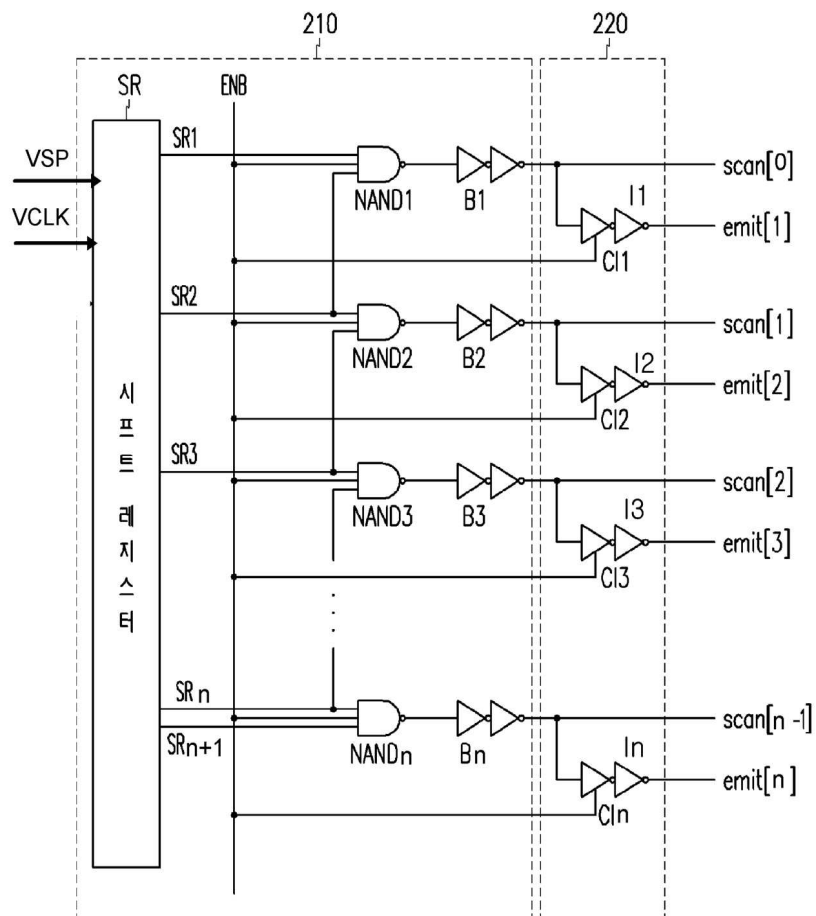
도면3



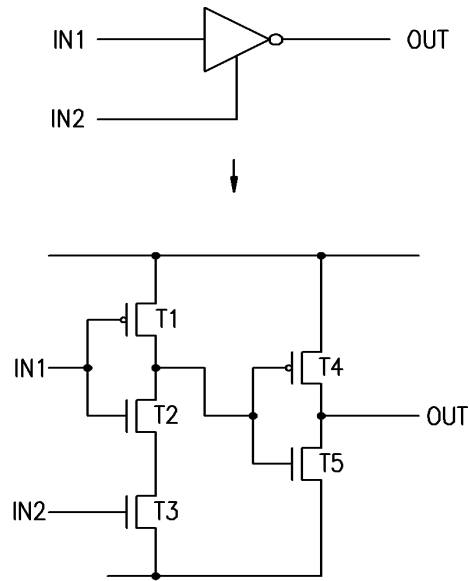
도면4



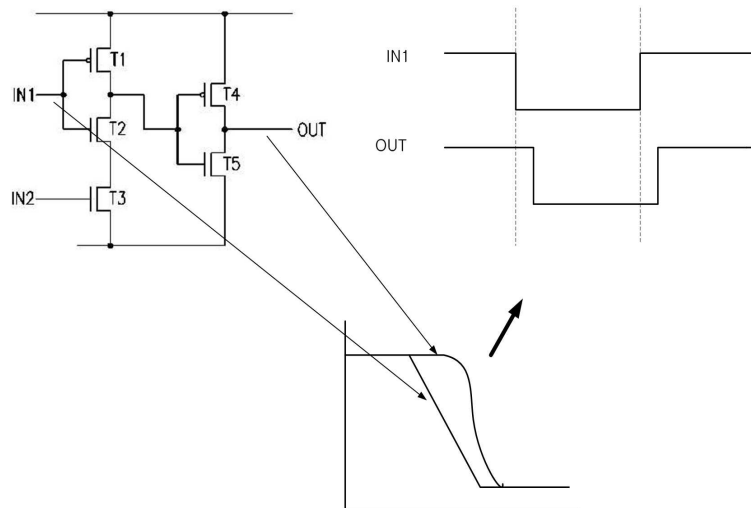
도면5



도면6



도면7



专利名称(译)	发光显示		
公开(公告)号	KR1020050113706A	公开(公告)日	2005-12-05
申请号	KR1020040037292	申请日	2004-05-25
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	JUNG JINTAE		
发明人	JUNG,JINTAE		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3225 G09G3/3266 G09G2310/0262 G09G2310/0286 G09G2320/0233 G09G2320/0238 H03K19/20 H03K2005/00241		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR100578846B1		
外部链接	Espacenet		

摘要(译)

本发明涉及发光显示装置。发光装置的电流对应于根据本发明的发光显示装置在电容器中充电的电压，可以参考配备有像素的发光显示装置，该像素包括连接作为响应的晶体管供应的第一开关装置。对于具有二极管的第一控制信号，第二开关元件响应于来自扫描线的选择信号将数据电压传送到电容器，并且第三开关装置切断响应于来自发光扫描的第二控制信号而提供的电流从晶体管到发光器件的线。这里，第二控制信号的通电慢于第一控制信号的通电。根据本发明，可以防止黑色渐变显示通常不会实现第三开关器件的截止电流。发光显示装置，OLED，阈值电压，黑色渐变。

