

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
H05B 33/00(11) 공개번호 10-2005-0072517
(43) 공개일자 2005년07월12일(21) 출원번호 10-2004-0000562
(22) 출원일자 2004년01월06일(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 배성식
경기도수원시팔달구영통동황골마을주공1단지아파트140동1603호
이상걸
경기도용인시기흥읍공세리428-5(74) 대리인 이영필
이해영

심사청구 : 있음

(54) 박막 트랜지스터, 박막 트랜지스터를 제조하는 방법 및 이를 구비한 평판 디스플레이 소자

요약

본 발명은, 기판의 일면 상부에 형성된 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 박막 트랜지스터에 있어서, 상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 에치 스톱퍼가 구비되는 것과, 상기 반도체 활성층의, 상기 에치 스톱퍼에 대응하는 영역은 대체적으로 MILC 결정을 갖고, 그 이외의 영역은 대체적으로 MIC 결정을 갖는 것을 특징으로 하는 박막 트랜지스터, 이를 제조하는 방법 및 이를 구비한 평판 디스플레이 소자, 특히 유기 전계 발광 디스플레이 소자를 제공한다.

대표도

도 2h

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래 기술에 따른 상부 게이트 구조의 박막 트랜지스터 제조 공정도,

도 2a 내지 도 2h에는 본 발명의 일 실시예에 따른 하부 게이트 구조의 박막 트랜지스터 및 유기 전계 발광 디스플레이 소자의 제조 공정도,

도 3은 본 발명의 다른 일 실시예에 따른 하부 게이트 구조의 박막 트랜지스터의 제조 공정의 일 개략도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터를 제조하는 방법에 관한 것으로서, 특히, 금속 유도 결정 방법을 사용하여 반도체 활성층이 결정화된 하부 게이트 구조(bottom gate)의 박막 트랜지스터(Thin-Film Transistor, TFT) 및 이를 제조하는 방법과, 이 박막 트랜지스터를 구비한 평판 디스플레이 소자, 특히 유기 전계 발광 디스플레이 소자(electroluminescent display)에 관한 것이다.

액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 등과 같은 평판 디스플레이 소자에는, 이러한 소자들을 구동시키기 위한 박막 트랜지스터 등 다양한 박막 트랜지스터(TFT)가 구비된다.

박막 트랜지스터는 게이트 전극, 소스 및 드레인 전극, 그리고 게이트 전극의 구동에 따라 활성화되는 반도체 층을 구비하며, 박막 트랜지스터는 이러한 층들의 적층 순서에 따라, 상부 게이트 구조(top gate 또는 normal staggered)의 박막 트랜지스터와 하부 게이트 구조(bottom gate 또는 inverted staggered)의 박막 트랜지스터로 분류될 수 있다. 박막 트랜지스터를 구성하는 반도체 층은 대체적으로 실리콘 층으로 이루어지는데, 종래의 기술에 따르면 반도체 활성층을 비정질 실리콘(amorphous silicon, a-Si)으로 구성하였다. 하지만, 비정질 실리콘은, 예를 들어 $1\text{cm}^2/\text{Vs}$ 이하의 낮은 전자 이동도(electron mobility)를 갖는 반면, 다결정 실리콘(poly-silicon)은 약 $100\text{cm}^2/\text{Vs}$ 정도의 전자 이동도를 갖는다는 점과, 점차 소형화됨과 동시에 개구율이 점차 감소하는 기술 추이를 충족시켜야 하는 점에서, 근래에는 비정질 실리콘을 다결정 실리콘으로 결정화하는 기술이 개발되고 있다.

상기와 같은 다결정 실리콘을 여러 가지 방법으로 제작할 수 있는데, 이는 다결정 실리콘을 직접 증착하는 방법과, 비정질 실리콘을 증착한 후 결정화하는 방법으로 크게 두 가지로 구분될 수 있다.

다결정 실리콘을 직접 증착하는 방법에는 열화학기상증착법(Cheical Vapor Deposition: CVD), Photo CVD, HR(hydrogen radical) CVD, ECR(electron cyclotron resonance) CVD, PE(Plasma Enhanced) CVD, LP(Low Pressure) CVD 등의 방법이 있다.

한편, 비정질 실리콘을 증착한 후 결정화하는 방법에는 고상결정화(Solid Phase Crystallization: SPC)법, 엑시머 레이저(Excimer Laser Annealing)법, 연속측면고상화(Sequential Lateral Solidification: SLS)법, 금속 유도 결정화(Metal Induced Crystallization: MIC)법, 및 금속 유도 측면 결정화(Metal Induced Lateral Crystallization: MILC)법 등이 있다.

그런데, 상기 고상결정화법은 600°C 이상의 고온에서 장시간 유지되어야 하므로 그 실용성이 현저히 떨어진다.

엑시머 레이저법은 저온 결정화를 이룰 수 있다는 장점이 있으나, 레이저 광선을 광학계를 이용해 넓힘으로써 균일성이 떨어진다는 문제점이 야기된다.

연속 측면 고상화법은 비정질 실리콘에 웨브론 모양의 마스크를 통과한 레이저를 주사하여 비정질 실리콘을 결정화시키면서 국부적인 영역에 다결정 실리콘을 형성하는 방법인데, 이는 레이저광의 주사를 정교하게 제어하는 데 기술적인 곤란이 따르고, 균일한 특성의 다결정 실리콘 박막을 얻는 데 한계가 있다.

한편, 금속 유도 결정화법은 비정질 실리콘의 표면에 금속 박막을 증착한 후 이를 결정화 촉매로 삼아 실리콘막의 결정화를 진행해 나가는 것으로 결정화 온도를 낮출 수 있다는 장점을 갖는다. 그러나, 이 금속 유도 결정화법 또한 다결정질 실리콘막이 금속에 의해 오염되어 있어 이 실리콘 막으로 형성한 박막 트랜지스터 소자의 특성이 불량하게 되며, 형성되는 결정 또한 크기가 작고 무질서한 문제가 있었다.

최근에 이러한 종래 비정질 실리콘 결정화 방법들의 문제를 해결하기 위해 금속과 실리콘이 반응하여 생성된 실리사이드가 측면으로 계속 전파하면서 순차적으로 결정화를 유도하는 금속 유도 측면 결정화법이 제안되고 있다. 이 금속 유도 측면 결정화법은 비정질 실리콘층을 결정화시키기 위해 사용된 금속 성분이 반도체 활성층 영역에는 거의 잔류하지 않고, 형성되는 결정의 크기가 크고 방향성이 있기 때문에 잔류 금속 성분에 의한 전류의 누설 및 기타 전기적 특성의 열화가 없고, 300 내지 500°C 의 비교적 저온에서 결정화를 유도할 수 있는 장점이 있다.

일본 특개평7-58339호에는, 도 1a 내지 도 1e에 도시된 바와 같이, 금속 유도 측면 결정화를 이용한 상부 게이트 구조의 박막 트랜지스터 제조 방법이 개시되어 있다. 도 1a 및 도 1b에서, 기판(101) 상에 버퍼층(102)을 형성하고, 개구(100)가 형성된 마스크(103)를 이용하여 개구(100) 영역에 금속층을 도포한 후, 그 상부에 비정질 실리콘 층을 성막하여 어닐링함으로써 비정질 실리콘 층을 다결정 실리콘 층으로 결정화시켰다. 다결정화된 실리콘 층을 패터닝하고(도 1c 참조), 그 상부에 게이트 절연층(106) 및 게이트 전극(107) 등을 형성함으로써 박막 트랜지스터를 제조하는데(도 1d 및 도 1e 참조), 다결정화된 실리콘 층을 별도의 패터닝 공정을 거쳐 식각해야 하는 등 공정 시간이 상당히 소요된다는 문제점이 야기된다. 또한, 일본 특개평7-58339호에는 실리콘 층의 양 측단에 금속 층을 증착 및 어닐링시켜, 실리콘 층의 채널 영역을 금속 농도가 낮게 다결정화시키는 방법이 개시되어 있으나, 이 또한, 상기한 바와 같은 문제점이 발생함과 동시에 채널 영역에서의 금속 농도를 저감시키기 위하여 상당한 폭의 활성층을 구비해야 하기 때문에 발생하는 구조적인 문제점도 수반된다. 종래 기술에 있어, 비정질 실리콘 층에 금속 층을 형성한 후 바로 열처리하기 때문에, 금속 층에 인접한 부분뿐만 아니라 비정질 실리콘 층의 상당한 부분까지 금속 층의 금속 성분이 짙은 농도로 인입 잔류되어 전류 누설을 야기할 수도 있다는 문제점을 내포한다. 이러한 종래 기술에 의한 문제점들은 이러한 기술이 하부 게이트 구조의 박막 트랜지스터에 적용되는 경우 더욱 두드러지게 나타난다.

하부 게이트 구조 박막 트랜지스터의 비정질 실리콘 층을 다결정 실리콘 층으로 형성하는 종래 기술의 일례로서, 한국 특허 공개 공보 제 1999-56743호에는, 기판 상에 게이트 전극 및 이를 덮는 절연층을 순차적으로 형성한 후, 절연층의 일면 상에 비정질 실리콘 층 및 에치 스톱퍼를 형성하고, 에치 스톱퍼를 마스크로 사용하여 비정질 실리콘 층의 일부분을 n^+ 이온 도핑하고, 이를 레이저 조사시킴으로써 비정질 실리콘 층을 다결정질화시키는 방법이 개시되어 있다. 하지만 이러한 종래 기술에 따른 방법은 레이저 조사 공정에 요구되는 복잡한 장비 및 공정이 요구되고, 레이저 조사에 의한 다결정질화는 불균일한 결정화를 유도할 수 있다는 점에서 박막 트랜지스터의 수율을 현저히 저감시켜 대량 생산에 적합하지 않다는 문제점을 수반한다.

발명이 이루고자 하는 기술적 과제

본 발명은, 단순한 공정을 통하여 결정 촉매 성분의 미량만을 반도체 활성층에 인입시켜 소스 및 드레인 영역을 결정화시키고, 이로부터 채널 영역을 측면 유도 결정화시킨 박막 트랜지스터 및 이를 제조하는 방법과, 이러한 박막 트랜지스터를 구비한 평면 표시 소자, 특히 유기 전계 발광 소자를 제공함을 목적으로 한다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명의 일면에 따르면, 기판의 일면 상부에 형성된 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 박막 트랜지스터에 있어서, 상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 에치 스톱퍼가 구비되는 것과, 상기 반도체 활성층의, 상기 에치 스톱퍼에 대응하는 영역은 대체적으로 MILC 결정을 갖고, 그 이외의 영역은 대체적으로 MIC 결정을 갖는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 다른 일면에 따르면, 상기 MILC 결정을 갖는 영역은 상기 반도체 활성층의 채널 영역이고, 상기 MIC 결정을 갖는 영역은 상기 반도체 활성층의 소스 및 드레인 영역인 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 반도체 활성층의 적어도 일부에는 결정 촉매 물질층이 구비되는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질인 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질층은 상기 반도체 활성층의 상기 에치 스톱퍼 하부를 제외한 영역에 구비되는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 또 다른 일면에 따르면, 기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 상부에 이와 절연되도록 비정질 실리콘 층을 형성하는 단계, 상기 게이트 전극에 대응하는 위치로 상기 비정질 실리콘 층의 일면 상에 에치 스톱퍼를 형성하는 단계, 상기 비정질 실리콘 층 상부 면의 적어도 일부분에 결정 촉매 물질을 확산시키는 단계, 상기 비정질 실리콘 층의 상부에 소스 및 드레인 전극을 형성하는 단계, 그리고 상기 상기 비정질 실리콘 층을 열처리하여 결정화시키는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 에치 스톱퍼를 형성한 후, 그 상부에 제 2 비정질 실리콘 층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 소스 및 드레인 전극 형성 단계는 상기 소스 및 드레인 물질 층을 도포하는 단계 및 패터닝하는 단계를 구비하고, 상기 소스 및 드레인 전극의 패터닝 단계와 동시에 상기 제 2 비정질 실리콘 층의 적어도 일부가 식각되는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 확산 단계는 상기 결정 촉매 물질을 증착 후 제거하는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 확산 단계는 상기 제 2 비정질 실리콘 층 위에 절연층을 형성하는 단계, 상기 결정 촉매 물질을 증착시키는 단계, 상기 증착된 결정 촉매 물질을 확산시키기 위해 열처리하는 단계, 그리고 열처리 후 잔류한 결정 촉매 물질을 제거하는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 기판의 일면 상부에 형성된 박막 트랜지스터를 구비하는 평판 디스플레이 소자로서, 상기 박막 트랜지스터가, 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 평판 디스플레이 소자에 있어서, 상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 에치 스톱퍼가 구비되는 것과, 상기 반도체 활성층의, 상기 에치 스톱퍼에 대응하는 영역은 대체적으로 MILC 결정을 갖고, 그 이외의 영역은 대체적으로 MIC 결정을 갖는 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 MILC 결정을 갖는 영역은 상기 반도체 활성층의 채널 영역이고, 상기 MIC 결정을 갖는 영역은 소스 및 드레인 영역인 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 반도체 활성층의 상부 면의 적어도 일부에는 결정 촉매 물질층이 구비되는 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질인 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질층은 상기 에치 스톱퍼 하부를 제외한 영역에 구비되는 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 기판의 일면 상부에 형성된 박막 트랜지스터를 구비하는 유기 전계 발광 디스플레이 소자로서, 상기 박막 트랜지스터가, 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 유기 전계 발광 디스플레이 소자에 있어서, 상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 에치 스톱퍼가 구비되는 것과, 상기 반도체 활성층의, 상기 에치 스톱퍼에 대응하는 영역은 대체적으로 MILC 결정을 갖고, 그 이외의 영역은 대체적으로 MIC 결정을 갖는 것을 특징으로 하는 유기 전계 디스플레이 소자를 제공한다.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.

도 2a 내지 도 2h에는 본 발명의 일 실시예에 따른 박막 트랜지스터 및 유기 전계 발광 소자의 제작 공정이 개략적으로 도시되어 있다.

도 2a에 도시된 바와 같이, 기판(201) 상에 예를 들어, Cu, Al, Mo, MoW, Cr, 또는 MoTa 등과 같은 물질로 게이트 메탈층을 형성한 후, 게이트 패터닝하여 게이트 전극(210)을 형성하는데, 향후 결정화 단계에서의 열처리에 대해 내열성을 보유하기 위하여 MoW로 형성되는 것이 바람직하다. 또한, 도면에 도시되지는 않았으나, 게이트 전극(210)을 형성하는 경우, 게이트 전극(210)과 인접한 위치에 동일한 재료로 커패시터 전극을 형성할 수도 있다.

게이트 전극(210)을 절연시키기 위하여, 게이트 절연층(220)을 증착하는데, 게이트 절연층(220)은 예를 들어 SiO₂, SiN_x 등으로 구성되는 것이 바람직하다. 게이트 절연층(230)의 일면 상에는 제 1 비정질 실리콘 층, 즉 도핑되지 않은 비정질 실리콘 층(amorphous silicon layer, a-Si:H, 230)이 형성된다. 도 2b에 도시된 바와 같이, 도핑되지 않은 비정질 실리콘 층(230)의 일면 상에는 에치 스톱퍼(250)가 형성되는데, 도 2b에 도시된 에치 스톱퍼(250)의 형상 및 배치 위치는 일 예로 도시된 것일뿐, 에치 스톱퍼(250)의 형상 및 배치 위치가 이에 한정되는 것을 아니다. 에치 스톱퍼(250)는 식각과 같은 다양한 방법에 의하여 구성될 수 있는데, 감광성 재료로 형성된 에치 스톱퍼 층을 게이트 전극(210)을 포토 레지스트 층으로 사용하여 기판(201)의 다른 일면으로부터 노광시킴으로써 형성될 수도 있다. 도 2c에서, 에치 스톱퍼(250)와 도핑되지 않은 비정질 실리콘 층(230)에는 예를 들어 도핑된 제 2 비정질 실리콘 층, 즉 n+ 비정질 실리콘 층(231)이 증착되는데, 이들 도핑되지 않은/n+ 비정질 실리콘 층(230/231)은 차후 결정화 단계를 거쳐 다결정질 실리콘 층으로 결정화되며, 각각 반도체 활성층으로 작동할 수 있는데, 특히 도핑되지 않은 비정질 실리콘 층(230)은 반도체 활성층의 채널 영역을 구비하게 된다.

n+ 비정질 실리콘 층(231)의 일면 상에는 사전 설정된 결정 촉매 물질로서의 예를 들어, Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 또는 그 이상으로 구성되는 금속 층(231a)이 증착된 후 다시 제거된다. 바람직하게는, 금속 층(231a)은 Ni로 구성되지만, 이러한 결정 촉매 물질은 순수 금속에 한정되는 것은 아니고, 규화 니켈과 같은 물질이 사용될 수도 있다. 금속 층(231a)의 증착 과정에 의하여, 금속 층(231a)이 제거된, n+ 비정질 실리콘 층(231)의 일면 상에는 금속 층(231a)을 구성하는 금속 성분이 미량 잔류하거나, 증착 과정 중 미량의 금속이 n+ 비정질 실리콘 층(231)의 내부, 경우에 따라서는 n+ 비정질 실리콘 층(231)을 넘어 도핑되지 않은 비정질 실리콘 층(230)의 적어도 일부분까지 인입 또는 확산될 수도 있다. 하지만, 에치 스톱퍼(250)의 존재로 인하여, 결정 촉매 물질은 게이트 전극(210)의 위치에 대응하는, 도핑되지 않은 비정질 실리콘 층(230)의 채널 영역에는 인입 또는 확산되지 않는다.

또한, 본 발명의 다른 일 실시예에 따른 금속 성분의 인입 과정은 도 3에 도시된다. n+ 비정질 실리콘 층(231)의 일면 상에는 먼저 인슐레이터 층(231b)이 형성되고, 인슐레이터 층(231b)의 일면 상에 사전 설정된 결정 촉매 물질로서의 예를 들어, Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 또는 그 이상으로 구성되는 금속 층(231a)이 증착된다. 그런 후 금속 층(231a)의 금속 성분이 n+ 비정질 실리콘 층(231)의 적어도 일부분에, 또는 경우에 따라서는 n+ 비정질 실리콘 층(231)을 넘어 도핑되지 않은 비정질 실리콘 층(230)의 적어도 일부분까지 인입, 즉 확산될 수 있도록 열처리된다. 하지만, 상기한 도 2c의 경우와 마찬가지로, 에치 스톱퍼(250)의 존재로 인하여, 결정 촉매 물질은 게이트 전극(210)의 위치에 대응하는, 도핑되지 않은 비정질 실리콘 층(230)의 채널 영역에는 인입되지 않는다. 열처리 후, 금속 층(231a) 및 인슐레이터 층(231b)은 제거된다. 인슐레이터 층(231b)의 두께와 열처리 온도 및 시간 등을 적절히 조절함으로써 비정질 실리콘 층(230 또는 231)에 인입되는 결정 촉매 물질의 양을 조절할 수 있다.

결정 촉매 성분으로서 사전 설정된 금속 성분의 인입 과정 후, 도 2d에 도시된 바와 같이, 어닐링 과정, 즉 열처리 과정을 수행한다. 이러한 열처리 과정을 통하여 비정질 실리콘 층(230, 231)은 결정화되어 다결정 실리콘 층(230', 231')으로 변한다. 이에 대하여 상세히 살펴보면, 도핑된 실리콘 층(231)은 전체 영역에 걸쳐 다결정 실리콘 층(231')으로 변한다. 반면, 도핑되지 않은 실리콘 층(230)의 소스 및 드레인 영역(230a, b)은, 이에 인입된 결정 촉매 물질의 성분에 의하여 직접적으로 또는 이에 대응하는 다결정화된 도핑된 실리콘 층(231')에 의하여 다결정 소스 및 드레인 영역(230'a, b)으로 결정화된다. 하지만, 도핑되지 않은 실리콘 층(230)의 채널 영역(230c)은 에치 스톱퍼(250)에 의하여 다결정화된 도핑된 실리콘 층(231')과의 접촉이 차단됐을 뿐만 아니라, 에치 스톱퍼(250)에 의하여 결정 촉매 물질의 인입도 차단되었다. 따라서, 도핑되지 않은 실리콘 층(230)의 채널 영역(230c)은 다결정화된 소스 및 드레인 영역(230'a, b)으로부터 측면 결정화된다.

도 2e에 도시된 바와 같이, 도핑된 다결정 실리콘 층(231')의 일면 상에는 소스 및 드레인 전극(240a, b)을 구성하는 물질이 도포되어 층을 형성하고 패터닝되어 소스 및 드레인 전극(240a, b)가 형성된다. 소스 및 드레인 전극(240a, b)을 패터닝하는 경우 이의 후에 및/또는 이와 동시에, 소스 및 드레인 전극(240a, b) 사이로서 게이트 전극(210)의 위치에 대응되는 위치(소위, 백 채널)를 식각할 수 있는데, 식각부(251)는 도핑된 다결정 실리콘 층(231')으로 인하여 전류 누설이 생기는 것을 방지하기 위하여 오버 에칭된다. 따라서, 이러한 식각은 n+ 비정질 실리콘 층(231)의 적어도 일부분, 바람직하게는 에치 스톱퍼(250)의 적어도 일부분까지 이루어지는 것이 바람직하다.

도 2f에 도시된 바와 같이, 소스 및 드레인 전극(240a, b)의 일면 상에는 페시베이션 층이 증착되고 열처리되어 소자 특성을 개선과 평탄화 역할을 수행할 수도 있다.

한편, 본 발명의 또 다른 일 실시예에 따르면, 상기한 박막 트랜지스터 및 이의 제조 방법은 평판 디스플레이 소자, 바람직하게는 유기 전계 발광 디스플레이 소자 및 이의 제조 방법에 구비될 수 있다. 예를 들어, 유기 전계 발광 디스플레이 소자의 경우, 도 2g 및 도 2h에 도시된 바와 같이, 제 1 전극층(270)과, 화소 정의 층(280)과, 유기 전계 발광부(290)와, 그리고 제 2 전극층(295)을 포함하는 화소부를 더 구비한다.

소스 및 드레인 전극(240a, b)의 일면 상에는 페시베이션 층(260)이 형성되고, 페시베이션 층(260)에는 드레인 전극(240b)까지 연장되는 콘택홀(261)이 형성된다. 그 후, 상기 콘택홀(261)에 형성되는 제 1 전극 연결부(271)를 구비하는 양극으로서의 제 1 전극층(270)이 페시베이션층(260)의 일면 상으로 적어도 일부분, 예를 들어 게이트 전극에 인접한 영역의 위치에 형성된다. 제 1 전극층(270)이 형성된 후에는, 페시베이션 층(260)과 그리고 제 1 전극 층(270)의 적어도 일

부분을 덮도록 화소 정의 층(280)이 형성되는데, 이 화소 정의 층(28)은 일정한 개구 영역, 즉 화소 영역을 구비함과 동시에 평탄화 층으로서의 역할도 수행한다. 화소 영역으로서 제 1 전극 층(270)의 일면 상에는 유기 전계 발광부(290)가 형성된다. 화소 정의 층(28)과 화소 영역, 상세하게는 유기 전계 발광부(290)를 덮도록 음극으로서의 제 2 전극층(295)이 형성된다.

따라서, 본 발명에 따른 하부 게이트 구조의 박막 트랜지스터에 의해 구동되는 제 1 전극층과 제 2 전극층에 의하여 제어된 정공 또는 전자가 유기 전계 발광부(290)의 유기 발광부에서 재결합되어 유기 발광부가 자발광함으로써, 빛이 외부로 추출될 수 있다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 비정질 실리콘 층의 일면 상에 결정 촉매 물질의 소량을 인입 한 후 비정질 실리콘 층의 채널 영역의 적어도 일부분을 식각하는 단순한 공정을 통하여, 비정질 실리콘 층의 채널 영역이 측면 유도 결정화되어 채널 영역을 다결정화시킴으로써, 누설 전류가 상당히 저감된 하부 게이트 구조의 박막 트랜지스터를 제조할 수도 있다.

또한, 비정질 실리콘 층의 일면 상에 결정 촉매 물질을 인입시키는 경우, 단지 결정 촉매 물질층을 증착 후 제거하거나 또는 인슐레이터 층을 통하여 열처리함으로써 비정질 실리콘 층의 소스 및 드레인 영역에 미량의 결정 촉매 물질만을 잔류 또는 확산시켜, 소스 및 드레인 영역 인접부의 채널 영역에서의 결정 촉매 물질 제거에 의한 박막 트랜지스터의 구동 효율을 상당히 증대시킬 수도 있다.

그리고, 평판 디스플레이 소자, 특히 유기 전계 발광 디스플레이 소자에 상기한 바와 같은 박막 트랜지스터를 사용하여 제조함으로써, 종래 기술, 특히 ELA(Excimer Laser Annealing)를 통하여 제조된 박막 트랜지스터를 구비하는 유기 전계 발광 디스플레이 소자에서와는 달리, 생산 공정의 안정성, 공정 흐름의 단순화 및 수율 증대를 도출할 수도 있다.

특히, 박막 트랜지스터 상에 형성된 페시베이션 층에 개구부를 형성하고 제 1 전극층을 형성하는 공정까지, 5개의 마스크를 이용한 5 Mask 공정이 가능하기 때문에, 기존의 a-Si 박막 트랜지스터 공정에 상기한 바와 같은 단순한 공정의 추가만으로 poly-Si 박막 트랜지스터 및 이를 구비하는 평판 디스플레이 소자를 생산할 수 있다는 점에서, 기존의 a-Si 박막 트랜지스터 생산 장치를 이용하여 생산 단가의 특별한 증대없이 효과적인 구동 성능을 구비하는 박막 트랜지스터를 생산할 수도 있다.

본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

(57) 청구의 범위

청구항 1.

기판의 일면 상부에 형성된 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 박막 트랜지스터에 있어서,

상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 에치 스톱퍼가 구비되는 것과,

상기 반도체 활성층의, 상기 에치 스톱퍼에 대응하는 영역은 대체적으로 MILC 결정을 갖고, 그 이외의 영역은 대체적으로 MIC 결정을 갖는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

제 1항에 있어서, 상기 MILC 결정을 갖는 영역은 상기 반도체 활성층의 채널 영역이고, 상기 MIC 결정을 갖는 영역은 상기 반도체 활성층의 소스 및 드레인 영역인 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

제 1항 또는 제 2항에 있어서, 상기 반도체 활성층의 적어도 일부에는 결정 촉매 물질층이 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

제 3항에 있어서, 상기 결정 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질인 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

제 3항에 있어서, 상기 결정 촉매 물질층은 상기 반도체 활성층의 상기 에치 스톱퍼 하부를 제외한 영역에 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상부에 이와 절연되도록 비정질 실리콘 층을 형성하는 단계;

상기 게이트 전극에 대응하는 위치로 상기 비정질 실리콘 층의 일면 상에 에치 스톱퍼를 형성하는 단계;

상기 비정질 실리콘 층 상부 면의 적어도 일부분에 결정 촉매 물질을 확산시키는 단계;

상기 비정질 실리콘 층의 상부에 소스 및 드레인 전극을 형성하는 단계; 그리고

상기 비정질 실리콘 층을 열처리하여 결정화시키는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 7.

제 6항에 있어서, 상기 에치 스톱퍼를 형성한 후, 그 상부에 제 2 비정질 실리콘 층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 8.

제 7항에 있어서, 상기 소스 및 드레인 전극 형성 단계는 상기 소스 및 드레인 물질층을 도포하는 단계 및 패터닝하는 단계를 구비하고, 상기 소스 및 드레인 전극의 패터닝 단계와 동시에 상기 제 2 비정질 실리콘 층의 적어도 일부가 식각되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 9.

제 6항에 있어서, 상기 확산 단계는 상기 결정 촉매 물질을 증착 후 제거하는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 10.

제 6항에 있어서, 상기 확산 단계는 상기 제 2비정질 실리콘 층 위에 절연층을 형성하는 단계, 상기 결정 촉매 물질을 증착시키는 단계, 상기 증착된 결정 촉매 물질을 확산시키기 위해 열처리하는 단계, 그리고 열처리 후 잔류한 결정 촉매 물질을 제거하는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 11.

기판의 일면 상부에 형성된 박막 트랜지스터를 구비하는 평판 디스플레이 소자로서, 상기 박막 트랜지스터가:

게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 평판 디스플레이 소자에 있어서,

상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 에치 스톱퍼가 구비되는 것과,

상기 반도체 활성층의, 상기 에치 스톱퍼에 대응하는 영역은 대체적으로 MILC 결정을 갖고, 그 이외의 영역은 대체적으로 MIC 결정을 갖는 것을 특징으로 하는 평판 디스플레이 소자.

청구항 12.

제 11항에 있어서, 상기 MILC 결정을 갖는 영역은 상기 반도체 활성층의 채널 영역이고, 상기 MIC 결정을 갖는 영역은 소스 및 드레인 영역인 것을 특징으로 하는 평판 디스플레이 소자.

청구항 13.

제 11항에 있어서, 상기 반도체 활성층의 상부 면의 적어도 일부에는 결정 촉매 물질층이 구비되는 것을 특징으로 하는 평판 디스플레이 소자.

청구항 14.

제 13항에 있어서, 상기 결정 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질인 것을 특징으로 하는 평판 디스플레이 소자.

청구항 15.

제 13항에 있어서, 상기 결정 촉매 물질층은 상기 에치 스톱퍼 하부를 제외한 영역에 구비되는 것을 특징으로 하는 평판 디스플레이 소자.

청구항 16.

기판의 일면 상부에 형성된 박막 트랜지스터를 구비하는 유기 전계 발광 디스플레이 소자로서, 상기 박막 트랜지스터가:

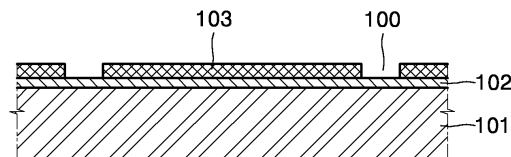
게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 유기 전계 발광 디스플레이 소자에 있어서,

상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 에치 스톱퍼가 구비되는 것과,

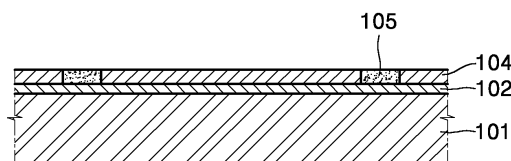
상기 반도체 활성층의, 상기 에치 스톱퍼에 대응하는 영역은 대체적으로 MILC 결정을 갖고, 그 이외의 영역은 대체적으로 MIC 결정을 갖는 것을 특징으로 하는 유기 전계 디스플레이 소자.

도면

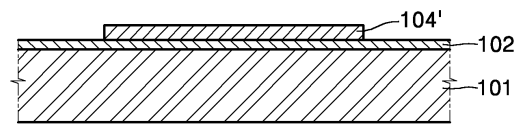
도면1a



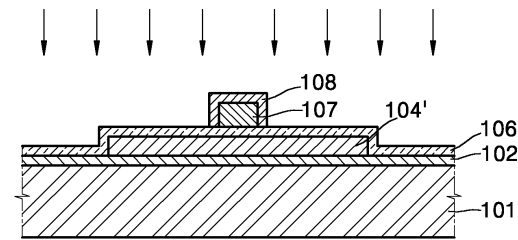
도면1b



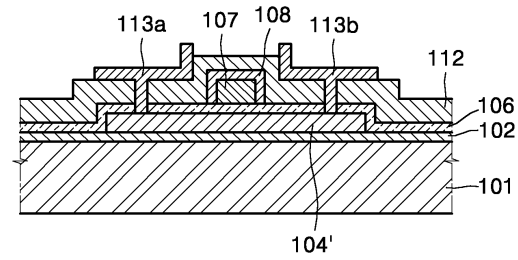
도면1c



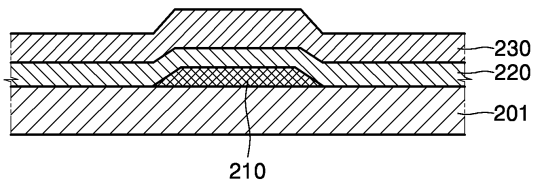
도면1d



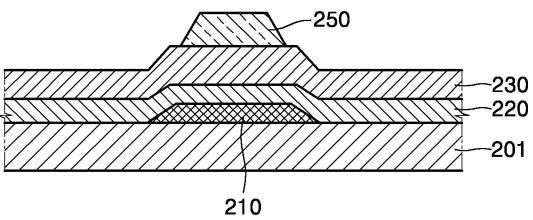
도면1e



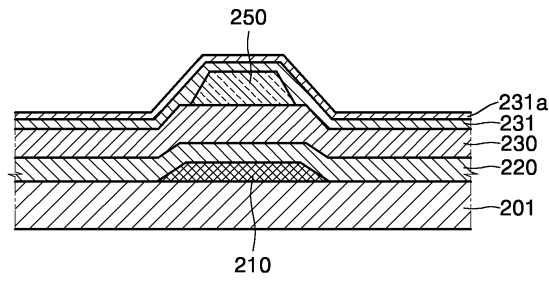
도면2a



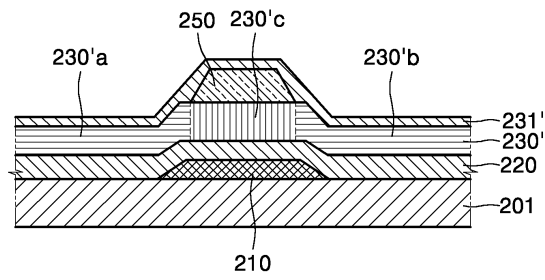
도면2b



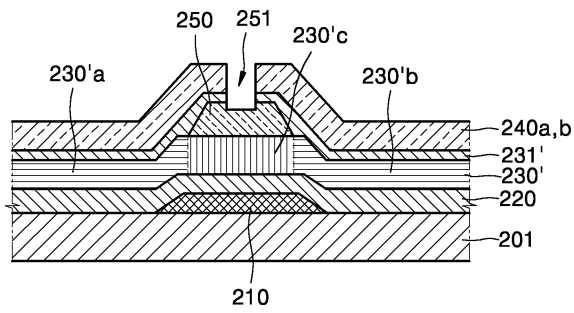
도면2c



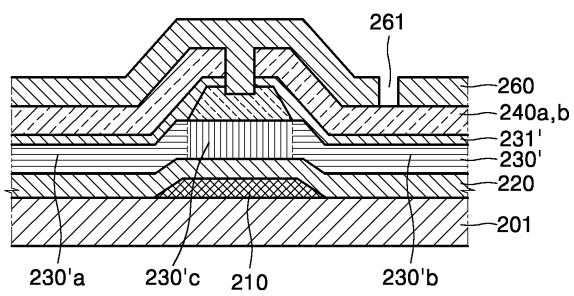
도면2d



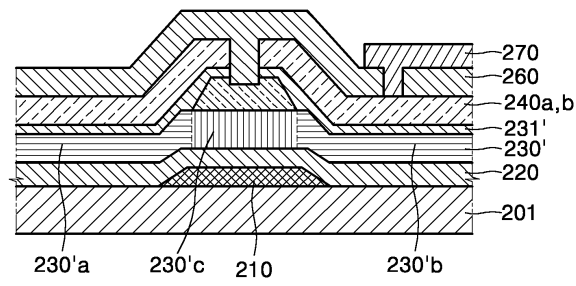
도면2e



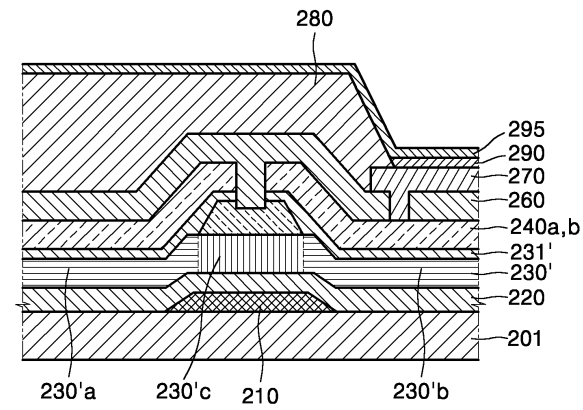
도면2f



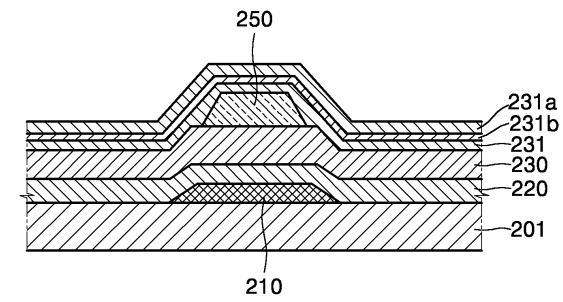
도면2g



도면2h



도면3



专利名称(译)	一种制造薄膜晶体管的方法，薄膜晶体管和具有该薄膜晶体管的平板显示装置		
公开(公告)号	KR1020050072517A	公开(公告)日	2005-07-12
申请号	KR1020040000562	申请日	2004-01-06
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	BAE SUNGSIK 배성식 LEE SANGGUL 이상걸		
发明人	배성식 이상걸		
IPC分类号	H05B33/00		
代理人(译)	李，杨HAE		
其他公开文献	KR100683664B1		
外部链接	Espacenet		

摘要(译)

本发明提供了与上述半导体有源层的蚀刻阻挡层相对应的区域，该蚀刻阻挡层的一侧为上述半导体有源层和漏极的源极，对于薄膜晶体管，是该区域的薄膜晶体管除了整体上具有MILC结晶之外，MIC结晶及其制造方法和包括其的平板显示器，特别是包括形成在上部的栅电极的有机电致发光显示装置在半导体有源层上方，如果它上升，则在衬底电极的上部和形成在上部的源极和漏极形成半导体有源层。

