(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H05B 33/00
H05B 33/08

(11) 공개번호 10-2004-0101017
(43) 공개일자 2004년12월02일

(21) 출원번호 10-2004-0035943
(22) 출원일자 2004년05월20일

(30) 우선권주장 JP-P-2003-00141922 2003년05월20일 일본(JP)

(71) 출원인 가부시키가이샤 에키쇼센탄 기쥬쓰 가이하쓰센타
일본국 가나가와켄 요코하마시 도쓰카구 요시다초 292반치

(72) 발명자 가와치겐시로
일본국가나가와켄요코하마시도쓰카구요시다초292반치가부시키가이샤에키쇼센탄기쥬쓰가이하쓰센타내

고레나리다카히로
일본국가나가와켄요코하마시도쓰카구요시다초292반치가부시키가이샤에키쇼센탄기쥬쓰가이하쓰센타내

(74) 대리인 이재화

심사청구 : 없음

(54) 발광형 표시 장치

요약

인접하는 2개의 주사 신호 배선(Gm)과 인접하는 영상 신호 배선(Dn) 및 전류 공급 배선(An)에 의해 규정된 복수의 화소 영역의 각각에 유기 발광 다이오드 소자(OLED)와, EL 구동용 트랜지스터(Qd)가 배치되어 있다. 상기 EL 구동용 트랜지스터의 게이트-소스간 전압에 의해 상기 구동용 트랜지스터의 드레인 전극에 접속된 유기 발광 다이오드 소자에 공급되는 전류는 제어되며, 상기 EL 구동용 트랜지스터에 제4전극으로서 설치된 보디 전극(BD)은 채널 영역에서 발생하는 과도 캐리어가 보디 전극을 통해 구동용 트랜지스터로부터 배출되도록 접지되어 있다.

대표도

도 1

색인어

유기발광 다이오드(OLED), 포화 특성, 과도 캐리어, 보디 전극

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시예에 따른 발광형 표시 장치의 화소 회로도.

도 2는 본 발명의 제1실시예에 따른 발광형 표시 장치의 화소 부분을 확대하여 나타낸 평면도.

도 3은 도 2의 3-3선을 따라 얻어진 단면도.

도 4는 도 2의 4-4선을 따라 얻어진 단면도.

도 5는 도 2의 5-5선을 따라 얻어진 단면도.

도 6a 내지 도 6d는 제1실시예의 트랜지스터를 형성하는 방법에서 사용되는 위상 시프트 마스크를 사용한 어닐링 공정을 설명하기 위한 도면으로서, 도 6a는 선형 위상 시프트 마스크의 평면도, 도 6b 및 도 6c는 상기 위상 시프트 마스크의 변형예를 도시한 투시도 및 단면도, 도 6d는 도 6a에 도시된 위상 시프트 마스크에 의해 얻어지는 레이저 빔의 강도 분포를 나타낸 도면.

도 7은 제1실시예에 따른 액티브 매트릭스를 구비한 발광형 표시 장치의 전체를 나타낸 분해 사시도.

도 8은 본 발명의 제2실시예에 따른 발광형 표시 장치의 화소 회로도.

도 9는 종래의 EL 구동용 트랜지스터의 출력 특성을 나타낸 도면.

도 10은 본 발명의 제2실시예에 따른 발광형 표시 장치에 사용된 EL 구동용 트랜지스터의 출력 특성을 나타낸 도면.

도 11은 본 발명의 제3실시예에 따른 발광형 표시 장치의 화소 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 예를 들어, 매트릭스 형태로 배치된 발광 다이오드를 이용하는 발광형 표시 장치에 관한 것이다.

유기 발광 다이오드(이하, 'OLED'로 부르기로 함)를 이용한 컬러 화상 표시 장치가 최근 많은 주목을 받고 있다. 그 중에서도, 매트릭스 형상으로 배치된 다수의 OLED 소자를 각각의 박막 트랜지스터에 의해 구동시키는 액티브 매트릭스 방식의 OLED 디스플레이가 고정세화, 대형화에 적합한 방식으로 유망한 것으로 여겨진다.

액티브 매트릭스 방식의 OLED 디스플레이의 화소 회로는 아날로그 화상 신호를 샘플링하는 샘플링 트랜지스터, 화상 신호를 유지하는 메모리 용량(memory capacitance) 및, 메모리 용량에 축적된 화상 신호 전압에 따라 OLED에 공급되는 전류를 제어하는 구동 트랜지스터를 구성하는 2개의 트랜지스터와 1개의 용량 소자(capacitive element)로 이루어진 회로가 가장 일반적으로 이용되고 있다. 그러한 회로 구성의 예가 일본 특허 공개공보 제2002-156923호에 개시되어 있다.

상기 종래 기술에서, OLED에 공급되는 전류의 크기는 메모리 용량에 유지된 아날로그 전압을 구동 트랜지스터의 게이트-소스 사이에 인가하고, 구동 트랜지스 터를 포화 영역 즉, 드레인-소스간 전압이 게이트-소스간 전압보다 커지는 영역에서 구동시키는 것에 의해 제어된다. 이와 같이, 구동 트랜지스터를 포화 영역에서 동작시킴으로써, 전류값의 변화에 의해 OLED 소자의 단자간 전압 강하가 변화하고, 구동 트랜지스터의 소스-드레인간 전압이 변화하여도 구동 전류값을 일정하게 유지할 수 있다. 따라서, 구동 트랜지스터는 양호한 포화 특성을 갖는 것이 필요하다. 여기서, 양호한 포화 특성이란 드레인 전류가 소스-드레인간 전압에 의존하지 않고 일정해지는 전압 범위가 넓은 것을 의미한다.

이러한 구동 트랜지스터의 성능에 대한 요청 때문에, 구동 트랜지스터로서 채널 길이가 예를 들어, 10 ㎛ 내지 20 ㎛로 매우 긴 장채널(long-channel) 트랜지스터가 사용되고 있다. 이것은 통상의 MOS형 트랜지스터에서는 채널 길이가 짧아지면 채널 길이 변조 효과(channel length modulation effect)나 기생 바이폴라 효과(parasitic bipolar effect)에 의해 드레인 전류가 소스-드레인간 전압에 대해 일정 값을 갖는 포화 특성을 얻는 것이 어렵기 때문이다. 또한, 채널 길이의 감소로 인해 드레인 접합 근처의 전계(electric field)가 커지는 결과, 소스-드레인간의 내압(breakdown voltage)이 저하하는 것도 이유의 하나다.

그러나, 채널 길이가 10 ㎛ 내지 20 ㎛인 장채널 트랜지스터를 화소 내에 형성하면, 트랜지스터가 점유하는 면적이 증대하기 때문에, OLED 소자를 형성할 수 있는 면적이 감소하여 개구율이 저하한다. 그러므로, 일정한 휘도를 확보

하기 위해서는 OLED 소자에 공급하는 전류 밀도를 증가시켜야 하고, 이것은 OLED소자의 열화를 가속하여 제품 수명을 단축시키는 문제를 야기시킨다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제를 해결하기 위한 것으로서, 채널 길이를 10 ㎛ 내지 20 ㎛로 증가시키지 않고도 양호한 포화 특성과 높은 소스-드레인 내압을 갖는 트랜지스터를 구비함으로써, 휘도 향상 또는 수명 개선을 달성하는 발광형 표시 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 일 특징에 따른 발광형 표시 장치는,

전기 절연 표면을 가지는 기판;

상기 기판의 표면에 설치된 복수의 주사 신호 배선;

상기 주사 신호 배선에 교차하도록 상기 기판의 표면에 설치된 복수의 영상 신호 배선;

상기 주사 신호 배선에 교차하도록 상기 기판의 표면에 설치된 복수의 전류 공급 배선;

인접하는 2개의 상기 주사 신호 배선과 인접하는 영상 신호 배선 및 전류 공급 배선에 의해 규정된 복수의 화소 영역의 각각에 배치된 발광 소자; 및

상기 각 발광 소자를 구동하는 구동용 트랜지스터를 포함하며,

상기 구동용 트랜지스터는 채널층, 게이트 전극, 드레인 영역에 설치된 드레인 전극, 소스 영역에 설치된 소스 전극 및 보디 전극을 포함하며,

상기 구동용 트랜지스터의 게이트 전극 및 소스 전극 간의 전압에 의해 상기 구동용 트랜지스터의 드레인 영역에 접속된 발광 소자에 공급되는 전류가 제어되며,

상기 구동용 트랜지스터의 보디 전극은 채널 영역에서 발생하는 과도 캐리어가 보디 전극을 통해 상기 구동용 트랜지스터로부터 배출되도록 접지되어 있는 것을 특징으로 한다.

바람직하게는, 상기 구동용 트랜지스터의 보디 전극은 상기 전류 공급 배선에 접속되는 것에 의해 접지되거나, 상기 기판의 표면(절연 표면)에 어스 선(earth line)을 설치하고 보디 전극이 이들 어스 선에 접속되는 것에 의해 접지된다.

절연 표면에 설치된 소위 SOI-MOS 트랜지스터가 양호한 포화 특성을 나타내지 않는 최대의 원인은 드레인 접합 근처의 강한 전계에서 발생되는 과도 캐리어에 의해 채널의 전위가 이하에 설명하는 바와 같이 변동하는 것에 있다. N 채널 트랜지스터를 예로 들면, 드레인 접합 근처의 강한 전계부에서의 임팩트 이온화(impact ionization)에 의해 생성된 정공이 소스 전극을 향해 백 채널(back channel)에서 이동(drift)하지만, 소스 접합에 존재하는 전위 장벽(potential barrier)에 의해 백 채널 근처에서 퇴적 및 잔류하여 채널의 전위가 상승하게 된다. 이것을 중화하기 위하여 소스로부터 전자 유입이 일어나서, 그대로 드레인에 흘러 들어오기 때문에 드레인 전류가 증가한다. 드레인 전류가 증가하면, 드레인 접합에서의 임팩트 이온화로 인해 정공(hole) 발생이 증가한다. 따라서, 상기 설명한 일련의 프로세스가 한층 현저해지며, 드레인 전류는 급격히 증가한다.

상기 본 발명의 일 특징에서는, 구동 트랜지스터에 보디 전극을 설치하고, 이것을 예를 들어, 전류 공급 단자에 접속함으로써, 트랜지스터 내에서 생성된 과도 캐리어는 밖으로 보내져서 채널 내에 잔류하지 않게 된다. 그러므로, 소스로부터의 과도한 전자 유입이 일어나지 않게 되어, 양호한 전류 포화 영역 특성이 달성된다.

본 발명의 목적 및 잇점은 아래의 설명에서 기술될 것이며, 부분적으로 그 설명을 통해 명확해지거나 발명의 실시에 의해 교시될 것이다. 본 발명의 목적 및 잇점은 이하에서 구체적으로 지적한 수단 및 조합에 의해 구현 및 달성될 것이다.

명세서의 일부를 구성하여 병합되어 있는 첨부 도면은 본 발명의 실시예를 예시한 것이며, 위에서 주어진 개략적인 설명 및 아래에서 주어질 실시예의 상세한 설명과 함께 본 발명의 원리를 설명하게 된다.

이하, 본 발명의 실시예를 첨부 도면을 참조하여 설명한다.

(제1실시예)

도 1은 본 발명의 제1실시예에 따른 발광형 표시 장치의 화소의 등가 회로를 나타낸다. 도 2는 상기 제1실시예에 따른 발광형 표시 장치의 화소의 평면도이다.

전기 절연 기판(절연 표면)(10) 상에는 열(column)방향으로 서로 평행하게 연장된 다수의 주사 신호 배선(Gm)과, 행(row)방향으로 서로 평행하게 연장된 다수의 영상 신호 배선(Dn) 및 애노드 전류 공급 배선(An)이 배치되어 있다. 매트릭스 형상으로 위치한 다수의 화소 각각은 인접하는 2개의 주사 신호 배선(Gm)과, 1개의 영상 신호 배선(Dn)과, 1개의 애노드 전류 공급 배선(An)으로 포위된 영역으로 정의된다. 각 화소의 내부에는 샘플링 트랜지스터(Qs), EL 구동용 트랜지스터(Qd), 전하 축적 용량(charge storage capacitance)(Cs) 및 유기 발광 다이오드(OLED)가 형성되어 있다. EL 구동용 트랜지스터(Qd)의 드레인 영역에는 유기 발광 다이오드(OLED)의 한 쪽 전극(애노드 전극)의 단자가 바람직하게는, 드레인 전극을 통해 접속되어 있다. 또한, 상기 EL 구동용 트랜지스터(Qd)의 게이트 단자 노드(N1)와 애노드 전류 공급 배선(An)과의 사이에는 전하 축적 용량(Cs)이 접속되어 있어서, 상기 게이트 단자 노드(N1)의 전압은 일정 기간 유지될 수 있다. 전체 화소의 유기 발광 다이오드(OLED)의 다른쪽 단자는 거의 표시 영역 전면을 피복하는 공통의 캐소드 전극(CA)에 접속되어 있다.

상기 샘플링 트랜지스터(Qs)는 게이트 길이가 1 ㎛ + 1 ㎛인 더블 게이트 NMOS(N형 TFT)로 구성되어 있다. 또한, EL 구동용 트랜지스터(Qd)는 게이트 길이가 2 ㎛인 PMOS(P형 TFT)로 구성되어 있다. 상기 EL 구동용 트랜지스터(Qd)에는 n형 반도체막으로 구성된 보디 전극(body electrode)(BD)이 설치되고, 상기 보디 전극(BD)은 애노드 전류 공급 배선(An)에 접속되어 있다.

또한, 상기 전기 절연 기판(10) 상에는 수직 주사 회로(VDRV), 수평 구동 회로(HDRV) 및 애노드 전원 공급 회로(PAN)가 배치되어 있다. 상기 수직 주사 회로(VDRV), 수평 구동 회로(HDRV) 및 애노드 전원 공급 회로(PAN)에는 상기 주사 신호 배선(Gm), 영상 신호 배선(Dn) 및 애노드 전류 공급 배선(An)이 각각 접속되어 있다. 또한, 전체 애노드 전류 공급 배선(An)은 애노드 전원 공급 회로(PAN)에 접속됨으로써 알려진 바와 같이 접지되어 있다.

상기 설명한 바와 같이 구성되는 표시 장치에서는, 수직 주사 회로(VDRV)로 부터의 펄스 전압에 의해 선택된 1행 분량의 화소에 대해 수평 구동 회로(HDRV)로부터 영상 아날로그 신호가 공급된다. 이 신호는 각 화소의 샘플링 트랜지스터(Qs)를 통해 전하 축적 용량(Cs)에서 유지된다. 이 때, 전하 축적 용량(Cs)의 단자간 전압은 EL 구동용 트랜지스터(Qd)의 게이트-소스간 전압과 동일하며, 이 전압에 따른 일정 전류가 애노드 전원 공급 회로(PAN)로부터 애노드 전류 공급 배선(An)과 EL 구동용 트랜지스터(Qd)를 통해 유기 발광 다이오드(OLED)에 공급된다. 그 결과, 유기 발광 다이오드(OLED)가 발광하여 다계조 화상(gray-scale image)을 표시할 수 있다.

이하에서 도 3 내지 도 5를 참조하여 액티브 매트릭스(AMX)(도 6)의 각 화소의 소자 구성을 상세하게 설명한다.

도 3은 도 2의 3-3 선을 따라 절단한 단면도, 도 4는 도 2의 4-4 선을 따라 절단한 단면도, 도 5는 도 2의 5-5 선을 따라 절단한 단면도이다.

상기 전기 절연 기판(10)은 왜곡점(distortion point) 약 670 °C인 무알칼리 유리 기판(11) 상에 막 두께 200 nm인 SiON 막(12)으로 이루어진 버퍼 절연막을 형성하여 구성되어 있다. 상기 버퍼 절연막은 유리 기판(11)으로부터 소자로 Na 등의 분순물이 확산하는 것을 방지하는 역할을 가진다. 상기 SiON 막(12) 상에는 샘플링 트랜지스터(Qs)를 구성하는 막 두께 200 nm의 단결정 Si 막(13)이 형성되어 있다. 각각의 단결정 Si 막(13) 상에는 막 두께 30 nm의 SiO_2 로 이루어진 게이트 절연막(14)을 통해 텅스텐(W)으로 이루어진 주사 배선 전극(주사 신호 배선(Gm)과 일체로 형성되어 있으므로 동일한 부호(Gm)가 부여되어 있음)이 형성되어 있다.

상기 샘플링 트랜지스터(Qs)는 더블 게이트 구조의 NMOS이며, 1개의 단결정 Si 막(13) 중에 2개의 채널 영역(13a)이 직렬로 접속된 구성을 가진다. 각각의 채널 영역(13a)의 양쪽에는 소스, 드레인 영역을 구성하는 N+ 형의 영역(13b)이 형성되어 있다.

또한, 상기 주사 배선 전극(Gm)과 동일한 텅스텐(W)을 이용하여 제1접속 전극(15)이 상기 게이트 절연막(14)의 전하 축적 용량(Cs)을 구성하는 부분의 위에 형성되어 있다.

상기 부재 전부를 피복하도록 이들의 위에 SiO_2 로 이루어진 층간 절연막(16)이 형성되어 있다. 상기 층간 절연막(1

6) 상에는 Mo/Al/Mo 또는 Ti/Al-Cu 합금/Ti의 3층 금속막으로 각각 이루어진 신호 배선 전극(영상 신호 배선(Dn)과 일체로 형성되어 있으므로 동일한 부호(Dn)가 부여되어 있음)과, 제2접속 전극(17)과, 애노드 전극(상기 애노드 전류 공급 배선(An)과 일체로 형성되어 있으므로 동일한 부호(An)가 부여되어 있음)이 설치되어 있다. 상기 신호 배선 전극(Dn)은 층간 절연막(16) 및 게이트 절연막(14)에 형성된 컨택스루홀(contact through hole)을 통해 한쪽의 n+ 형의 영역(13b)에 전기적으로 접속되어 있다. 또한, 상기 제2접속 전극(17)은 층간 절연막(16) 및 게이트 절연막(14)에 형성된 컨택스루홀을 통해 다른 쪽의 n+ 형의 영역(13b)에 전기적으로 접속되어 있다. 상기 제2접속 전극(17)의 일단은 층간 절연막(16) 및 게이트 절연막(14)에 형성된 컨택스루홀을 통해 상기 제1접속 전극(15)에 전기적으로 접속되어 있다. 상기 제1접속 전극(15)과, 애노드 전류 공급 전극(An)과, 이들의 사이에 끼인 층간 절연막(16)의 일부분에 의해 전하 축적 용량(Cs)이 구성되어 있다(도 3).

한편, EL 구동용 트랜지스터(Qd)는 PMOS이며, 도 4에 도시한 바와 같이, 단결정 Si 막(13)(상기 샘플링 트랜지스터(Qs)를 구성하는 단결정 Si 막(13)과 분리되어 있음) 중에 형성된 1개의 채널 영역(13c)의 양쪽에 소스, 드레인 영역을 구성하는 p+ 형의 제1영역(13d)이 형성된 구성을 가지고 있다. EL 구동용 트랜지스터(Qd)의 게이트 전극(15a)은 상기 제1접속 전극(15)과 일체로 형성되어 있다. EL 구동용 트랜지스터(Qd)의 드레인 쪽의 p+ 형의 제1영역(13d)에는 층간 절연막(16) 및 게이트 절연막(14)에 형성된 컨택스루홀을 통해 상기 애노드 전류 공급 전극(An)이 접속되어 있다. 상기 EL 구동용 트랜지스터(Qd)의 소스 쪽의 p+ 형의 제1영역(13d)에는, 상기 층간 절연막(16) 상에 설치되며 Mo/Al/Mo 또는 Ti/Al-Cu 합금/Ti의 3층 금속막으로 이루어진 제3접속 전극(20)이 이것의 한 쪽에서 층간 절연막(16) 및 게이트 절연막(14)에 형성된 컨택스루홀을 통해 전기적으로 접속되어 있다.

상기 각종 전극(Dn, An, 17, 20)의 상부 표면을 포함하는 층간 절연막(16) 상에는 보호 절연막(18)이 설치되어 있다. 상기 보호 절연막(18) 상에는 유기 발광 다이오드(OLED)의 애노드 전극을 겸하는 ITO 전극(19)이 설치되어 있다. 상기 ITO 전극(19)은 상기 제3접속 전극(20)의 다른 단자 쪽과 보호 절연막(18)에 형성된 컨택스루홀을 통해 전기적으로 접속되어 있다. ITO 전극(19) 상에는 뱅크 절연 막(bank insulating layer)(21)이 설치되어 있다. 상기 뱅크 절연막(21)에는 ITO 전극(19)의 일부를 노출하도록 개구(21a)가 형성되고, 상기 개구(21a)가 형성된 영역에는 유기막(organic film)이 적층됨으로써, 발광 다이오드 소자(OLED)가 형성된다.

상기 유기막은 저분자 유기물질로 형성되어 있다. 구체적으로, 상기 유기막은 상기 뱅크 절연막(21) 및 상기 뱅크 절연막(21)의 개구(21a)로부터 노출된 애노드 전극(ITO 전극)(19) 상에 순차 적층된 정공 수송층(HTL), EL 발광층(EM) 및 전자 수송층(ETL)이다. 상기 유기 발광 다이오드(OLED)는 상기 유기막을 포함하는 표시부 전체를 피복하며, 알루미늄(Al)으로 이루어진 캐소드 전극(CA)을 가진다. 상기 정공 수송층(HTL)은 예를 들어, 트리페닐디아민(TPD : triphenyldiamine)으로 형성되어 있다. 상기 EL 발광층(EM)은 바람직하게는 적생 발광층, 청색 발광층 및 녹색 발광층으로 컬러 표시를 행하도록 구성되어 있다. 상기 적색 발광층은 예를 들어, DCJTB와 루브렌(rubrene)을 도핑한 트리스(tris)(8-하이드록옥시퀴놀린 : 8-hydrooxyquinoline)알루미늄(Alq_3)으로 형성되어 있다. 상기 청색 발광층은 예를 들어, BC_zVBi를 도핑하여 얻어지는 DPVBi로 형성되어 있다. 또한, 상기 녹색 발광층은 예를 들어, 쿠마린(coumalin) 540을 도핑하여 얻어지는 Alq_3으로 형성되어 있다. 상기 전자 수송층(ETL)은 예를 들어, Alq_3로 형성되어 있다. 이들 발광층 및 수송층을 형성하는 재료는 하나의 예이며, 용도에 의해 여러가지로 선택될 수 있다. 상기 유기 발광 다이오드의 노출면은 막 두께 200 nm의 SiON 막으로 구성된 최종 보호막(PV)에 의해 피복되어 있다.

상기 EL 구동용 트랜지스터(Qd)를 구성하고 있는 단결정 Si 막(13)의 일부분에는 n+ 형의 영역(22)이 형성되어 있다(도 5). 상기 n+ 형의 영역(22)은 채널층(13c)에 접속되어 있고, 소스 및 드레인 영역을 구성하는 p+ 형의 제1영역(13d)으로부터 분리되어 있다. 상기 n+ 형의 영역(22)은 제4단자인 보디 전극(BD)으로서 기능한다. 상기 보디 전극(BD)을 구성하는 n+ 형의 영역(22)은 층간 절연막(16) 및 게이트 절연막(14)에 형성된 컨택홀을 통해 애노드 전류 공급 전극(An)에 접속되어 있다.

상기와 같이 구성된 EL 구동용 트랜지스터(Qd)를 갖는 발광형 표시 장치에서는, EL 구동용 트랜지스터(Qd)에 보디 전극(BD)이 설치되고, 이 보디 전극(BD)은 애노드 전류 공급 전극에 접속되어 있다. 그 결과, EL 구동용 트랜지스터(Qd)에서 생성된 과도 캐리어는 애노드 전류 공급 전극에 의해 배출되므로, 채널층(13c) 내에 잔류하는 일이 없게 된다. 이 때문에 기생 바이폴라 효과에 의한 소스 영역으로부터의 전자 유입도 일어나지 않고, 게이트 길이가 2 ㎛ 정도인 단채널(short-channel) 트랜지스터에 있어서도 양호한 전류 포화 특성이 달성된다. 각 화소의 EL 구동용 트랜지스터(Qd)의 보디 전극(BD)은 과도 캐리어를 배출하기 위해서만 설치되어 있기 때문에, 전체 보디 전극(BD)은 공통 보디 전극으로 형성하여도 된다. 특히, 보디 전극(BD)을 애노드 전류 공급 단자에 접속함으로써 보디 전극용 배선을 별개로 설치할 필요가 없어지므로, 화소의 개구율 개선에 기여한다. 또한, 게이트 길이가 2 ㎛ 정도인 단채널 트랜지스터를 EL 구동용 트랜지스터에 이용하는 것은 화소의 개구율 개선에 기여한다.

다음으로, 상기 설명된 구성을 갖는 액티브 매트릭스의 제조 방법의 일 예를 설명한다.

두께 500 ㎛, 가로 폭 750 mm, 세로 폭 950 mm이며 왜곡점 약 670 °C인 무알칼리 유리 기판(11)을 준비한다. 상기 유리 기판(11)을 세정한 후, 그 상부 표면에 SiH_4, NH_3 및 O_2의 혼합 가스를 이용한 플라즈마(plasma) CVD법에 의해 막 두께 200 nm의 SiON 막(12)을 형성한다. 상기 SiON 막(12) 상에 SiH_4와 Ar 가스와의 혼합 가스를

이용한 플라즈마 CVD법에 의해 거의 진성의 수소화 비정질 실리콘막(13)을 200 nm의 두께로 형성한다. 예를 들어, 이 때의 막 형성 온도를 400 °C로 함으로써 막 형성 후의 수소 함유량을 약 5 at%로 하는 것이 가능하다. 다음으로, 기판을 450 °C에서 약 30분 어닐링(annealing)함으로써, 수소화 비정질 실리콘막(13) 속의 수소를 방출시킨다. 그리고, SiH_4, NH_3 및 O_2 와의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 200 nm인 SiON막을 비정질 실리콘막(13) 상에 다음의 레이저 빔을 사용한 어닐링 공정시의 마모(ablation)를 방지하기 위한 캡 층(cap layer)으로서 형성한다. 이들 플라즈마 CVD 및 어닐링 공정은 유리 기판(11)을 대기에 노출하지 않고 진공 상태에서 일괄 처리함을 주지해야 한다.

다음으로, 파장 308 nm의 펄스 형태의 엑시머 레이저 빔을 상기 비정질 실리콘 막(13) 전체 또는 그 일부에 조사하면 상기 막의 실리콘을 용해 및 재결정화시킬 수 있으므로, 부분적으로 또는 전체적으로 단결정화시킨 단결정 Si 막(13)을 얻 을 수 있다. 이 때, 가능한 한 큰 면적을 갖는 단결정화 영역을 얻기 위하여, 적당한 패턴을 갖는 위상 시프트 마스크를 이용하여 기판 표면에서의 엑시머 레이저 빔의 레이저 빔 강도에 공간 분포를 갖게 하여 실리콘 막(13)의 가로 방향으로 온도 경사를 부여하는 방법을 적용하는 것이 바람직하다. 이에 따라, 가로 방향의 결정 성장이 야기되고, 한 변이 약 4 ㎛의 크기인 거의 직사각형의 단결정 영역을 얻을 수 있다. 이러한 위상 시프트 마스크를 사용한 어닐링 방법의 구체적인 예는 나중에 상세하게 설명한다.

다음으로, 완충된 플루오르화수소산(buffered hydrofluoric acid)에 의해 상기 캡 층으로서의 SiON 막을 제거하고, 통상의 포토리소그래피 법에 의해 단결정 Si 막(13)을 소정의 패턴으로 가공한다.

다음으로, Kr 가스와 O_2 와의 혼합 가스 중의 플라즈마 산화에 의해 막 두께 4 nm인 산화막을 단결정 Si 막(13)의 상부 표면에 형성하고, 이어서, 이 산화막 상에 테트라에톡시실란(tetraethoxysilane)과 O_2 와의 혼합 가스를 이용한 플라즈마 CVD 법에 의해 막 두께 24 nm의 SiO_2 막을 형성하여 2층 적층형의 게이트 절연막(14)을 형성한다.

다음으로, 붕소 이온(B+)을 가속 전압 20 KeV, 도스량(dose quantity) 2E11(cm^{-2})로 단결정 Si 막(13) 속에 주입한다. 또한, 이 붕소는 TFT의 문턱 전압을 조정하는데 사용된다.

다음으로, 스퍼터링 법에 의해 250 nm의 막 두께인 Mo 막을 게이트 절연막 (14) 상에 형성한 후, 통상의 포토 리소그래피 법에 의해 소정의 레지스트 패턴을 Mo 막 상에 형성하고, CF_4 를 이용한 반응성 이온 에칭 법에 의해 Mo 막을 소정의 형상으로 가공하여, 주사 배선 전극(주사 신호 배선)(Gm), 제1접속 전극(15) 및 게이트 전극(15a)을 얻는다.

다음으로, 에칭에 이용된 레지스터 패턴을 남겨 놓은 상태로 이온 주입법에 의해 인(P) 이온을 가속 전압 40 KV, 도스량 1E15(cm^{-2})로 단결정 Si 막(13) 중에 주입하여 N형의 샘플링 트랜지스터(Qs)의 소스 및 드레인 영역(13b)과, P형의 EL 구동용 트랜지스터(P형 TFT)(Qd)의 보디 영역을 형성한다.

다음으로, 레지스트 패턴을 남겨놓은 상태로 기판을 혼합 산(mixed acid)으로 처리하고, 가공된 Mo 전극을 사이드 에칭하여 패턴을 가늘게(slimming) 함으로써, 레지스트를 제거한다. 그 다음, 이온 주입법에 의해 인(P) 이온을 가속 전압 40 KV, 도스량 1E13(cm^{-2})로 단결정 Si 막(13)의 노출 부분에 주입함으로써 샘플링 트랜지스터(N형 TFT)(Qs)의 LDD 영역을 형성한다. 앞의 예와 마찬가지로, 상기 LDD 영역의 길이는 혼합 산소에 의한 사이드 에칭 시간에 의해 제어됨을 주목해야 한다.

다음으로, 소정의 레지스트 패턴을 형성하여 샘플링 트랜지스터(Qs)를 보호하고, EL 구동용 트랜지스터(Qd)의 게이트 전극(15a)을 마스크로 하여 붕소 이온을 가속 전압 20 kV, 도스량 2E15(cm^{-2})로 주입함으로써, p형의 소스, 드레인 영역 (13d)을 형성한다. 이 때, 붕소 이온의 주입량을 상기 인 이온의 주입량보다 크게 증가시킴으로써, p형 TFT의 소스, 드레인 영역(13d)은 n형에서 p형으로 반전되고, P형 MOS가 얻어진다.

다음으로, 포토 레지스트를 제거한 후, 엑시머 램프 또는 메탈 할라이드 램프(metal halide lamp)의 광 UV 조사에 의한 급속 서멀 어닐링(RAT : rapid thermal annealing)법에 의해 단결정 Si 막(13) 중에 주입된 불순물을 활성화시킨다.

다음으로, 테르라에톡시실란과 산소의 혼합 가스를 이용한 플라즈마 CVD 법에 의해 전체의 상부 표면에 막 두께 500 nm의 SiO_2 막을 층간 절연막(16)으로서 형성한다. 상기 층간 절연막(16) 상에 소정의 레지스트 패턴을 형성한 후, CHF_3 을 이용한 드라이 에칭법에 의해 상기 층간 절연막(16)에 컨택스루홀을 형성한다. 그리고, 상기 층간 절연막(16) 상에 스퍼터링 법(sputtering method)에 의해 두께가 50 nm 인 Ti 막과, 두께가 500 nm 인 AL-Cu 합금막과, 두께가 50 nm인 Ti 막을 순차 적층하여 형성한다. 그 다음에, 소정의 레지스터 패턴을 Ti 막 상에 형성한 후에, BCl_3 과 Cl_2 의 혼합 가스를 이용한 반응성 이온 에칭법에 의해 일괄 에칭하여 신호 배선 전극(영상 신호 배선)(Dn)과, 제2 및 제3접속 전극(17, 20)과, 애노드 전극(An)을 형성한다.

상기 각각의 전극(Dn, 17, 20, An)의 상부 표면을 포함하는 층간 절연막(16) 상에 SiH_4, NH_3 및 N_2 와의 혼합 가스를 이용한 플라즈마 CVD 법에 의해 막 두께가 400 nm인 Si_3N_4 막을 보호 절연막(18)으로서 형성한다. 상기 보호 절연막(18) 상에 소정의 포토레지스트 패턴을 형성한 후, SF_6 을 이용한 드라이 에칭법에 의해 상기 보호 절연막(18)에 컨택스루홀을 형성한다.

이어서, 상기 보호 절연막(18) 상에 스퍼터링 법에 의해 70 nm 두께의 ITO 막을 형성하고, 이것을 혼합 산을 이용한 습식 에칭에 의해 소정의 형상으로 가공하여, 유기 발광 다이오드(OLED)의 애노드 전극(19)을 얻는다.

마지막으로, 애노드 전극(19)을 포함하는 보호 절연막(18)의 상부 표면 상에 SiH_4, NH_3 및 N_2 의 혼합 가스를 이용한 플라즈마 CVD 법에 의해 막 두께가 100 nm인 Si_3N_4 막을 형성한다. 그리고, 상기 Si_3N_4 막 상에 소정의 포토레지스트 패턴을 형성한 후에, 에칭에 의해 애노드 전극(19) 상의 LED 형성 부위에 있는 Si_3N_4 막의 일부를 제거(개구(21a)가 형성됨)함으로써, 뱅크 절연막(21)을 얻는다. 또한, 애노드 전극(19)의 단부를 피복함으로써 애노드 전극(19) 상에 LED를 구성하는 초박막의 유기막이 형성된 경우에, ITO 전극 단부에서의 증가된 전계에 의한 소자의 파괴를 방지하기 위해 상기 뱅크 절연막(21)을 형성하고 있다.

다음으로, 상기 공정에 의해 제조된 TFT 액티브 매트릭스 기판 상에 유기 LED 소자를 형성하는 공정을 설명한다.

기판을 진공 증착 장치에 설정하고, 예비 가열실에 안내하여, 진공에서 200 °C로 1시간 베이킹(baking)하여, 기판 표면에 흡착된 수분을 제거한다. 그리고, 산소를 포함하는 대기에서 자외선을 조사하여 애노드 전극 표면의 유기물을 제거한다. 다음으로, 기판을 전처리실에 이동하고, O_2 플라즈마 처리하는 것에 의해 애노드 전극 표면의 일함수(work function)를 조정한다. 이러한 처리에 의해 애노드 전극을 형성하고 있는 ITO의 일함수를 조정하고, 정공 수송 재료로 정공이 주입될 때의 장벽(barrier)의 높이를 저하시켜서 주입 효율을 향상시키는 것이 가능하다.

다음으로, 기판을 제1증착실에 이동하고, 정공 수송층을 표시부의 전면에 형성되도록 마스크를 이용하여 마스크 증착한다. 정공 수송층의 재료로서는 트리페닐디아민(TPD)을 이용하며, 그 외의 예로는 α-NPD 등을 이용하는 것도 가능하다. 다음으로, 기판을 제2증착실로 이동하여 RGB 각각의 발광 재료를 마스크 증착한다. 각 발광 재료의 막 형성과 관련하여, 청색을 표시해야 할 도트와 증착 마스크의 개구부와의 위치맞춤을 한 다음에 청색 재료를 증착하고, 다음으로 증착실 내에서 증착 마스크를 1도트의 피치에 해당하는 거리만큼 시프트(shift)시켜서 녹색 재료를 증착하며, 증착 마스크를 다시 이동하여 적색 재료를 증착한다. 그 결과, RGB 각각의 도트 위치에 소정의 재료가 형성된다.

다음으로, 기판을 제3증착실로 이동하여 캐소드 전극을 형성한다. 캐소드 전극과 관련하여, 유기층에 대해 전자의 주입 효과를 향상시키기 위해 0.8 nm 정도의 막 두께로 LiF를 형성한 후, Al 막을 150 nm의 두께로 형성한다. 마지막으로, 기판을 CVD 실에 이동시켜서 SiH_4, NH_3 및 O_2 의 혼합 가스를 이용한 플라즈마 CVD 법에 의해 막 두께 300 nm인 SiON 막(12)을 형성한다. 이 때, 유기 LED 소자에 손 상을 주지 않기 위해 형성 온도는 100 °C 이하에서 가능한 한 작은 방전 전력으로 막을 형성하는 것이 바람직하다.

마지막으로, 기판을 소정 크기로 잘라내고 구동 LSI를 실장하여 패널을 완성시킨다.

다음으로, 상기 위상 시프트 마스크를 사용한 어닐링 공정의 구체적인 예를 도 6a 내지 도 6d를 참조하여 설명한다.

투명 매질 예를 들어, 석영 기판에 두께가 차이나는 상호 인접한 영역을 설치하고, 도 6a에 도시한 위상 시프트 마스크(100)는 상기 영역 간의 단차(위상 시프트부)의 경계에서 입사하는 레이저 광선을 회절 및 간섭시켜서 입사한 레이저 광선의 강도에 주기적인 공간 분포를 부여한다. 상기 위상 시프트 마스크(100)는 인접하는 패턴이 역위상으로 되도록 서로 정렬된 위상이 π인 제1스트립 영역(위상 영역)(100b)과, 위상이 0인 제2스트립 영역(위상 영역)(100c)을 가진다. 이들 스트립 영역(위상 시프트선 영역)은 10 ㎛의 폭을 가진다. 구체적으로, 위상 시프트 마스크(100)는 굴절율이 1.5인 직사각형의 석영 기판을 패턴 에칭하여 248 nm의 광 빔에 대해 위상이 π에 상당하는 깊이 즉, 248 nm의 깊이를 갖도록 제조된다. 상기 에칭에 의해 얇게 형성된 영역이 제1스트립 영역(100b)으로 되고, 에칭되지 않은 영역이 제2스트립 영역(100c)으로 된다.

이와 같이 구성된 위상 시프트 마스크(100)에서는, 두꺼운 제2위상 영역(100c)을 통과한 레이저 빔은 얇은 제1위상 영역(100b)을 통과한 레이저 빔에 비해 180도 지연된다. 그 결과, 레이저 빔 사이에서 간섭과 회절이 생기며, 도 6d에도 시한 바와 같은 레이저 빔의 강도 분포가 얻어진다. 즉, 위상 시프트부를 통과한 광 빔은 인접하는 투과 광 빔이 서로 역위상이기 때문에, 이들 영역 사이의 지점에 대응하는 위치에서 광 강도가 최소 예를 들어, 0으로 된다. 상기 광 강도가 최소인 영역 또는 그 근처의 영역은 반도체를 결정화할 때의 핵이 된다. 상기 구체적인 예에서 위상 시프트 마스크(100)로는 도 6a에 도시한 바와 같이 위상 시프트부가 서로 평행한 복수의 직선 형태로 되어 있는 것을 사용하고 있지만, 본 발명은 이것에 한정되지 않는다.

예를 들어, 위상 시프트선이 서로 직교하도록 하여 위상 0과 π를 격자 형태로 배열하는 것도 가능하다. 이 경우에는

위상 시프트선을 따라 격자 형상의 광 강도 0인 영역이 생긴다. 이 때문에 결정의 핵은 이 선 상의 임의의 위치에서 발생하므로, 결정 입자의 위치 및 형태의 제어가 어려워지는 문제를 가진다. 따라서, 결정핵의 발생을 제어하기 위해서는 강도 0인 영역이 도트 형상인 것이 바람직하다. 그래서, 직교하는 위상 시프트선의 위상 시프트량을 180도 미만으로 설정한다. 그 결과, 위상 시프트 선의 대응하는 위치에서 강도는(비록 감소하지만) 완전히 0으로 되지 않지만, 이와 동시에, 교점 주변의 복소 투과율의 합을 0으로 설정하는 것에 의해 교점에 대응하는 위치의 강도를 0으로 설정할 수 있다.

상기 구성의 예를 도 6b 및 도 6c를 참조하여 설명한다. 상기 마스크(100)는 도 6b에 도시한 바와 같이, 각 조(set)가 두께가 다른 4개의 정사각형 영역(100e, 100f, 100g, 100h)에 의해 구성되어 있는 정사각형 패턴으로 이루어진 복수의 조를 가진다. 각 조에서 도 6c에 도시한 바와 같이 제1영역(100e)이 가장 얇 고, 위상이 0으로 되어 있다. 제4영역(100h)은 가장 두껍고, 위상이 제1영역(100e)과는 3π/2만큼 어긋나 있다. 이들 영역(100e, 100h)의 두께 사이의 두께를 가지는 제2 및 제3영역(100f, 100g)은 제1영역에 대해 위상이 π/2, π만큼 각각 어긋나 있다.

이러한 마스크에서는 제1 내지 제4영역이 서로 인접하는 부분 예를 들어, 정사각형 패턴의 중심점이 강도 0인 영역으로 된다. 따라서, 이 점이 결정핵으로 되며, 결정 핵의 위치 및 형태는 용이하게 제어될 수 있다. 이러한 위상 시프트 마스크를 사용한 기술은 일본 출원(일본 특허출원 제2002-120312호)을 기초 출원으로 하여, 본 출원인과 동일한 출원인에 의한 2003년 3월 19일자 출원의 국제출원 명세서에 기재되어 있다.

다음으로, 상기 설명한 바와 같이 구성되는 액티브 매트릭스(AMX)를 구비한 발광형 표시 장치의 전체를 도 7을 참조하여 설명한다.

직사각형 유리 기판(11) 상에는 상기와 같이 구성되는 액티브 매트릭스와, 수직 주사 회로(VDRV)와, 수평 구동 회로(HDRV)가 형성되어 있다. 액티브 매트릭스(AMX)의 각 화소의 유기 발광 다이오드(OLED)의 캐소드 전극(CA)은 기판(11) 상에 형성된 인출 배선(WL)에 의해 컨택 영역(CACONT)을 통해 외부 접속 단자(PAD)에 접속되어 있다. 또한, 화소 내에서 각 열에 설치된 애노드 전류 공급 전극(An)은 화소 영역의 바깥으로 접속되고, 인출 전극에 의해 외부 접속 단자(PAD)에 접속되어 있다. 화소 영역의 거의 전체 표면에 걸쳐 설치된 캐소드 전극(CA) 상에는 외부 접속 단자(PAD)를 제외한 거의 전체 표면에 최종 보호막(PV)이 형성되고, 유기 발광 다이오드 소자가 외부 공기에 노출되지 않도록 되어 있다.

(제2실시예)

도 8은 본 발명의 제2실시예에 따른 발광형 표시 장치의 화소 등가 회로를 도시한다. 상기 제2실시예의 구성은 상기 제1실시예와 거의 동일하지만, EL 구동용 트랜지스터(Qd)로 NMOS를 이용한 점이 상기 제1실시예와 다르다. 또한, 상기 EL 구동용 트랜지스터(Qd)의 드레인 단자에는 유기 발광 다이오드(OLED)의 캐소드 전극이 접속되고, 유기 발광 다이오드(OLED)의 애노드 전극은 공통 전극으로 작용하도록 구성되어 있다. 이러한 구성에 있어서도 EL 구동용 트랜지스터(Qd)에 보디 전극(BD)을 설치하고, 이 전극을 애노드 전류 공급 전극(An)에 접속함으로써, EL 구동용 트랜지스터(Qd) 내에서 생성된 과도 캐리어는 애노드 전류 공급 전극(An)으로 배출되어 채널층 내에 잔류하지 않게 된다. 따라서, 기생 바이폴라 효과에 의한 소스로부터의 전자 유입도 일어나지 않고, 게이트 길이가 2 ㎛ 정도인 단채널 트랜지스터에서도 양호한 전류 포화 특성이 달성된다. 특히, NMOS에서는 기생 바이폴라 효과에 의한 비포화 특성이 발생하기 쉽기 때문에 이 구조가 효과적이다.

이와 같이 구성된 액티브 매트릭스(AMX)를 구비한 발광형 표시 장치에서는, 도 7에서 애노드 전극이 캐소드 전극(PV)을 대신하며, 컨택 영역(CACONT)을 통해 기판(11) 상에 형성된 인출 배선(WL)에 의해 외부 접속 단자(PAD)에 접속된다.

도 9 및 도 10은 각각 EL 구동용 트랜지스터로서 종래의 3단자 구조의 NMOS 트랜지스터를 사용한 경우와, 상기 제2실시예의 4단자 구조의 NMOS 트랜지스터를 사용한 경우의 출력 특성을 나타낸다.

도 9에 도시한 종래의 3단자 구조의 NMOS 트랜지스터의 경우에는, 기생 바이폴라 효과의 발현에 의해 드레인 전압에 대해 드레인 전류가 일정해지는 포화 영역이 거의 관찰되지 않으며, 높은 드레인 전압에서의 브레이크다운(breakdown)도 관찰된다. 한편, 도 10에 도시한 본 실시예에 따른 4단자 트랜지스터의 경우에는 양호한 포화 특성이 넓은 드레인 전압에 걸쳐서 관찰되고 있고, 브레이크다운도 일어나지 않는다. 이러한 특성은 정전류 구동형의 발광형 표시 장치에 이용하는 트랜지스터로서는 특히 바람직한 것이다.

상기 제1 및 제2실시예에서는 EL 구동용 트랜지스터의 4번째 단자 즉, 보디 전극(BD)을 애노드 전류 공급 배선(An)에 접속하는 것에 의해, 채널층의 과도 캐리어는 상기 트랜지스터로부터 배출된다. 그러나, 본 발명은 예를 들어, 이하에 설명하는 제3실시예와 같은 배선과의 접속에 한정되지는 않는다.

(제3실시예)

도 11에 도시한 액티브 매트릭스에서 도 1에 도시한 것과 동일한 부재에는 동일한 참조 번호를 부여하여 설명을 생략한다.

EL 구동용 트랜지스터(Qd)는 PMOS이며, 이것의 보디 전극(BD)은 애노드 전류 공급 배선(An)에는 접속되어 있지 않다. 그 대신에, 어스선(AL)이 주사 신호 배선(Gm)과 평행하게 절연 기판(10)에 설치되어 있고, 상기 보디 전극(BD)은 이들 어스선(AL)에 접속되어 있다. 이들 어스선(AL)은 화소 영역의 바깥으로 연장되어 전원 공급 전위에 유지되고 있다. 또한, 이들 어스선(AL)은 주사 신호 배선(Gm)의 형성과 동시에, 상기 주사 신호 배선(Gm)과 동일한 재료로 형성될 수 있다.

상기 어스선(AL)은 영상 신호 배선(Dn)과 평행하게 형성될 수 있다.

이와 같이 구성된 EL 구동용 트랜지스터의 채널층에서 발생하는 과도 캐리어는 보디 전극(BD) 및 어스선(AL)을 통해 트랜지스터로부터 배출 즉, 빠져나간다. 그 결과, 도 10에 도시한 바와 같은 효과가 얻어진다.

상기 실시예의 기술 사상은 제2실시예와 같이 EL 구동용 트랜지스터(Qd)로서 NMOS를 이용한 경우에도 당연히 적용 가능하다.

추가적인 효과 및 변형은 당해 기술분야의 통상의 기술자에게는 용이할 것이다. 그러므로, 더 광범위한 특징의 측면에서 본 발명은 여기서 설명되고 도시한 세부 설명 및 대표 실시예에 한정되지 않는다. 따라서, 후술하는 청구범위 및 그 등가범위에 의해 규정되는 본 발명의 요지 또는 범위를 벗어나지 않고도 다양한 변형이 이루어질 수 있다.

발명의 효과

이상과 같이 설명된 본 발명에 따르면, 채널 길이를 10 ㎛ 내지 20 ㎛로 증가시키지 않고도 양호한 포화 특성과 높은 소스-드레인 내압을 갖는 트랜지스터를 구비함으로써, 휘도 향상 또는 수명 개선을 달성하는 발광형 표시 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

전기 절연 표면을 가지는 기판;

상기 기판의 표면에 설치된 복수의 주사 신호 배선;

상기 주사 신호 배선에 교차하도록 상기 기판의 표면에 설치된 복수의 영상 신호 배선;

상기 주사 신호 배선에 교차하도록 상기 기판의 표면에 설치된 복수의 전류 공급 배선;

인접하는 2개의 상기 주사 신호 배선과 인접하는 영상 신호 배선 및 전류 공급 배선에 의해 규정된 복수의 화소 영역의 각각에 배치된 발광 소자; 및

상기 발광 소자를 구동하는 구동용 트랜지스터를 포함하며,

상기 구동용 트랜지스터 각각은 채널 영역, 게이트 전극, 드레인 영역에 설치된 드레인 전극, 소스 영역에 설치된 소스 전극 및 보디 전극을 가지고 있고,

상기 구동용 트랜지스터의 게이트 전극 및 소스 전극 간의 전압에 의해 상기 구동용 트랜지스터의 드레인 영역에 접속된 발광 소자에 공급되는 전류가 제어되며,

상기 구동용 트랜지스터의 보디 전극은 채널 영역에서 발생하는 과도 캐리어가 보디 전극을 통해 상기 구동용 트랜지스터로부터 배출되도록 접지되어 있는 것을 특징으로 하는 발광형 표시 장치.

청구항 2.

제1항에 있어서,

상기 발광 소자 각각은 EL 발광 다이오드를 가지는 것을 특징으로 하는 발광형 표시 장치.

청구항 3.
제1항에 있어서,

상기 보디 전극은 상기 전류 공급 배선에 접속됨으로써 접지되어 있는 것을 특징으로 하는 발광형 표시 장치.

청구항 4.
제1항에 있어서,

상기 기판의 표면에 설치된 어스선을 더 포함하며, 상기 보디 전극은 상기 어스선에 접속됨으로써 접지되어 있는 것을 특징으로 하는 발광형 표시 장치.

청구항 5.
제2항에 있어서,

상기 구동용 트랜지스터는 P채널 MOSTFT이며, 상기 트랜지스터의 드레인 영은 드레인 전극을 통해 상기 EL 발광 다이오드의 애노드 전극에 접속되어 있는 것을 특징으로 하는 발광형 표시 장치.

청구항 6.
제2항에 있어서,

상기 구동용 트랜지스터는 N채널 MOSTFT이며, 상기 트랜지스터의 드레인 영역은 드레인 전극을 통해 상기 EL 발광 다이오드의 캐소드 전극에 접속되어 있는 것을 특징으로 하는 발광형 표시 장치.

청구항 7.
제1항 내지 제6항 중 어느 한 항에 있어서,

상기 채널 영역, 드레인 영역, 소스 영역 및 보디 전극은 동일한 반도체로 형성되어 있고, 상기 채널 영역 및 보디 전극은 상기 드레인 영역 및 소스 영역과는 상이한 도전형을 가지는 것을 특징으로 하는 발광형 표시 장치.

청구항 8.
전기 절연 표면을 가지는 기판;

상기 기판의 표면에 설치된 복수의 주사 신호 배선;

상기 주사 신호 배선에 교차하도록 상기 기판의 표면에 설치된 복수의 영상 신호 배선;

상기 주사 신호 배선에 교차하도록 상기 기판의 표면에 설치된 복수의 전류 공급 배선; 및

인접하는 2개의 상기 주사 신호 배선과 인접하는 영상 신호 배선 및 전류 공급 배선에 의해 규정되는 복수의 화소 영역 각각에 배치되어, 화상 신호를 샘플링하는 샘플링 트랜지스터, 화상 신호를 유지하는 용량 소자, 발광 다이오드 및 발광 소자를 구동하는 구동용 트랜지스터를 포함하며,

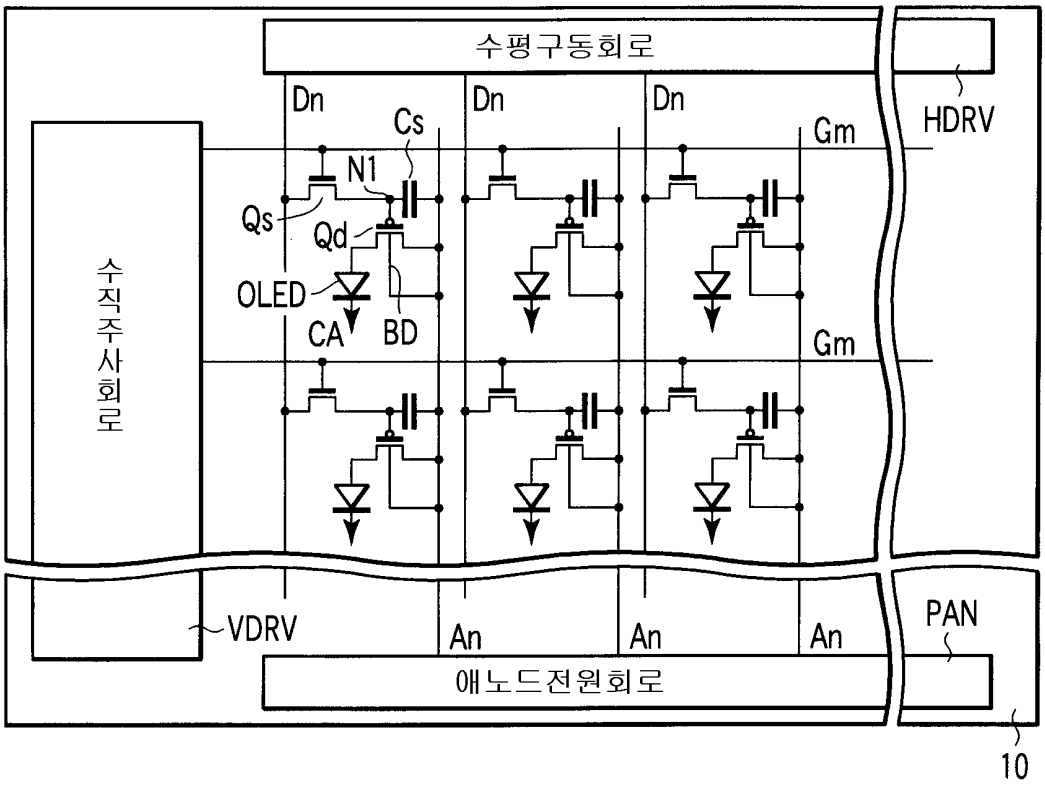
상기 구동용 트랜지스터는 채널 영역, 게이트 전극, 드레인 영역, 소스 영역 및 보디 전극을 가지고 있고,

상기 구동용 트랜지스터의 게이트 영역 및 소스 영역 사이의 전압에 의해 상 기 구동용 트랜지스터의 드레인 영역에 접속된 발광 소자에 공급되는 전류가 제어되며,

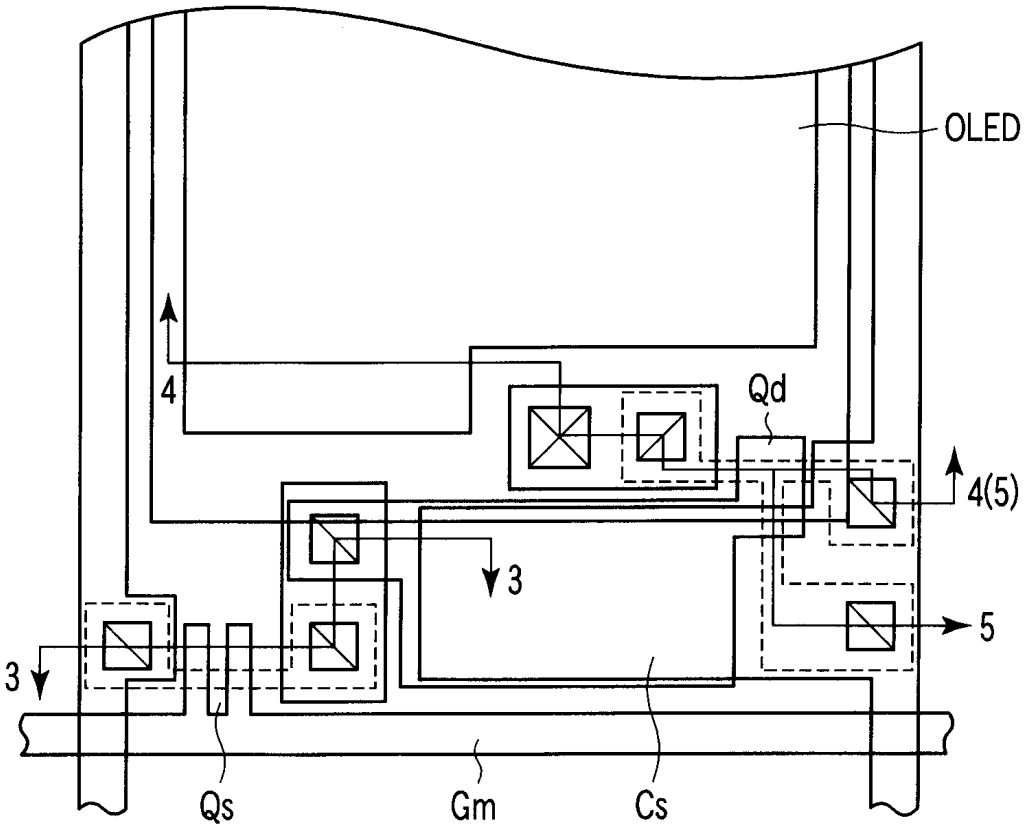
상기 구동용 트랜지스터의 보디 전극은 채널 영역에서 발생하는 과도 캐리어가 보디 전극을 통해 상기 구동용 트랜지스터로부터 배출되도록 접지되어 있는 것을 특징으로 하는 발광형 표시 장치.

도면

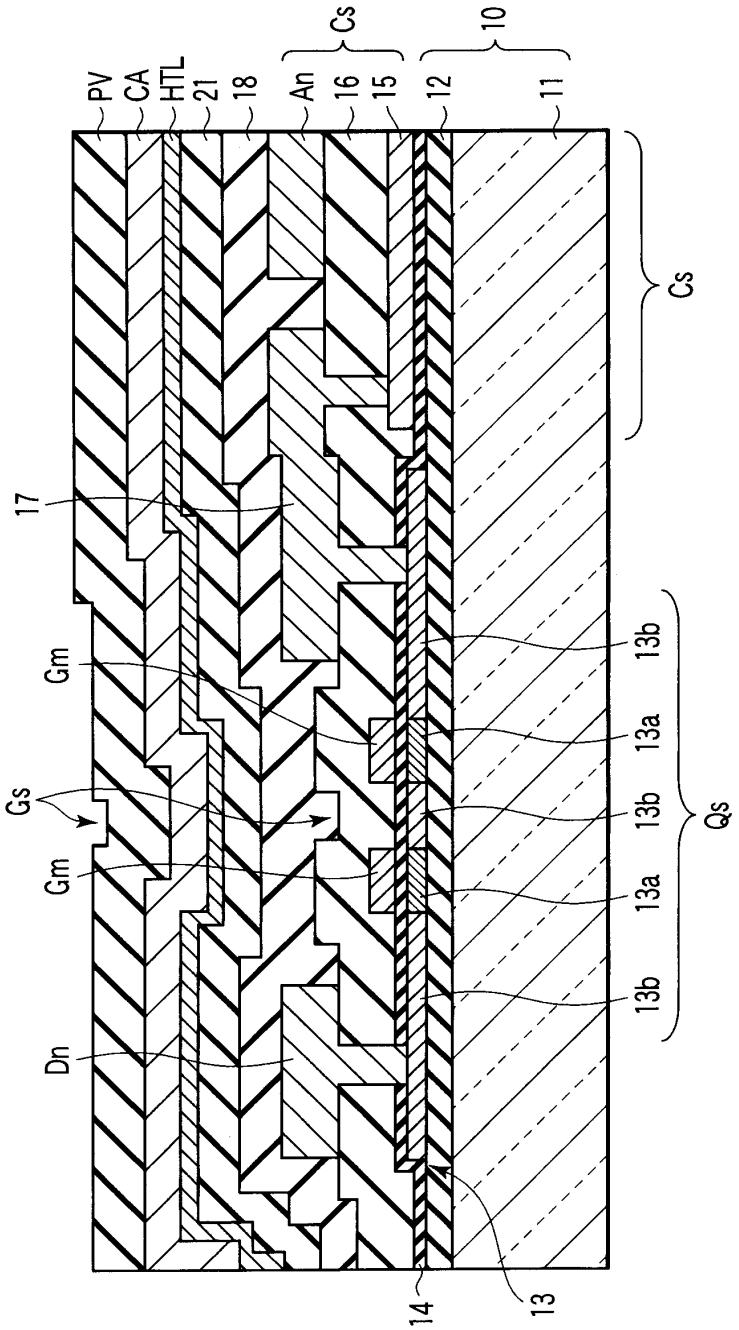
도면1


수평구동회로
Dn
Cs
Dn
Dn
Gm
HDRV
N1
Qs
Qd
OLED
CA
BD
수직주사회로
Gm
VDRV
An
An
An
PAN
애노드전원회로
10

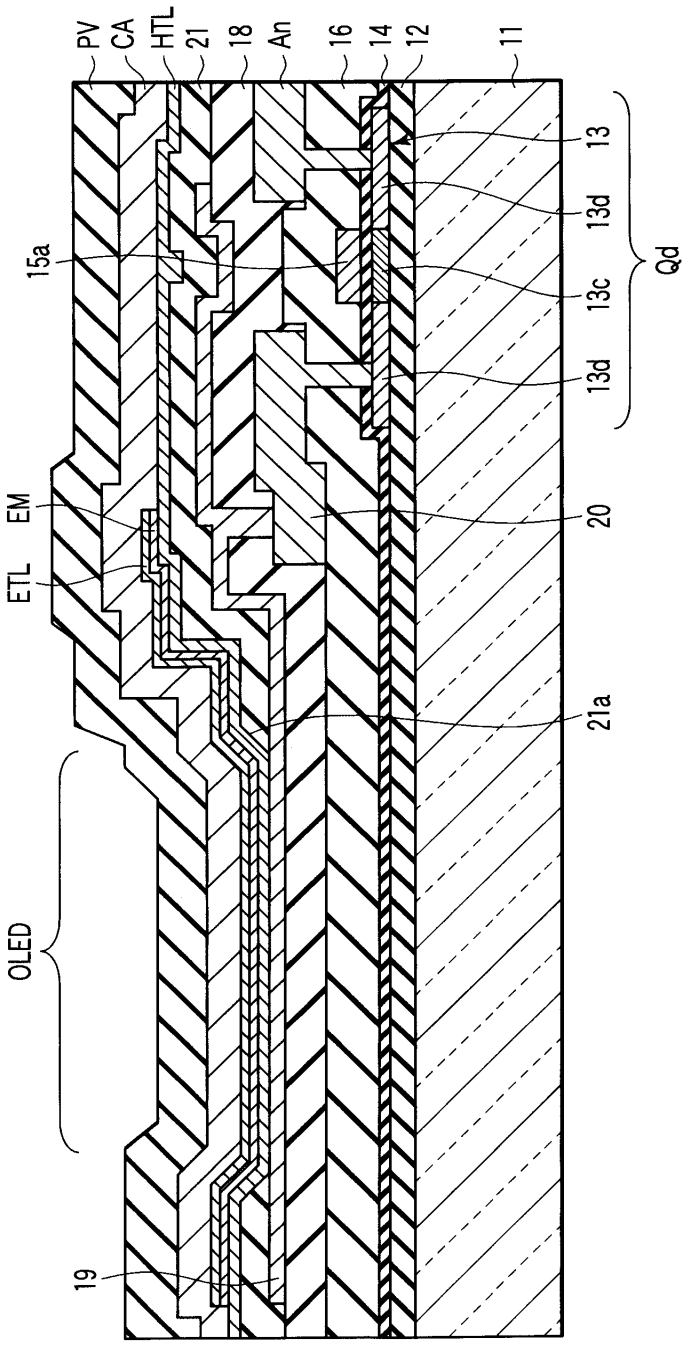
도면2


OLED
4
Qd
4(5)
3
5
3
Qs
Gm
Cs

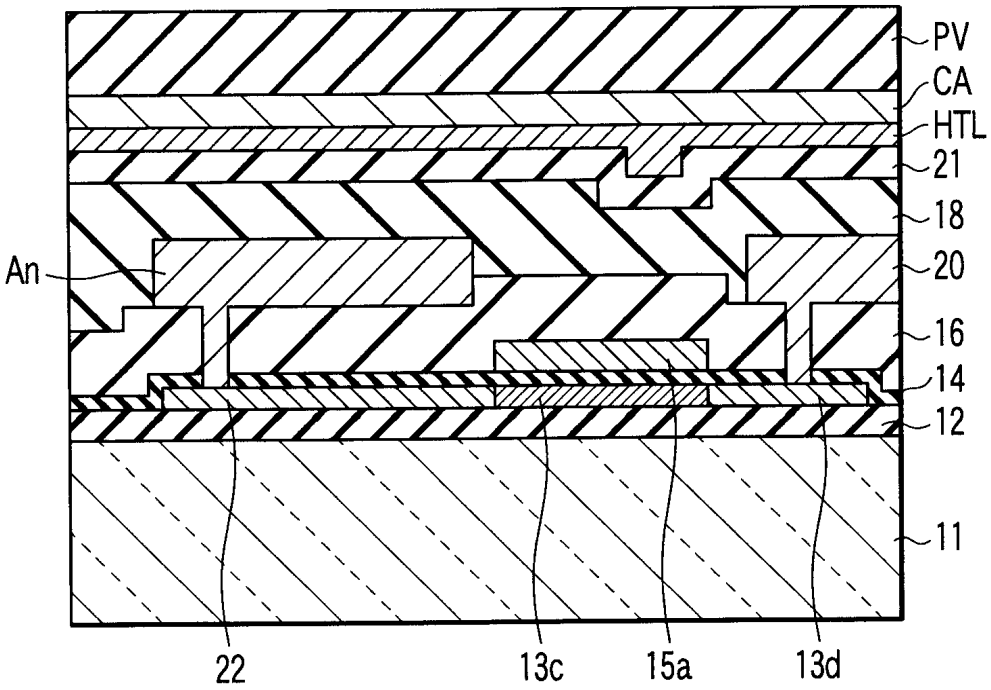
도면3


PV
CA
HTL
21
18
An
16
15
12
11
Cs
10
Cs
17
Gm
Gs
Gm
Dn
13b
13a
13b
13a
13b
Qs
14
13

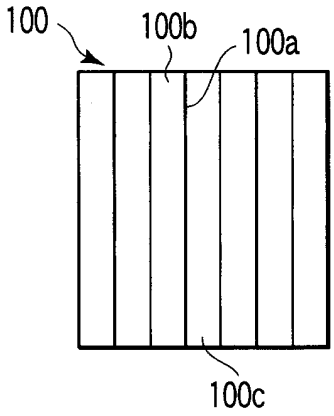
도면4


PV
CA
HTL
21
18
An
16
14
12
11
13
13d
13c
13d
Qd
15a
EM
ETL
20
21a
OLED
19

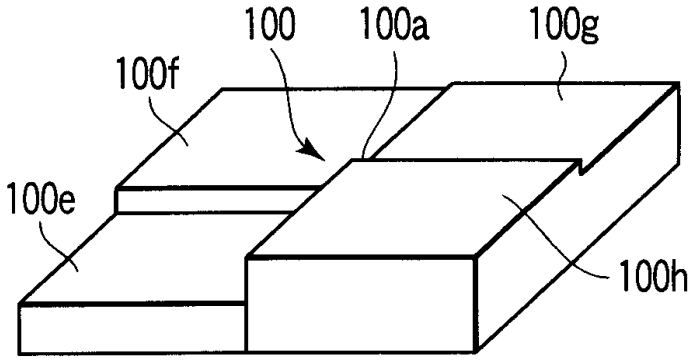
도면5



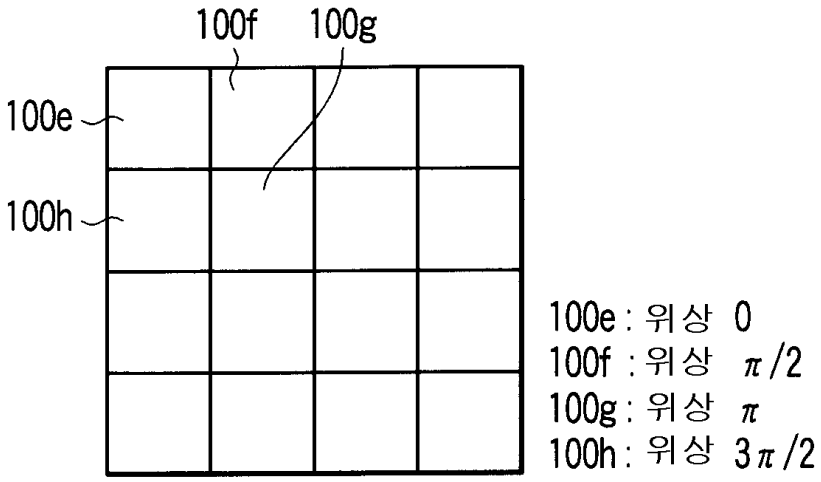
도면6a



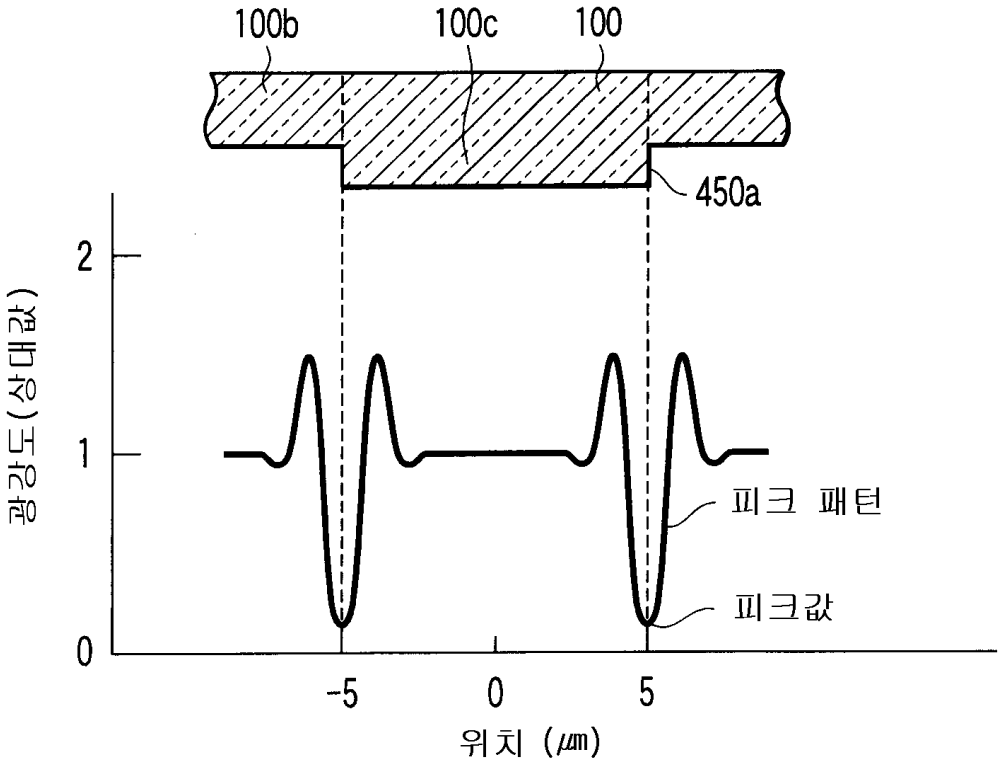
도면6b



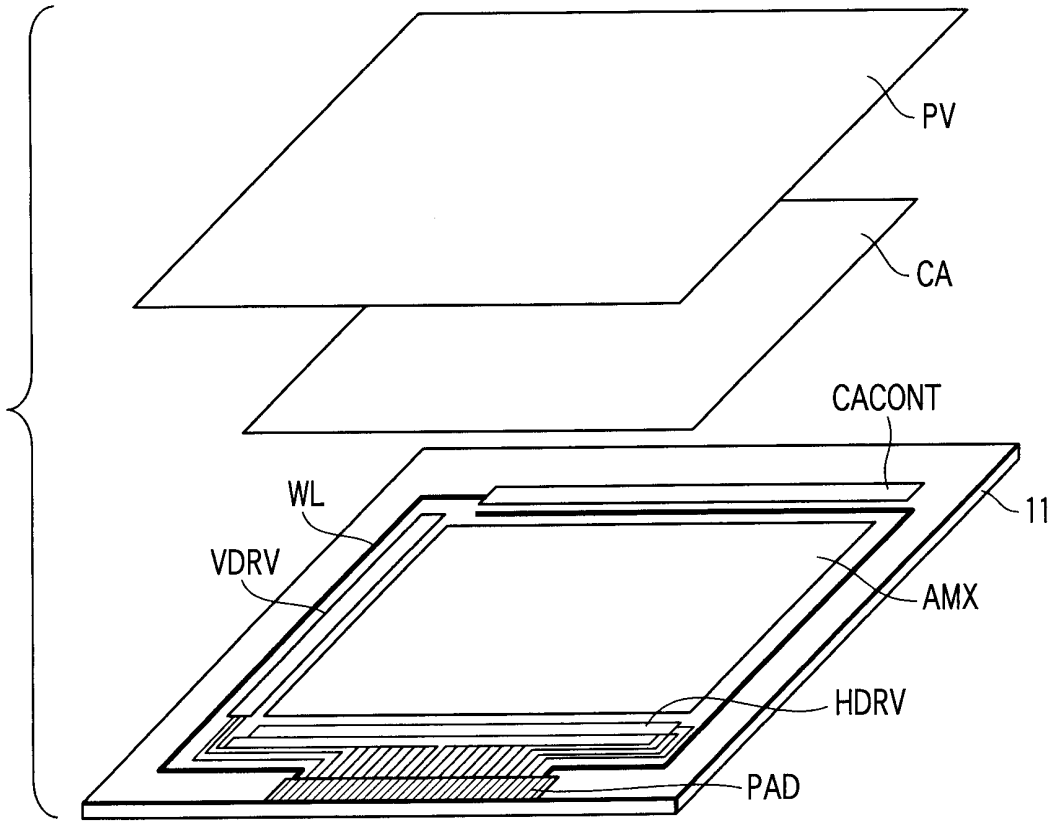
도면6c


100f
100g
100e
100h
100e : 위상 0
100f : 위상 π/2
100g : 위상 π
100h : 위상 3π/2

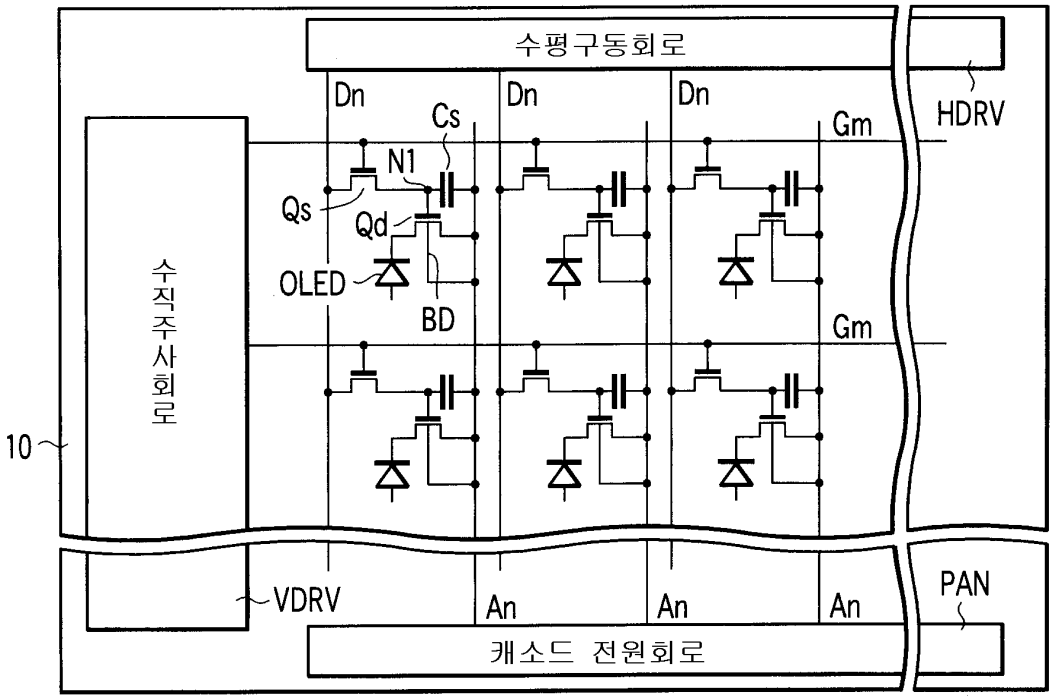
도면6d


100b
100c
100
450a
2
1
0
광강도(상대값)
피크 패턴
피크값
-5
0
5
위치 (㎛)

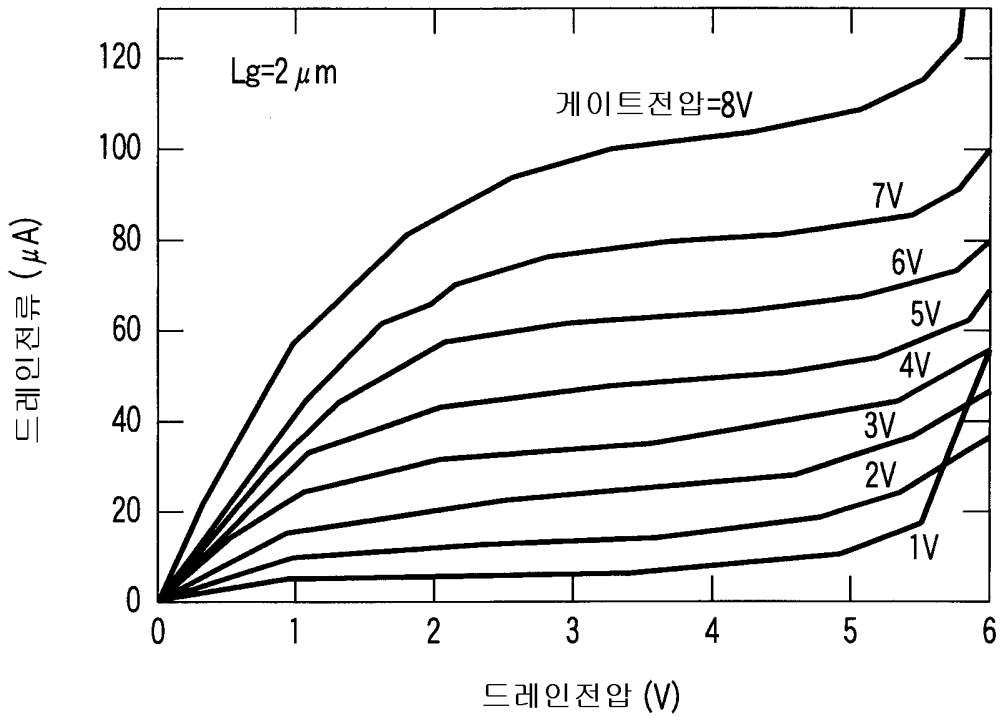
도면7


PV
CA
CACONT
WL
VDRV
11
AMX
HDRV
PAD

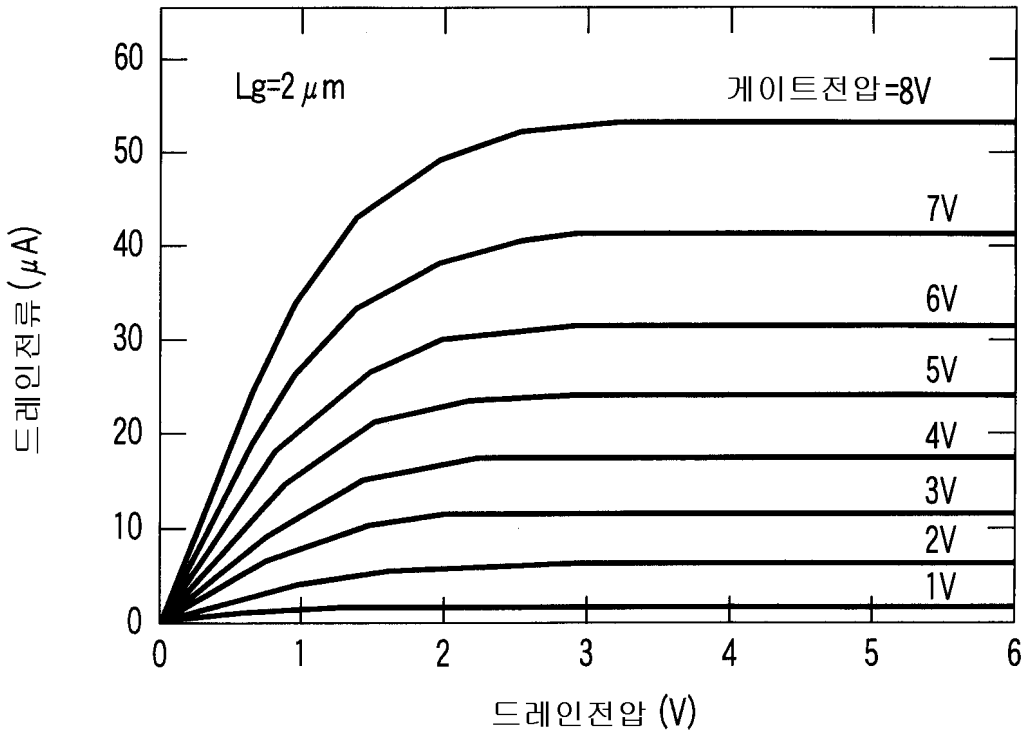
도면8


수평구동회로
Dn
Cs
Dn
Dn
Gm
HDRV
N1
Qs
Qd
OLED
BD
Gm
수직주사회로
10
VDRV
An
An
An
PAN
캐소드 전원회로

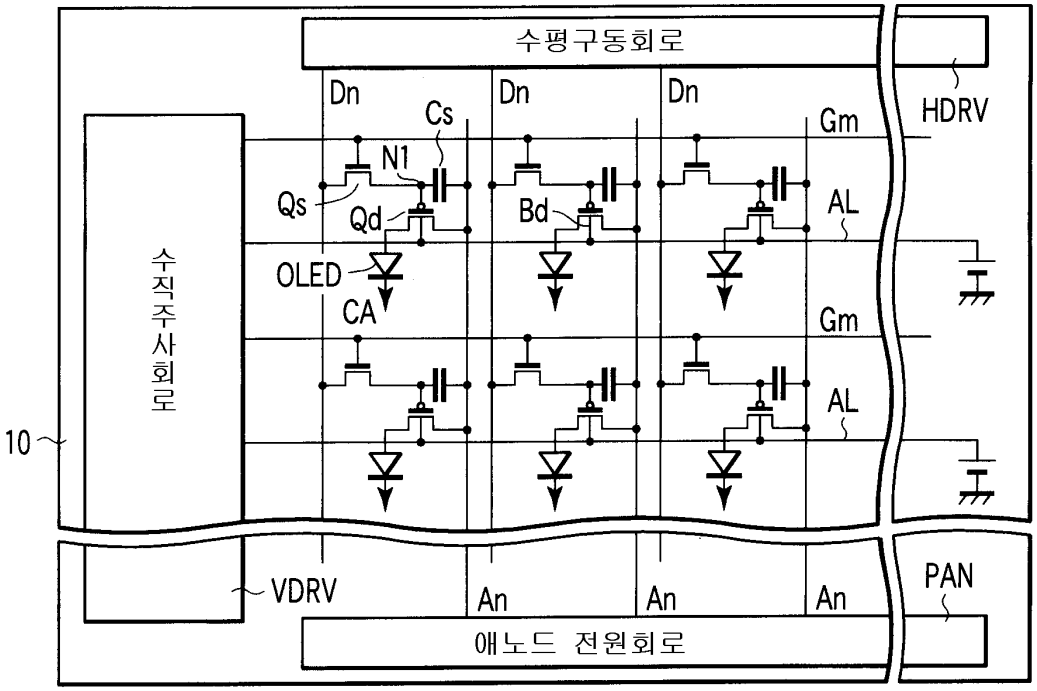
도면9


Lg=2 μm
게이트전압=8V
7V
6V
5V
4V
3V
2V
1V
120
100
80
60
40
20
0
0
1
2
3
4
5
6
드레인전류 (μA)
드레인전압 (V)

도면10


Lg=2 μm
게이트전압=8V
7V
6V
5V
4V
3V
2V
1V
60
50
40
30
20
10
0
0
1
2
3
4
5
6
드레인전류 (μA)
드레인전압 (V)

도면11


수평구동회로
Dn
Dn
Dn
Cs
Gm
HDRV
N1
Qs
Qd
Bd
AL
수직주사회로
OLED
CA
Gm
AL
10
VDRV
An
An
An
PAN
애노드 전원회로

专利名称(译)	发光显示设备		
公开(公告)号	KR1020040101017A	公开(公告)日	2004-12-02
申请号	KR1020040035943	申请日	2004-05-20
[标]申请(专利权)人(译)	液晶先端技术开发中心股份有限公司		
申请(专利权)人(译)	可否让这个莎的煤机用高秀饰品有以下用中心		
当前申请(专利权)人(译)	可否让这个莎的煤机用高秀饰品有以下用中心		
[标]发明人	KAWACHI GENSHIRO 가와치겐시로 KORENARI TAKAHIRO 고레나리다카히로		
发明人	가와치겐시로 고레나리다카히로		
IPC分类号	G09G3/36 H01L27/32 H05B33/08 G09G3/32 G09G3/10 H05B33/00		
CPC分类号	H01L27/3262 G09G2300/0842 G09G2300/0465 G09G2320/043 G09G3/3233 G09G2300/0417 E01F13/065 G08G1/149		
代理人(译)	LEE，JAE HWA		
优先权	2003141922 2003-05-20 JP		
外部链接	Espacenet		

摘要(译)

用于有机发光二极管装置（OLED）的晶体管（Qd）和EL驱动器分别布置有图像信号布线（Dn），其与相邻的扫描信号电路（Gm）2和多个像素区域相邻当前供应线（An）规定的。它接地，使得在体电极（BD）中产生的载流子部分在EL驱动晶体管的栅极 - 源极之间提供的电流连接到用于晶体管的漏极的有机发光二极管器件。控制电压驱动，并安装在作为第四电极的EL驱动晶体管上。沟道区是通过体电极从晶体管产生的，用于驱动。有机发光二极管（OLED），饱和特性，过量载流子，体电极。