



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년03월23일  
 (11) 등록번호 10-1714539  
 (24) 등록일자 2017년03월03일

(51) 국제특허분류(Int. Cl.)  
 H01L 51/52 (2006.01) G02B 1/11 (2015.01)  
 (21) 출원번호 10-2010-0082099  
 (22) 출원일자 2010년08월24일  
 심사청구일자 2015년06월22일  
 (65) 공개번호 10-2012-0019025  
 (43) 공개일자 2012년03월06일  
 (56) 선행기술조사문헌  
 KR1020100043943 A\*  
 KR1020040085010 A\*  
 KR1020100043944 A  
 KR1020030038337 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성디스플레이 주식회사  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
 최준호  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
 정진구  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
 (뒷면에 계속)  
 (74) 대리인  
 리엔특허법인

전체 청구항 수 : 총 10 항

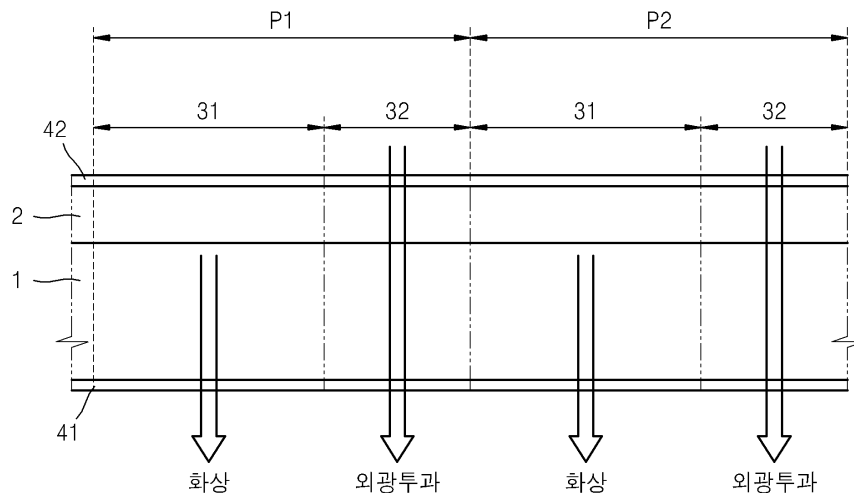
심사관 : 조성수

(54) 발명의 명칭 **유기 발광 표시 장치**

**(57) 요약**

본 발명은, 외광의 투과도를 높이기 위한 것으로, 기판과, 상기 기판의 제1면 상에 형성되고, 각각 발광되는 제1 영역과 외광이 투과되는 제2영역을 갖는 복수의 픽셀과, 상기 각 픽셀의 제1영역에 배치되고 각각 적어도 하나의 박막 트랜지스터를 포함하는 복수의 픽셀 회로부와, 상기 픽셀 회로부를 덮는 절연막과, 상기 절연막 상에 형성되고 상기 각 픽셀의 제1영역에 서로 독립되도록 배치되며 상기 각 픽셀 회로부와 전기적으로 연결된 복수의 제1 전극과, 상기 제1전극에 대향되고 상기 모든 픽셀들에 걸쳐 연결되도록 구비되며 상기 각 픽셀에서 상기 제1영역 및 제2영역에 걸쳐 형성된 제2전극과, 상기 제1전극과 제2전극의 사이에 개재된 유기막과, 상기 기판의 제1면과 대향된 밀봉부재와, 상기 기판의 제2면 및 상기 밀봉부재의 외면 중 적어도 일면에 위치된 반사 방지막을 포함하는 유기 발광 표시장치에 관한 것이다.

**대표도** - 도1



(72) 발명자

**박찬영**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**김성민**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**송영우**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**김성철**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**하재홍**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**황규환**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**윤석규**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**이종혁**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**명세서**

**청구범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

기관;

상기 기관의 제1면 상에 형성되고, 각각 발광되는 제1영역과 외광이 투과되는 제2영역을 갖는 복수의 픽셀;

상기 각 픽셀의 제1영역에 배치되는 복수의 박막 트랜지스터;

상기 각 픽셀의 제1영역에 서로 독립되도록 배치되고 상기 각 박막 트랜지스터와 전기적으로 연결된 복수의 제1전극;

상기 제1전극에 대향되고 모든 픽셀들에 걸쳐 연결되도록 구비된 제2전극;

상기 제1전극과 제2전극의 사이에 개재된 유기막;

상기 기관의 제1면과 대향된 밀봉부재; 및

상기 기관의 제2면 및 상기 밀봉부재의 외면 중 적어도 일면에 위치한 반사 방지막;을 포함하고,

상기 반사 방지막은 외광이 투과되도록 구비되며,

상기 반사 방지막은, 상기 기관의 제2면 및 상기 밀봉부재의 외면 중 적어도 일면과 공기와의 사이에서 굴절을 차이에 의한 계면 반사를 감소시키도록 구비된 유기 발광 표시장치.

**청구항 12**

제11항에 있어서,

상기 제1전극은 광투과 전극으로 구비된 것을 특징으로 하는 유기 발광 표시장치.

**청구항 13**

제11항에 있어서,

상기 제1전극은 광반사 전극으로 구비된 것을 특징으로 하는 유기 발광 표시장치.

**청구항 14**

기관;

상기 기관의 제1면 상에 형성되고, 각각 발광되는 제1영역과 외광이 투과되는 제2영역을 갖는 복수의 픽셀;

상기 각 픽셀의 제1영역에 배치되는 복수의 박막 트랜지스터;

상기 각 픽셀의 제1영역에 서로 독립되도록 배치되고 상기 각 박막 트랜지스터와 전기적으로 연결된 복수의 제1전극;

상기 제1전극에 대향되고 모든 픽셀들에 걸쳐 연결되도록 구비된 제2전극;

상기 제1전극과 제2전극의 사이에 개재된 유기막;

상기 기관의 제1면과 대향된 밀봉부재; 및

상기 기관의 제2면 및 상기 밀봉부재의 외면 중 적어도 일면에 위치한 반사 방지막;을 포함하고,

상기 제2전극은 상기 각 제2영역에 대응되는 위치에 복수의 제1투과 창을 구비한 것을 특징으로 하는 유기 발광 표시장치.

**청구항 15**

제14항에 있어서,

상기 제1투과 창은 상기 픽셀별로 독립되게 구비된 것을 특징으로 하는 유기 발광 표시장치.

**청구항 16**

제14항에 있어서,

상기 제1투과 창은 서로 인접한 적어도 두 개의 픽셀들에 대해 연결되도록 구비된 것을 특징으로 하는 유기 발광 표시장치.

**청구항 17**

기관;

상기 기관의 제1면 상에 형성되고, 각각 발광되는 제1영역과 외광이 투과되는 제2영역을 갖는 복수의 픽셀;

상기 각 픽셀의 제1영역에 배치되는 복수의 박막 트랜지스터;

상기 각 픽셀의 제1영역에 서로 독립되도록 배치되고 상기 각 박막 트랜지스터와 전기적으로 연결된 복수의 제1전극;

상기 제1전극에 대향되고 모든 픽셀들에 걸쳐 연결되도록 구비된 제2전극;

상기 제1전극과 제2전극의 사이에 개재된 유기막;

상기 기관의 제1면과 대향된 밀봉부재; 및

상기 기관의 제2면 및 상기 밀봉부재의 외면 중 적어도 일면에 위치한 반사 방지막;을 포함하고,

상기 기관 상에 형성된 적어도 하나의 절연막을 더 포함하고, 상기 절연막은 상기 각 제2영역에 대응되는 위치에 복수의 제2투과 창을 구비한 것을 특징으로 하는 유기 발광 표시장치.

**청구항 18**

제11항에 있어서,

상기 각 픽셀의 제1영역은 발광 영역과 회로 영역을 포함하고, 상기 박막 트랜지스터는 상기 회로 영역에 배치되며, 상기 제1전극은 상기 발광 영역에 배치되고, 상기 각 픽셀의 상기 발광 영역과 상기 회로 영역은 서로 인접하게 배치되는 것을 특징으로 하는 유기 발광 표시장치.

**청구항 19**

제11항에 있어서,

상기 각 픽셀의 제1영역은 발광 영역과 회로 영역을 포함하고, 상기 박막 트랜지스터는 상기 회로 영역에 배치되며, 상기 제1전극은 상기 발광 영역에 배치되고, 상기 각 픽셀의 상기 발광 영역은 상기 회로 영역을 가릴 수 있도록 상기 회로 영역과 중첩되도록 배치된 것을 특징으로 하는 유기 발광 표시장치.

**청구항 20**

제19항에 있어서,

상기 각 픽셀에서 상기 제1전극의 면적은 상기 제1영역의 면적과 동일한 것을 특징으로 하는 유기 발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는 투명한 유기 발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 유기 발광 표시 장치는 시야각, 콘트라스트(contrast), 응답속도, 소비전력 등의 측면에서 특성이 우수하기 때문에 MP3 플레이어나 휴대폰 등과 같은 개인용 휴대기기에서 텔레비전(TV)에 이르기까지 응용 범위가 확대되고 있다.

[0003] 이러한 유기 발광 표시 장치에 대해 장치 내부의 박막 트랜지스터나 유기 발광 소자를 투명한 형태로 만들어 줌으로써, 투명 표시 장치로 형성하려는 시도가 있다.

[0004] 그런데 이러한 투명 표시 장치에서는, 스위치 오프 상태일 때 반대편에 위치한 사물 또는 이미지가 유기 발광 소자 뿐만 아니라 박막 트랜지스터 및 여러 배선 등의 패턴 및 이들 사이의 공간을 투과해 사용자에게 전달되는데, 비록 투명 표시 장치라 하더라도 전술한 유기 발광 소자, 박막 트랜지스터 및 배선들 자체의 투과율이 그리 높지 않고, 이들 사이 공간도 매우 적어 전체 디스플레이의 투과율은 높지 못하다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은, 외광의 투과도가 높은 투명한 유기 발광 표시 장치를 제공하는 데에 목적이 있다.

**과제의 해결 수단**

[0006] 상기와 같은 목적을 달성하기 위하여, 본 발명은, 기관과, 상기 기관의 제1면 상에 형성되고, 각각 발광되는 제1영역과 외광이 투과되는 제2영역을 갖는 복수의 픽셀과, 상기 각 픽셀의 제1영역에 배치되고 각각 적어도 하나의 박막 트랜지스터를 포함하는 복수의 픽셀 회로부와, 상기 픽셀 회로부를 덮는 절연막과, 상기 절연막 상에

형성되고 상기 각 픽셀의 제1영역에 서로 독립되도록 배치되며 상기 각 픽셀 회로부와 전기적으로 연결된 복수의 제1전극과, 상기 제1전극에 대향되고 상기 모든 픽셀들에 걸쳐 연결되도록 구비되며 상기 각 픽셀에서 상기 제1영역 및 제2영역에 걸쳐 형성된 제2전극과, 상기 제1전극과 제2전극의 사이에 개재된 유기막과, 상기 기관의 제1면과 대향된 밀봉부재와, 상기 기관의 제2면 및 상기 밀봉부재의 외면 중 적어도 일면에 위치한 반사 방지막을 포함하는 유기 발광 표시장치를 제공한다.

- [0007] 본 발명의 다른 특징에 따르면, 상기 제1전극은 광투과 전극으로 구비될 수 있다.
- [0008] 본 발명의 또 다른 특징에 따르면, 상기 제1전극은 광반사 전극으로 구비될 수 있다.
- [0009] 본 발명의 또 다른 특징에 따르면, 상기 제2전극은 상기 각 제2영역에 대응되는 위치에 복수의 제1투과 창을 구비할 수 있다.
- [0010] 본 발명의 또 다른 특징에 따르면, 상기 제1투과 창은 상기 픽셀별로 독립되게 구비될 수 있다.
- [0011] 본 발명의 또 다른 특징에 따르면, 상기 제1투과 창은 서로 인접한 적어도 두 개의 픽셀들에 대해 연결되도록 구비될 수 있다.
- [0012] 본 발명의 또 다른 특징에 따르면, 상기 절연막은 상기 제1투과 창과 연결된 복수의 제2투과 창을 구비할 수 있다.
- [0013] 본 발명의 또 다른 특징에 따르면, 상기 각 픽셀의 제1영역은 발광 영역과 회로 영역을 포함하고, 상기 박막 트랜지스터는 상기 회로 영역에 배치되며, 상기 제1전극은 상기 발광 영역에 배치되고, 상기 각 픽셀의 상기 발광 영역과 상기 회로 영역은 서로 인접하게 배치될 수 있다.
- [0014] 본 발명의 또 다른 특징에 따르면, 상기 각 픽셀의 제1영역은 발광 영역과 회로 영역을 포함하고, 상기 픽셀 회로부는 상기 회로 영역에 배치되며, 상기 제1전극은 상기 발광 영역에 배치되고, 상기 각 픽셀의 상기 발광 영역은 상기 회로 영역을 가릴 수 있도록 상기 회로 영역과 중첩되도록 배치될 수 있다.
- [0015] 본 발명의 또 다른 특징에 따르면, 상기 각 픽셀에서 상기 제1전극의 면적은 상기 제1영역의 면적과 동일할 수 있다.
- [0016] 본 발명은 또한 전술한 목적을 달성하기 위하여, 기관과, 상기 기관의 제1면 상에 형성되고, 각각 발광되는 제1영역과 외광이 투과되는 제2영역을 갖는 복수의 픽셀과, 상기 각 픽셀의 제1영역에 배치되는 복수의 박막 트랜지스터와, 상기 각 픽셀의 제1영역에 서로 독립되도록 배치되고 상기 각 박막 트랜지스터와 전기적으로 연결된 복수의 제1전극과, 상기 제1전극에 대향되고 상기 모든 픽셀들에 걸쳐 연결되도록 구비된 제2전극과, 상기 제1전극과 제2전극의 사이에 개재된 유기막과, 상기 기관의 제1면과 대향된 밀봉부재와, 상기 기관의 제2면 및 상기 밀봉부재의 외면 중 적어도 일면에 위치한 반사 방지막을 포함하는 유기 발광 표시장치를 제공한다.
- [0017] 본 발명의 다른 특징에 따르면, 상기 제1전극은 광투과 전극으로 구비될 수 있다.
- [0018] 본 발명의 또 다른 특징에 따르면, 상기 제1전극은 광반사 전극으로 구비될 수 있다.
- [0019] 본 발명의 또 다른 특징에 따르면, 상기 제2전극은 상기 각 제2영역에 대응되는 위치에 복수의 제1투과 창을 구비할 수 있다.
- [0020] 본 발명의 또 다른 특징에 따르면, 상기 제1투과 창은 상기 픽셀별로 독립되게 구비될 수 있다.
- [0021] 본 발명의 또 다른 특징에 따르면, 상기 제1투과 창은 서로 인접한 적어도 두 개의 픽셀들에 대해 연결되도록 구비될 수 있다.
- [0022] 본 발명의 또 다른 특징에 따르면, 상기 기관 상에 형성된 적어도 하나의 절연막을 더 포함하고, 상기 절연막은 상기 제1투과 창과 연결된 복수의 제2투과 창을 구비할 수 있다.
- [0023] 본 발명의 또 다른 특징에 따르면, 상기 각 픽셀의 제1영역은 발광 영역과 회로 영역을 포함하고, 상기 박막 트랜지스터는 상기 회로 영역에 배치되며, 상기 제1전극은 상기 발광 영역에 배치되고, 상기 각 픽셀의 상기 발광 영역과 상기 회로 영역은 서로 인접하게 배치될 수 있다.
- [0024] 본 발명의 또 다른 특징에 따르면, 상기 각 픽셀의 제1영역은 발광 영역과 회로 영역을 포함하고, 상기 박막 트랜지스터는 상기 회로 영역에 배치되며, 상기 제1전극은 상기 발광 영역에 배치되고, 상기 각 픽셀의 상기 발광 영역은 상기 회로 영역을 가릴 수 있도록 상기 회로 영역과 중첩되도록 배치될 수 있다.

[0025] 본 발명의 또 다른 특징에 따르면, 상기 각 픽셀에서 상기 제1전극의 면적은 상기 제1영역의 면적과 동일할 수 있다.

**발명의 효과**

[0026] 상기한 바와 같은 본 발명에 따르면, 외광에 대한 투과율 저하를 최대한 줄일 수 있고, 이에 따라 사용자가 외부 이미지의 관찰이 더욱 용이해질 수 있다.

**도면의 간단한 설명**

- [0027] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시장치의 개략적인 단면도,
- 도 2는 본 발명의 바람직한 다른 일 실시예에 따른 유기 발광 표시장치의 개략적인 단면도,
- 도 3은 도 1 또는 도 2의 일 실시예를 보다 상세히 도시한 단면도,
- 도 4는 도 1 또는 도 2의 다른 일 실시예를 보다 상세히 도시한 단면도,
- 도 5는 도 3 또는 도 4의 유기 발광부의 바람직한 일 실시예의 개략적인 평면도,
- 도 6은 도 3 또는 도 4의 유기 발광부의 바람직한 다른 일 실시예의 개략적인 평면도,
- 도 7은 도 3 또는 도 4의 유기 발광부의 일 픽셀을 도시한 단면도,
- 도 8은 도 3 또는 도 4의 유기 발광부의 바람직한 다른 일 실시예의 개략적인 평면도,
- 도 9는 도 8의 픽셀 회로부의 일 예를 포함한 유기 발광부를 도시한 개략도,
- 도 10은 도 9의 유기 발광부의 일 예를 보다 구체적으로 도시한 평면도,
- 도 11은 도 10의 A-A의 일 예에 따른 단면도,
- 도 12는 도 10의 A-A의 다른 일 예에 따른 단면도,
- 도 13은 도 3 또는 도 4의 유기 발광부의 바람직한 다른 일 실시예의 개략적인 평면도.

**발명을 실시하기 위한 구체적인 내용**

- [0028] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.
- [0029] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시장치를 개략적으로 도시한 단면도이다.
- [0030] 도 1을 참조하면, 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시장치는 기관(1) 상에 디스플레이부(2)가 구비된다.
- [0031] 이러한 유기 발광 표시장치에서 외광은 기관(1) 및 디스플레이부(2)를 투과하여 입사된다.
- [0032] 그리고 디스플레이부(2)는 후술하는 바와 같이 외광이 투과 가능하도록 구비된 것으로, 도 1에서 볼 때, 화상이 구현되는 측에 위치한 사용자가 기관(1) 상부 외측의 이미지를 관찰 가능하도록 구비된다. 도 1에 도시된 실시예에서 디스플레이부(2)의 화상이 기관(1)의 방향으로 구현되는 배면발광형으로 개시되었지만, 본 발명이 반드시 이에 한정되는 것은 아니며, 도 2에서 볼 수 있듯이 디스플레이부(2)의 화상이 기관(1)의 반대 방향으로 구현되는 전면 발광형에도 동일하게 적용 가능함은 물론이다. 이 경우, 사용자는 기관(1) 상부에서 디스플레이부(2)의 화상을 보거나, 하부 외측의 이미지를 관찰할 수 있을 것이다. 본 발명은 또한 반드시 도 1 및 도 2에 따른 실시예들에 한정되는 것은 아니며, 디스플레이부(2)의 화상이 기관(1)의 방향 및 기관(1)의 반대 방향으로 구현되는 양면 발광형에도 동일하게 적용 가능하다.
- [0033] 도 1 및 도 2에서는 본 발명의 유기 발광 표시장치의 서로 인접한 두 개의 픽셀들인 제1픽셀(P1)과 제2픽셀(P2)을 도시하였다.
- [0034] 각 픽셀들(P1)(P2)은 제1영역(31)과 제2영역(32)을 구비하고 있다.
- [0035] 제1영역(31)을 통해서는 디스플레이부(2)로부터 화상이 구현되고, 제2영역(32)을 통해서는 외광이 투과된다.
- [0036] 즉, 본 발명은 각 픽셀들(P1)(P2)이 모두 화상을 구현하는 제1영역(31)과 외광이 투과되는 제2영역(32)이 구비

되어 있어 사용자가 디스플레이부(2)로부터 구현되는 화상을 보지 않을 때에는 외부 이미지를 볼 수 있게 된다.

- [0037] 이 때, 제2영역(32)에는 박막 트랜지스터, 커패시터, 유기 발광 소자 등의 소자들을 형성하지 않음으로써 이 제2영역(32)에서의 외광 투과율을 극대화해 결과적으로 디스플레이부(2) 전체의 외광 투과율을 높일 수 있고, 투과 이미지가 박막 트랜지스터, 커패시터, 유기 발광 소자 등의 소자들에 의해 간섭을 받아 왜곡이 일어나는 것을 최대한 줄일 수 있다.
- [0038] 도 3은 도 1 또는 도 2의 유기 발광 표시장치를 보다 구체적으로 나타낸 일 실시예로서, 상기 디스플레이부(2)는 기관(1)의 제1면(11)에 형성된 유기 발광부(21)와 이 유기 발광부(21)를 밀봉하는 밀봉기관(23)을 포함한다.
- [0039] 상기 밀봉기관(23)은 투명한 부재로 형성되어 유기 발광부(21)로부터의 화상이 구현될 수 있도록 하고, 유기 발광부(21)로 외기 및 수분이 침투하는 것을 차단한다.
- [0040] 상기 기관(1)과 상기 밀봉기관(23)은 그 가장자리가 밀봉재(24)에 의해 결합되어 상기 기관(1)과 밀봉기관(23)의 사이 공간(25)이 밀봉된다. 상기 공간(25)에는 흡습제나 충전제 등이 위치할 수 있다.
- [0041] 상기 밀봉기관(23) 대신에 도 4에서 볼 수 있듯이 박막의 밀봉필름(26)을 유기 발광부(21) 상에 형성함으로써 유기 발광부(21)를 외기로부터 보호할 수 있다. 상기 밀봉필름(26)은 실리콘옥사이드 또는 실리콘나이트라이드와 같은 무기물로 이루어진 막과 에폭시, 폴리이미드와 같은 유기물로 이루어진 막이 교대로 성막된 구조를 취할 수 있는 데, 반드시 이에 한정되는 것은 아니며, 투명한 박막 상의 밀봉구조이면 어떠한 것이든 적용 가능하다.
- [0042] 도시하지는 않았지만, 상기 유기 발광부(21)에 대한 밀봉 구조로서 도 4의 밀봉필름(26)을 형성한 위에 다시 도 3의 밀봉기관(23)을 더 구비할 수도 있다.
- [0043] 한편, 본 발명에서는 상기 기관(1)의 하면, 즉 제2면(12)과 디스플레이부(2)의 상부 외면에 각각 외광에 대한 반사를 방지하는 제1반사 방지막(41) 및 제2반사 방지막(42)을 형성한다. 상기 제1반사 방지막(41) 및 제2반사 방지막(42)은 반드시 함께 형성되어 있을 필요는 없으며, 둘 중 적어도 하나만 구비될 수도 있다.
- [0044] 전술한 바와 같이, 본 발명의 유기 발광 표시장치는 제2영역(32)에서의 외광 투과율을 극대화해 디스플레이부(2) 전체의 외광 투과율을 높이도록 하는 것에 가장 큰 특징을 갖는다. 그런데 일반적으로 한 매질에서 다른 매질로 빛이 수직 입사할 경우 굴절률 차이에 의한 계면 반사가 일어나게 된다.
- [0045] 예컨대, 외광이 기관(1)의 하부 외측으로부터 기관(1)을 향해 입사할 경우, 굴절률이 1.5인 글라스로 만들어진 기관(1)과 굴절률이 1.0인 공기와의 사이에는 큰 굴절률 차이가 발생하여 약 4% 정도의 계면 반사가 일어나게 된다.
- [0046] 전술한 제2영역(32)에서 만일 외광에 대한 흡수도를 무시할 경우 외광에 대한 투과율은 외광에 대한 반사율에 의해 결정된다. 즉, 제2영역(32)에서 외광에 대한 반사율이 높을수록 외광에 대한 투과율이 낮아지게 되는 것이다. 따라서, 본 발명은 상기 제1반사 방지막(41) 및 제2반사 방지막(42)을 이용해 특히 제2영역(32)에서의 외광에 대한 반사율을 감소시켜, 그 감소분만큼 외광에 대한 투과율이 증대되도록 하였다.
- [0047] 상기 제1반사 방지막(41) 및 제2반사 방지막(42)은 반사 방지 필름을 이용할 수도 있고, 반사 방지 코팅막을 이용할 수도 있다.
- [0048] 다음으로, 본 발명의 유기 발광부(21)의 보다 구체적인 실시예들을 설명한다.
- [0049] 도 5는 본 발명의 유기 발광부(21)의 일 실시예에서 서로 인접한 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)을 도시한 평면도이다.
- [0050] 각 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)은 제1영역(31)에 회로 영역(311)과 발광 영역(312)을 각각 구비한다. 이들 회로 영역(311)과 발광 영역(312)은 서로 인접하게 배치된다.
- [0051] 그리고 제1영역(31)에 인접하게는 외광을 투과하는 제2영역(32)이 배치된다.
- [0052] 상기 제2영역(32)은 도 5에서 볼 수 있듯이 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수도 있고, 도 6에서 볼 수 있듯이, 각 픽셀들(Pr)(Pg)(Pb)에 걸쳐 서로 연결되게 구비될 수도 있다. 도 6에 따른 실시예의 경우, 외광이 투과되는 제2영역(32)의 면적이 넓어지는 효과가 있기 때문에 디스플레이부(2) 전체의 투과율을 높일 수 있다.
- [0053] 도 6에서는 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)의 제2영역(32)이 모두 연결된 것으로

도시하였으나, 본 발명은 반드시 이에 한정되는 것은 아니며, 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb) 중 서로 인접한 어느 두 픽셀들의 제2영역들만 서로 연결되도록 구비될 수도 있다.

- [0054] 도 7은 도 5 또는 도 6에 도시된 픽셀들(Pr)(Pg)(Pb) 중 어느 한 픽셀의 단면을 도시한 것이다.
- [0055] 도 7에서 볼 수 있듯이, 회로 영역(311)에는 박막 트랜지스터(TR)가 배치되는 데, 도면에 도시된 바와 같이 반드시 하나의 박막 트랜지스터(TR)가 배치되는 것에 한정되지 않으며, 이 박막 트랜지스터(TR)를 포함한 픽셀 회로부(PC)가 구비될 수 있다. 이 픽셀 회로부(PC)에는 박막 트랜지스터(TR) 외에도 다수의 박막 트랜지스터 및 스토리지 커패시터가 더 포함될 수 있으며, 이들과 연결된 스캔 라인, 데이터 라인 및 Vdd 라인 등의 배선들이 더 구비될 수 있다.
- [0056] 발광 영역(312)에는 발광 소자인 유기 발광 소자(EL)가 배치된다. 이 유기 발광 소자(EL)는 픽셀 회로부(PC)의 박막 트랜지스터(TR)와 전기적으로 연결되어 있다.
- [0057] 상기 기관(1) 상에는 버퍼막(211)이 형성되고, 이 버퍼막(211) 상에 박막 트랜지스터(TR)를 포함한 픽셀 회로부(PC)가 형성된다.
- [0058] 먼저, 상기 버퍼막(211) 상에는 반도체 활성층(212)이 형성된다.
- [0059] 상기 버퍼막(211)은 투명한 절연물로 형성되는 데, 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 것으로, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 일례로, 상기 버퍼막(211)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 알루미늄옥사이드, 알루미늄나이트라이드, 티타늄옥사이드 또는 티타늄나이트라이드 등의 무기물이나, 폴리이미드, 폴리에스테르, 아크릴 등의 유기물 또는 이들의 적층체로 형성될 수 있다. 상기 버퍼막(211)은 필수 구성요소는 아니며, 필요에 따라서는 구비되지 않을 수도 있다.
- [0060] 상기 반도체 활성층(212)은 다결정 실리콘으로 형성될 수 있는 데, 반드시 이에 한정되는 것은 아니며, 산화물 반도체로 형성될 수 있다. 예를 들면 G-I-Z-O층[ $(\text{In}_{2\text{O}_3})_a(\text{Ga}_{2\text{O}_3})_b(\text{ZnO})_c$ 층](a, b, c는 각각  $a \geq 0$ ,  $b \geq 0$ ,  $c > 0$ 의 조건을 만족시키는 실수)일 수 있다. 이렇게 반도체 활성층(212)을 산화물 반도체로 형성할 경우에는 제1영역(31)의 회로 영역(311)에서의 광투과도가 더욱 높아질 수 있게 되고, 이에 따라 디스플레이부(2) 전체의 외광 투과도를 상승시킬 수 있다.
- [0061] 상기 반도체 활성층(212)을 덮도록 투명한 절연물로 게이트 절연막(213)이 버퍼막(211) 상에 형성되고, 게이트 절연막(213) 상에 게이트 전극(214)이 형성된다.
- [0062] 게이트 전극(214)을 덮도록 게이트 절연막(213) 상에 투명한 절연물로 층간 절연막(215)이 형성되고, 이 층간 절연막(215) 상에 소스 전극(216)과 드레인 전극(217)이 형성되어 각각 반도체 활성층(212)과 콘택 홀을 통해 콘택된다.
- [0063] 상기와 같은 박막 트랜지스터(TR)의 구조는 반드시 이에 한정되는 것은 아니며, 다양한 형태의 박막 트랜지스터의 구조가 적용 가능함은 물론이다.
- [0064] 이러한 박막 트랜지스터(TR)를 포함하는 픽셀 회로부(PC)를 덮도록 패시베이션막(218)이 형성된다. 상기 패시베이션막(218)은 상면이 평탄화된 단일 또는 복수층의 절연막이 될 수 있다. 이 패시베이션막(218)은 투명한 무기 절연물 및/또는 유기 절연물로 형성될 수 있다. 상기 패시베이션막(218)은 모든 픽셀들에 걸쳐 연결되도록 형성될 수 있다.
- [0065] 상기 패시베이션막(218) 상에는 도 7에서 볼 수 있듯이, 박막 트랜지스터(TR)와 전기적으로 연결된 유기 발광 소자(EL)의 제1전극(221)이 형성된다. 상기 제1전극(221)은 모든 픽셀들 별로 분리 및 독립된 아일랜드 형태로 형성된다.
- [0066] 상기 패시베이션막(218) 상에는 유기 및/또는 무기 절연물로 구비된 화소 정의막(219)이 형성된다.
- [0067] 상기 화소 정의막(219)은, 상기 제1전극(221)의 가장자리를 덮고 중앙부는 노출시킨다. 이 화소 정의막(219)은 제1영역(31)을 덮도록 구비될 수 있는 데, 반드시 제1영역(31) 전체를 덮도록 구비되는 것은 아니며, 적어도 일부, 특히, 제1전극(221)의 가장자리를 덮도록 하면 충분하다.
- [0068] 상기 제1전극(221) 상에는 유기막(223)과 제2전극(222)이 순차로 적층된다. 상기 제2전극(222)은 상기 유기막(223)과 절연막(219)을 덮으며, 모든 픽셀들에 걸쳐 서로 전기적으로 연결되어 있다.

- [0069] 상기 유기막(223)은 저분자 또는 고분자 유기막이 사용될 수 있다. 저분자 유기막을 사용할 경우, 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성될 수 있다. 이 때, 홀 주입층, 홀 수송층, 전자 수송층, 및 전자 주입층 등은 공통층으로서, 적, 녹, 청색의 픽셀에 공통으로 적용될 수 있다.
- [0070] 상기 제1전극(221)은 애노우드 전극의 기능을 하고, 상기 제2전극(222)은 캐소우드 전극의 기능을 할 수 있는데, 물론, 이들 제1전극(221)과 제2전극(222)의 극성은 서로 반대로 되어도 무방하다.
- [0071] 본 발명의 일 실시예에 따르면, 상기 제1전극(221)은 투명전극이 될 수 있고, 상기 제2전극(222)은 반사 전극이 될 수 있다. 상기 제1전극(221)은 일함수가 높은 ITO, IZO, ZnO, 또는 In2O3 등을 포함하여 구비될 수 있다. 그리고 상기 제2전극(222)은 일함수가 작은 금속, 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, 또는 Ca 등으로 형성될 수 있다. 따라서, 상기 유기 발광 소자(EL)는 제1전극(221)의 방향으로 화상을 구현하는 배면 발광형(bottom emission type)이 된다.
- [0072] 그러나 본 발명은 반드시 이에 한정되는 것은 아니며, 상기 제2전극(222)도 투명 전극으로 구비될 수도 있다.
- [0073] 상기 패시베이션막(218), 게이트 절연막(213), 층간 절연막(215) 및 화소 정의막(219)은 전술한 바와 같이 외광에 대한 투과율을 높이기 위해 투명한 절연막으로 형성하는 것이 바람직하다.
- [0074] 상기 제2전극(222) 상부에는 밀봉 기관(23)이 배치될 수 있다. 이 밀봉 기관(23)은 디스플레이부(2) 외곽에서도 3에서 볼 수 있듯이 별도의 밀봉재(24)에 의해 기관(1)과 접합되어 디스플레이부(2)를 외기에 대해 밀봉하도록 할 수 있다. 밀봉 기관(23)과 제2전극(222) 사이 공간에는 별도의 충전재(미도시)가 충전될 수 있고, 흡습제도 개재될 수 있다. 디스플레이부(2)에 대한 밀봉 구조는 반드시 도 7에 도시된 밀봉 기관(23)을 사용하는 것에 한정되는 것은 아니며, 도 3에서 설명한 밀봉 필름 구조도 적용 가능하다.
- [0075] 한편, 본 발명에 있어, 상기 제2전극(222) 및 화소 정의막(219)에는 각각 제1투과 창(224) 및 제2투과 창(225)이 더 형성될 수 있다. 상기 제1투과 창(224)은 상기 제2전극(222) 중 상기 제2영역(32)에 대응되는 위치의 부분을 제거하여 형성할 수 있고, 상기 제2투과 창(225)은 상기 화소 정의막(219) 중 상기 제2영역(32)에 대응되는 위치의 부분을 제거하여 형성할 수 있다. 상기 제1투과 창(224) 및 제2투과 창(225)은 서로 연결되도록 형성될 수 있다.
- [0076] 상기 제1투과 창(224) 및 제2투과 창(225)은 아일랜드 패턴으로 형성될 수 있는데, 도 5에서 볼 수 있듯이, 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수도 있고, 도 6에서 볼 수 있듯이, 각 픽셀들(Pr)(Pg)(Pb)에 걸쳐 서로 연결되게 구비될 수도 있다. 도 6에서는 제1투과 창(224)이 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)에 걸쳐 모두 연결된 것으로 도시하였으나, 본 발명은 반드시 이에 한정되는 것은 아니며, 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb) 중 서로 인접한 어느 두 픽셀들에 걸쳐서만 서로 연결되도록 구비될 수도 있다. 도 5 및 도 6에는 제1투과 창(224)만을 도시하였으나, 제2투과 창(225)도 동일한 패턴으로 형성될 수 있음은 물론이다.
- [0077] 상기 제2투과 창(225)은 패시베이션막(218), 층간 절연막(215), 게이트 절연막(213) 및 버퍼막(211) 중 적어도 하나에 더 형성될 수도 있다.
- [0078] 본 발명은 또한 반드시 상기 제1투과 창(224)과 제2투과 창(225)이 함께 존재해야만 하는 것은 아니며, 둘 중 어느 하나만 존재하도록 할 수도 있다. 물론 이 경우에는 외광에 대한 투과율을 높이기 위해 금속으로 형성하는 제2전극(222)에 제1투과 창(224)만을 형성하는 것이 바람직할 것이다.
- [0079] 도 8은 본 발명의 유기 발광부(21)의 다른 일 실시예에서 서로 인접한 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)을 도시한 평면도이다.
- [0080] 각 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)의 제1영역(31)에는 회로 영역(311)과 발광 영역(312)이 구비되는 데, 이들 회로 영역(311)과 발광 영역(312)은 서로 중첩되게 배치된다. 도 8에서 볼 수 있는 본 발명의 바람직한 일 실시예에 따르면 상기 발광 영역(312)의 면적은 회로 영역(311)의 픽셀 회로부(PC)의 면적보다 커서 상기 회로 영역(311)의 픽셀 회로부(PC)는 발광 영역(312)에 완전히 가려진 상태가 된다.

- [0081] 그리고 제1영역(31)에 인접하게는 외광을 투과하는 제2영역(32)이 배치된다. 상기 제2영역(32)은 도 8에서 볼 수 있듯이 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수 있다.
- [0082] 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)과 같은 복수의 도선 라인들이 이 픽셀 회로부(PC)에 전기적으로 연결된다. 도면에 도시하지는 않았지만 상기 픽셀 회로부(PC)의 구성에 따라 상기 스캔 라인(S), 데이터 라인(D) 및 구동전원인 Vdd 라인(V) 외에도 더 다양한 도선 라인들이 구비되어 있을 수 있다.
- [0083] 도 9는 도 8의 픽셀 회로부(PC)의 보다 구체적인 일 예를 도시한 개략도이다.
- [0084] 도 9에서 볼 수 있듯이, 상기 픽셀 회로부(PC)는, 스캔 라인(S)과 데이터 라인(D)에 연결된 제1박막 트랜지스터(TR1)와, 제1박막 트랜지스터(TR1)와 Vdd 라인(V)에 연결된 제2박막 트랜지스터(TR2)와, 제1박막 트랜지스터(TR1)와 제2박막 트랜지스터(TR2)에 연결된 커패시터(Cst)를 포함한다. 이 때, 제1박막 트랜지스터(TR1)는 스위칭 트랜지스터가 되고, 제2박막 트랜지스터(TR2)는 구동 트랜지스터가 된다. 상기 제2박막 트랜지스터(TR2)는 제1전극(221)과 전기적으로 연결되어 있다. 도 9에서 제1박막 트랜지스터(TR1)와 제2박막 트랜지스터(TR2)는 P형으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니며 적어도 하나가 N형으로 형성될 수도 있다. 상기와 같은 박막 트랜지스터 및 커패시터의 개수는 반드시 도시된 실시예에 한정되는 것은 아니며, 픽셀 회로부(PC)에 따라 2 이상의 박막 트랜지스터, 1 이상의 커패시터가 조합될 수 있다.
- [0085] 도 8 및 도 9에 따르면, 스캔 라인(S)이 제1전극(221)과 중첩되게 배치된다. 그러나, 본 발명은 반드시 이에 한정되는 것은 아니며, 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)을 포함한 복수의 도선 라인들 중 적어도 하나가 상기 제1전극(221)과 중첩되도록 배치시킬 수 있으며, 경우에 따라서는 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)을 포함한 복수의 도선 라인들 모두 제1전극(221)과 중첩되거나 제1전극(221) 옆에 배치시킬 수 있다.
- [0086] 본 발명은 이처럼 제1영역(31)과 제2영역(32)의 분리에 따라 제2영역(32)을 통해 외부를 관찰할 때에, 외부 광이 픽셀 회로부(PC) 내의 소자들의 패턴과 관련하여 산란함에 따라 발생하는 외부 이미지 왜곡 현상을 방지할 수 있다.
- [0087] 이러한 제1영역(31)과 제2영역(32)의 전체 면적 대비 제2영역(32)의 면적의 비율이 5% 내지 90% 범위에 속하도록 제1영역(31)과 제2영역(32)이 형성된다.
- [0088] 제1영역(31)과 제2영역(32)의 전체 면적 대비 제2영역(32)의 면적의 비율이 5% 보다 작으면, 도 1에서 디스플레이부(2)가 스위치 오프 상태일 때 디스플레이부(2)를 투과할 수 있는 빛이 적어 사용자가 반대 측에 위치한 사물 또는 이미지를 보기 어렵다. 즉, 디스플레이부(2)가 투명하다고 할 수 없게 된다. 제2영역(32)의 면적이 제1영역(31)과 제2영역(32)의 전체 면적 대비 5% 정도라 하더라도 제1영역(31)이 전체 제2영역(32)에 대하여 아일랜드 형태로 존재하는 것이고, 제1영역(31) 내에 가능한 한 모든 도선 패턴들이 배치되어 있어 태양광의 산란도를 최저화시키므로, 사용자는 투명 디스플레이로서 인식이 가능하게 된다. 그리고, 픽셀 회로부(PC)에 구비되는 박막 트랜지스터를 산화물 반도체와 같이 투명 박막 트랜지스터로 형성하고, 유기 발광 소자도 투명 소자로 형성할 경우에는 더욱 투명 디스플레이로서의 인식이 커질 수 있다.
- [0089] 제1영역(31)과 제2영역(32)의 전체 면적 대비 제2영역(32)의 면적의 비율이 90% 보다 크면 디스플레이부(2)의 화소 집적도가 지나치게 낮아져 제1영역(31)에서의 발광을 통해 안정적인 화상을 구현하기 어렵다. 즉, 제1영역(31)의 면적이 작아질수록, 화상을 구현하기 위해서는 후술하는 유기막(223)에서 발광하는 빛의 휘도가 높아져야 한다. 이와 같이, 유기 발광 소자를 고휘도 상태로 작동시키면 수명이 급격히 저하되는 문제점이 생긴다. 또한, 하나의 제1영역(31)의 크기를 적절한 크기로 유지하면서 제2영역(32)의 면적 비율을 90%보다 크게 하면, 제1영역(31)의 크기가 줄어 해상도가 저하되는 문제점이 생긴다.
- [0090] 상기 제1영역(31)과 제2영역(32)의 전체 면적 대비 제2영역(32)의 면적의 비율은 20% 내지 70%의 범위에 속하도록 하는 것이 바람직하다.
- [0091] 20% 미만에서는 제2영역(32)에 비해 상기 제1영역(31)의 면적이 지나치게 크므로, 사용자가 제2영역(32)을 통해 외부 이미지를 관찰하는 데에 한계가 있다. 70%를 초과할 경우 제1영역(31) 내에 배치할 픽셀 회로부(PC) 설계에 많은 제약이 따르게 된다.
- [0092] 상기 제1영역(31)에는 픽셀 회로부(PC)와 전기적으로 연결된 제1전극(221)이 구비되며, 상기 픽셀 회로부(PC)는 상기 제1전극(221)에 가리워지도록 상기 제1전극(221)과 중첩된다. 그리고, 전술한 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)을 포함하는 도선 라인들 중 적어도 하나가 이 제1전극(221)을 지나가도록 배치될 수 있다.

물론, 이들 도전 라인들은 픽셀 회로부(PC)에 비해 투과율을 저해하는 비율이 적기 때문에 설계 조건에 따라서는 모두 제1전극(221)에 인접하게 배치시킬 수 있다. 상기 제1전극(221)은 후술하는 바와 같이 광 반사가 가능한 도전성 금속으로 이루어진 반사막을 포함하므로 이와 중첩된 픽셀 회로부(PC)를 가려주고, 제1영역(31)에서의 픽셀 회로부(PC)에 의한 외부 이미지 왜곡 등을 차단한다.

- [0093] 도 10은 상기 유기 발광부(21)를 보다 상세히 설명하기 위한 일 실시예를 도시한 평면도로서, 도 9에 나타난 픽셀 회로부(PC)를 구현한 것이다. 그리고 도 11은 도 10의 A-A에 따른 일 예의 단면도이다.
- [0094] 도 10 및 도 11에 따른 본 발명의 바람직한 일 실시예에 따르면, 상기 기관(1)의 제1면(11) 상에 버퍼막(211)이 형성되고, 이 버퍼막(211) 상에 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)가 형성된다.
- [0095] 먼저, 상기 버퍼막(211) 상에는 제1반도체 활성층(212a) 및 제2반도체 활성층(212b)이 형성된다.
- [0096] 상기 제1반도체 활성층(212a) 및 제2반도체 활성층(212b)은 다결정 실리콘으로 형성될 수 있는데, 반드시 이에 한정되는 것은 아니며, 산화물 반도체로 형성될 수 있다. 예를 들면 G-I-Z-O층[(In2O3)<sub>a</sub>(Ga2O3)<sub>b</sub>(ZnO)<sub>c</sub>층](a, b, c는 각각 a≥0, b≥0, c>0의 조건을 만족시키는 실수)일 수 있다.
- [0097] 상기 제1반도체 활성층(212a) 및 제2반도체 활성층(212b)을 덮도록 게이트 절연막(213)이 버퍼막(211) 상에 형성되고, 게이트 절연막(213) 상에 제1게이트 전극(214a) 및 제2게이트 전극(214b)이 형성된다.
- [0098] 제1게이트 전극(214a) 및 제2게이트 전극(214b)을 덮도록 게이트 절연막(213) 상에 층간 절연막(215)이 형성되고, 이 층간 절연막(215) 상에 제1소스 전극(216a)과 제1드레인 전극(217a) 및 제2소스 전극(216b)과 제2드레인 전극(217b)이 형성되어 각각 제1반도체 활성층(212a) 및 제2반도체 활성층(212b)과 콘택 홀을 통해 콘택된다.
- [0099] 상기 스캔 라인(S)은 제1게이트 전극(214a) 및 제2게이트 전극(214b)의 형성과 동시에 형성될 수 있다. 그리고, 데이터 라인(D)은 제1소스 전극(216a)과 동시에 제1소스 전극(216a)과 연결되도록 형성되며, Vdd 라인(V)은 제2소스 전극(216b)과 동시에 제2소스 전극(216b)과 연결되도록 형성될 수 있다.
- [0100] 커패시터(Cst)는 제1게이트 전극(214a) 및 제2게이트 전극(214b)의 형성과 동시에 하부 전극(220a)이, 제1드레인 전극(217a)과 동시에 상부 전극(220b)이 형성된다.
- [0101] 상기와 같은 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)의 구조는 반드시 이에 한정되는 것은 아니며, 다양한 형태의 박막 트랜지스터 및 커패시터의 구조가 적용 가능함은 물론이다. 예컨대, 상기 제1박막 트랜지스터(TR1) 및 제2박막 트랜지스터(TR2)는 탑 게이트 구조로 형성된 것이나, 제1게이트 전극(214a) 및 제2게이트 전극(214b)이 각각 제1반도체 활성층(212a) 및 제2반도체 활성층(212b) 하부에 배치된 바텀 게이트 구조로 형성될 수도 있다. 물론 이 밖에도 적용 가능한 모든 박막 트랜지스터의 구조가 적용될 수 있음은 물론이다.
- [0102] 이러한 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)를 덮도록 패시베이션막(218)이 형성된다. 상기 패시베이션막(218)은 상면이 평탄화된 단일 또는 복수층의 절연막이 될 수 있다. 이 패시베이션막(218)은 무기물 및/또는 유기물로 형성될 수 있다.
- [0103] 상기 패시베이션막(218) 상에는 도 10 및 도 11에서 볼 수 있듯이, 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)를 가리도록 제1전극(221)이 형성되고, 이 제1전극(221)은 패시베이션막(218)에 형성된 비아 홀에 의해 제2박막 트랜지스터(TR2)의 제2드레인 전극(217b)에 연결된다. 상기 각 제1전극(221)은 도 1에서 볼 수 있듯이 각 픽셀마다 서로 독립된 아일랜드 형태로 형성된다.
- [0104] 상기 패시베이션막(218) 상에는 상기 제1전극(221)의 가장자리를 덮도록 화소 정의막(219)이 형성되며, 제1전극(221) 상에는 유기막(223)과 제2전극(222)이 순차로 적층된다. 상기 제2전극(222)은 전체 제1영역(31)들과 제2영역(32)에 걸쳐 형성된다.
- [0105] 상기 제1전극(221)은 애노우드 전극의 기능을 하고, 상기 제2전극(222)은 캐소우드 전극의 기능을 할 수 있는데, 물론, 이들 제1전극(221)과 제2전극(222)의 극성은 서로 반대로 되어도 무방하다.
- [0106] 상기 제1전극(221)은 각 픽셀마다 제1영역(31)에 대응되는 크기로 형성된다. 상기 제2전극(222)은 유기 발광부 전체의 모든 픽셀들을 덮도록 공통 전극으로 형성될 수 있다.
- [0107] 본 발명의 일 실시예에 따르면, 상기 제1전극(221)은 반사전극이 될 수 있고, 상기 제2전극(222)은 투명 전극이

될 수 있다. 따라서, 상기 유기 발광부(21)는 제2전극(222)의 방향으로 화상을 구현하는 전면 발광형(top emission type)이 된다.

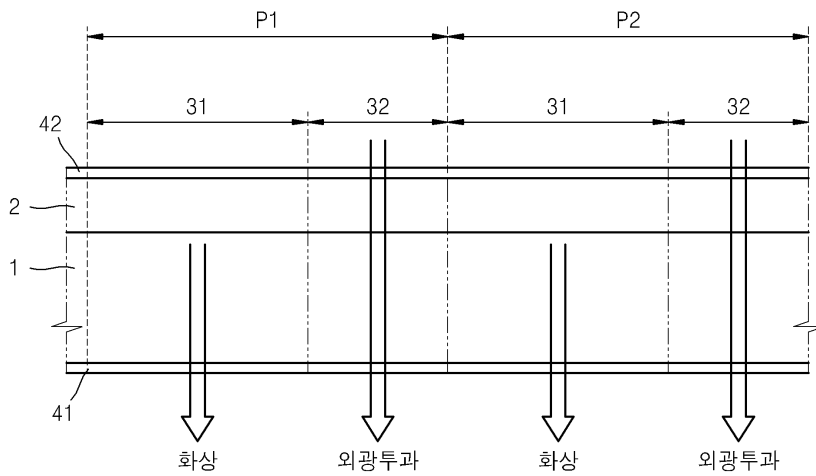
- [0108] 이를 위해, 상기 제1전극(221)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물 등으로 형성된 반사막과, 일함수가 높은 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등으로 구비될 수 있다. 그리고 상기 제2전극(222)은 일함수가 작은 금속 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, 또는 이들의 합금 등으로 형성될 수 있다. 상기 제2전극(222)은 투과율이 높도록 박막으로 형성하는 것이 바람직하다.
- [0109] 이렇게 제1전극(221)이 반사전극으로 구비될 경우, 그 하부에 배치된 픽셀 회로부는 제1전극(221)에 의해 가리워진 상태가 되며, 이에 따라 도 11에서 볼 때, 제2전극(222)의 상부 외측에서 사용자는 제1전극(221) 하부의 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)의 각 패턴과 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)의 일부를 관찰할 수 없게 된다.
- [0110] 이렇게 제1전극(221)이 반사전극으로 구비됨에 따라 발광된 광이 관찰자 쪽, 즉, 상부로만 발산되므로 관찰자의 반대방향으로 소실되는 광량을 줄일 수 있다. 또, 전술한 바와 같이 제1전극(221)이 그 하부의 픽셀 회로의 다양한 패턴을 가리는 역할을 하므로 관찰자가 보다 선명한 투과 이미지를 볼 수 있게 된다.
- [0111] 상기 패시베이션막(218), 게이트 절연막(213), 층간 절연막(215) 및 화소 정의막(219)은 투명한 절연막으로 형성하는 것이 바람직하다.
- [0112] 한편, 제2영역(32)의 제2전극(222)의 부분에 별도의 제1투과 창(224)을 형성할 수 있다. 상기 제1투과 창(224)은 상기 제2전극(222) 중 상기 제2영역(32)에 대응되는 위치의 부분을 제거하여 형성할 수 있다. 이 제1투과 창(224)은 아일랜드 패턴으로 형성될 수 있는 데, 도 10에서 볼 수 있듯이, 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수도 있다.
- [0113] 도 12는 본 발명의 또 다른 일 실시예를 도시한 것으로, 화소 정의막(219)에 제2투과 창(225)을 더 형성한 것이다. 상기 제2투과 창(225)은 상기 화소 정의막(219) 중 상기 제2영역(32)에 대응되는 위치의 부분을 제거하여 형성할 수 있다. 상기 제2투과 창(225)은 제1투과 창(224)과 연결되도록 형성될 수 있다.
- [0114] 상기 제2투과 창(225)은 아일랜드 패턴으로 형성될 수 있는 데, 도 10에서 볼 수 있듯이, 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수도 있다.
- [0115] 도 10에는 제1투과 창(224)만을 도시하였으나, 제2투과 창(225)도 동일한 패턴으로 형성될 수 있음은 물론이다.
- [0116] 상기 제2투과 창(225)은 패시베이션막(218), 층간 절연막(215), 게이트 절연막(213) 및 버퍼막(211) 중 적어도 하나에 더 형성될 수도 있다.
- [0117] 본 발명은 또한 반드시 상기 제1투과 창(224)과 제2투과 창(225)이 함께 존재해야만 하는 것은 아니며, 둘 중 어느 하나만 존재하도록 할 수도 있다. 물론 이 경우에는 외광에 대한 투과율을 높이기 위해 금속으로 형성하는 제2전극(222)에 제1투과 창(224)만을 형성하는 것이 바람직할 것이다.
- [0118] 도 13은 본 발명의 유기 발광부의 바람직한 또 다른 일 실시예를 도시한 것으로, 적색 픽셀(Pr)의 제1전극(221a), 녹색 픽셀(Pg)의 제1전극(221b) 및 청색 픽셀(Pb)의 제1전극(221c)에 대응되게 하나의 제2영역(32)이 형성되도록 한 것이다. 제1데이터 라인(D1) 내지 제3데이터 라인(D3)은 각각 적색 픽셀(Pr)의 제1전극(221a), 녹색 픽셀(Pg)의 제1전극(221b) 및 청색 픽셀(Pb)의 제1전극(221c)에 전기적으로 연결된다. 그리고 제1Vdd라인(V1)은 적색 픽셀(Pr)의 제1전극(221a) 및 녹색 픽셀(Pg)의 제1전극(221b)에 전기적으로 연결되고, 제2Vdd라인(V2)은 청색 픽셀(Pb)의 제1전극(221c)에 전기적으로 연결된다.
- [0119] 이러한 구조의 경우 세 개, 예컨대 적색(R), 녹색(G) 및 청색(B)의 픽셀에 대하여 하나의 큰 제2영역(32)을 구비하고 있으므로, 투과율을 더욱 높일 수 있고, 광산란에 의한 이미지 왜곡 효과도 더욱 줄일 수 있다.
- [0120] 그리고 이 제2영역(32)에 대응되는 위치의 제2전극(222)에 제1투과 창(224)을 형성함으로써 투과도를 더욱 향상시킬 수 있다.
- [0121] 본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

**부호의 설명**

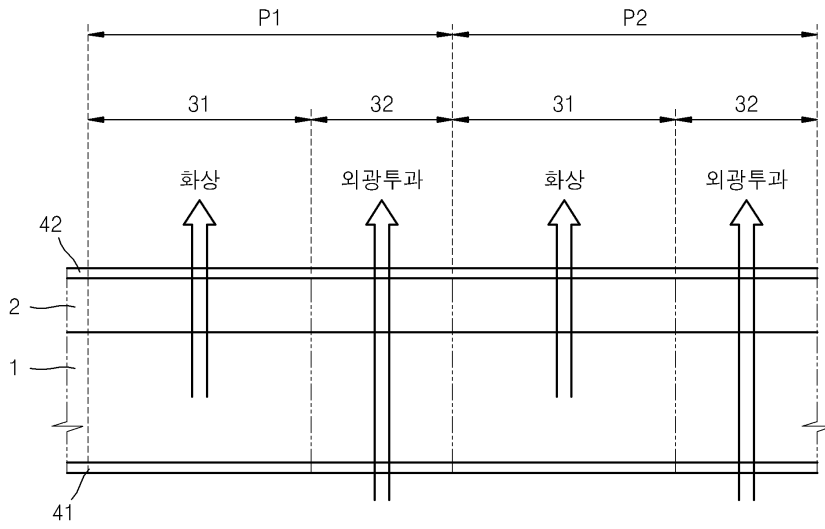
- [0122]
- |              |                     |
|--------------|---------------------|
| 1: 기판        | 2: 디스플레이부           |
| 11: 제1면      | 12: 제2면             |
| 21: 유기 발광부   | 23: 밀봉기관            |
| 24: 밀봉재      | 26: 밀봉 필름           |
| 31: 제1영역     | 32: 제2영역            |
| 41: 제1반사 방지막 | 42: 제2반사 방지막        |
| 211: 버퍼막     | 221: 제1전극           |
| 222: 제2전극    | 223: 유기막            |
| 224: 제1투과 창  | 225: 제2투과 창         |
| 311: 회로 영역   | 312: 발광 영역          |
| V: Vdd 라인    | TR1,2: 제1,2박막 트랜지스터 |
| PC: 픽셀 회로부   | S: 스캔 라인            |
| Cst: 커패시터    | D: 데이터 라인           |

도면

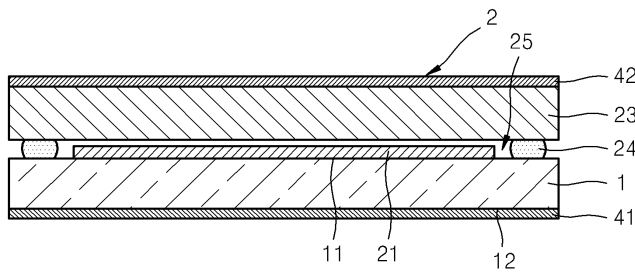
도면1



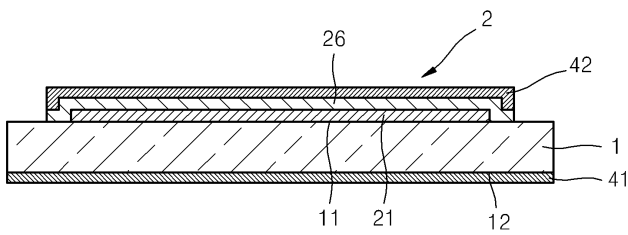
도면2



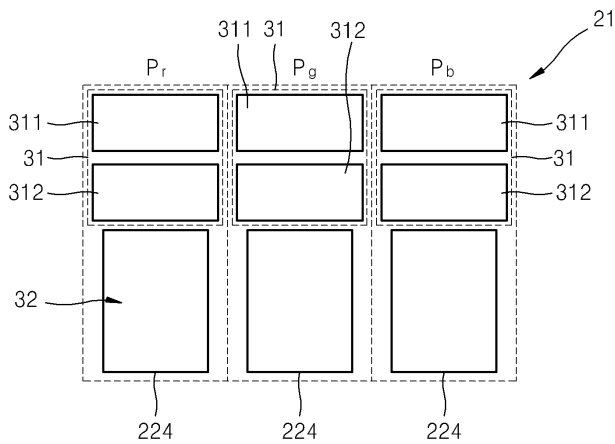
도면3



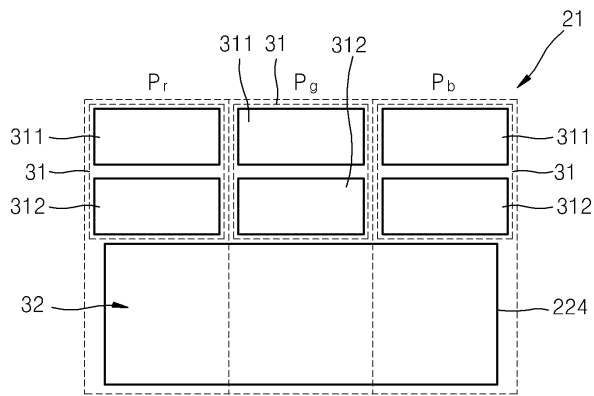
도면4



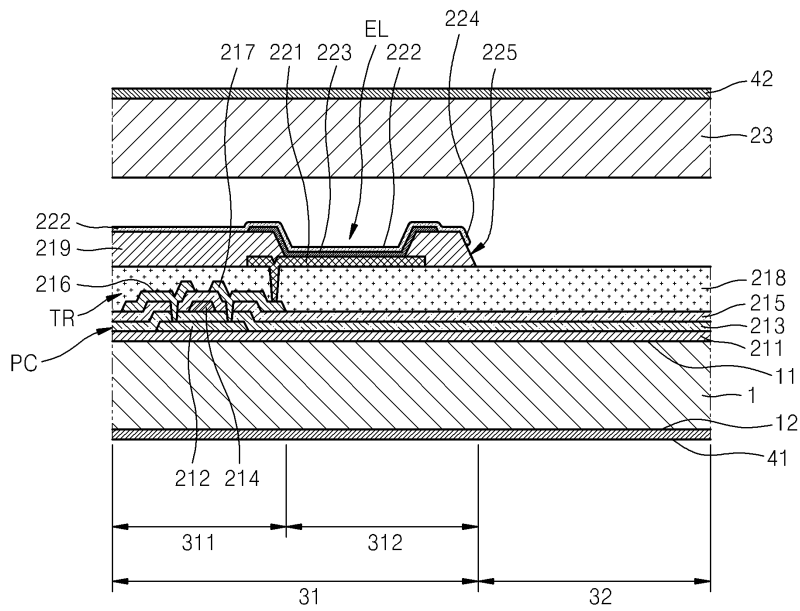
도면5



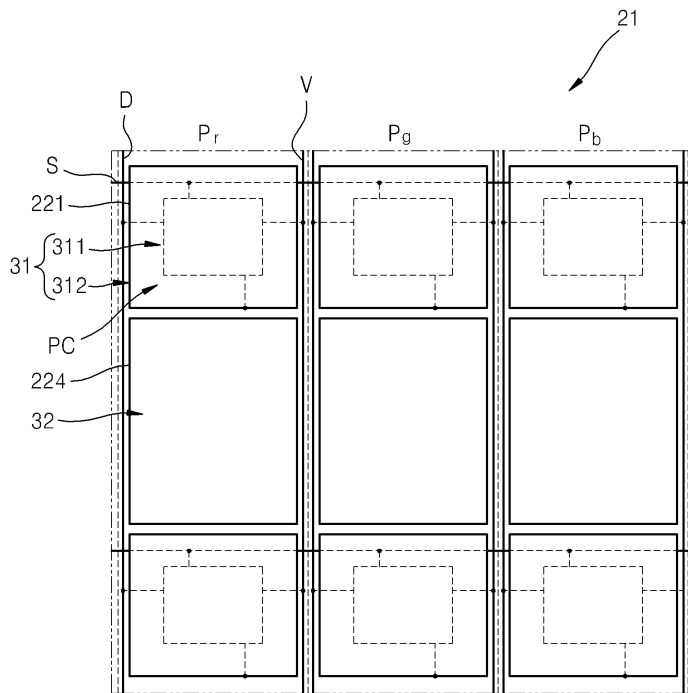
도면6



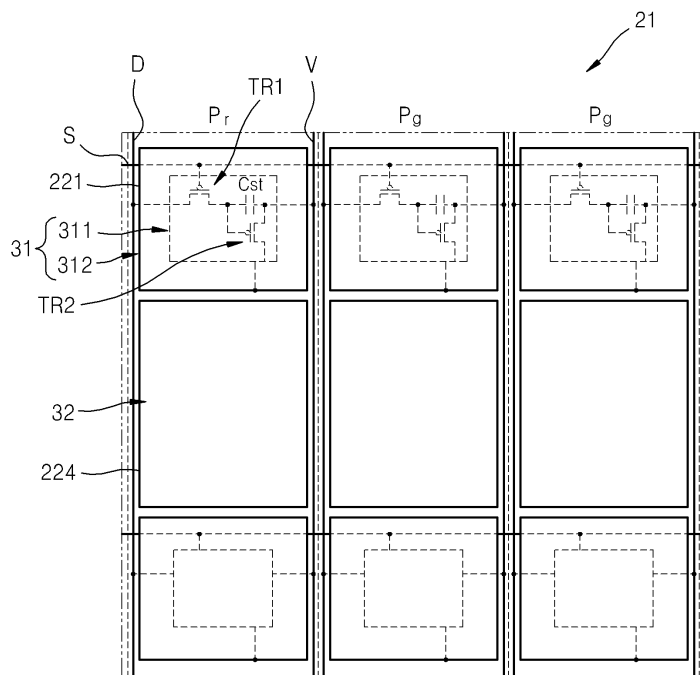
도면7



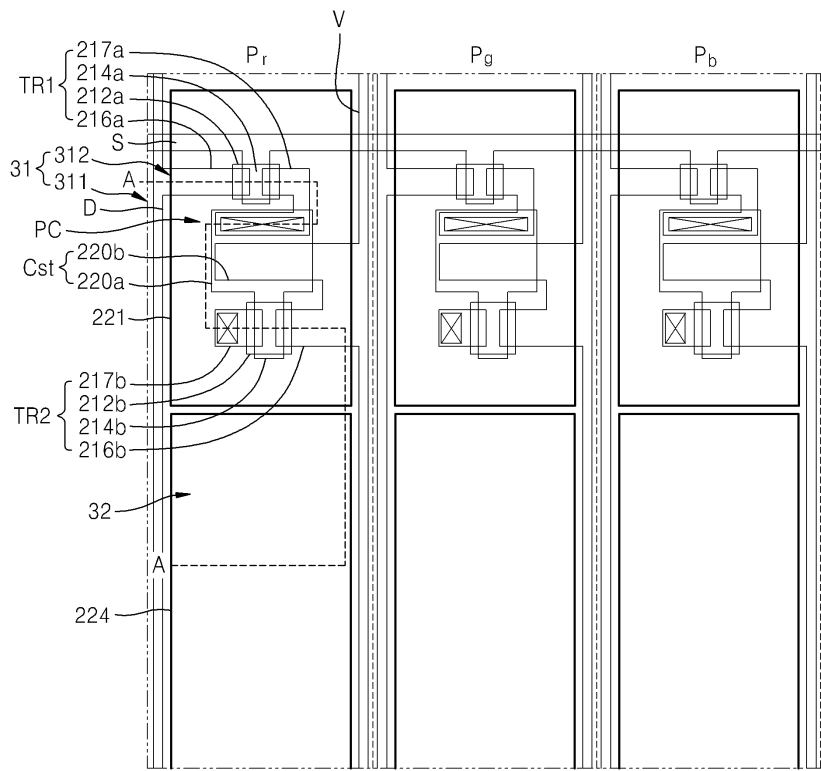
도면8



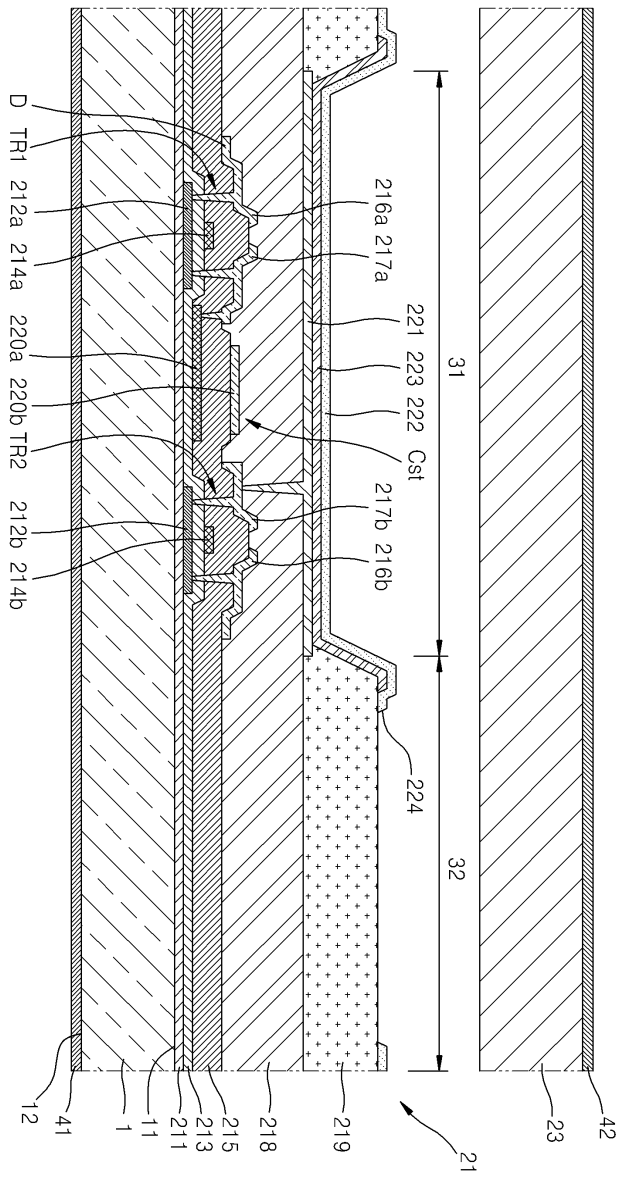
도면9



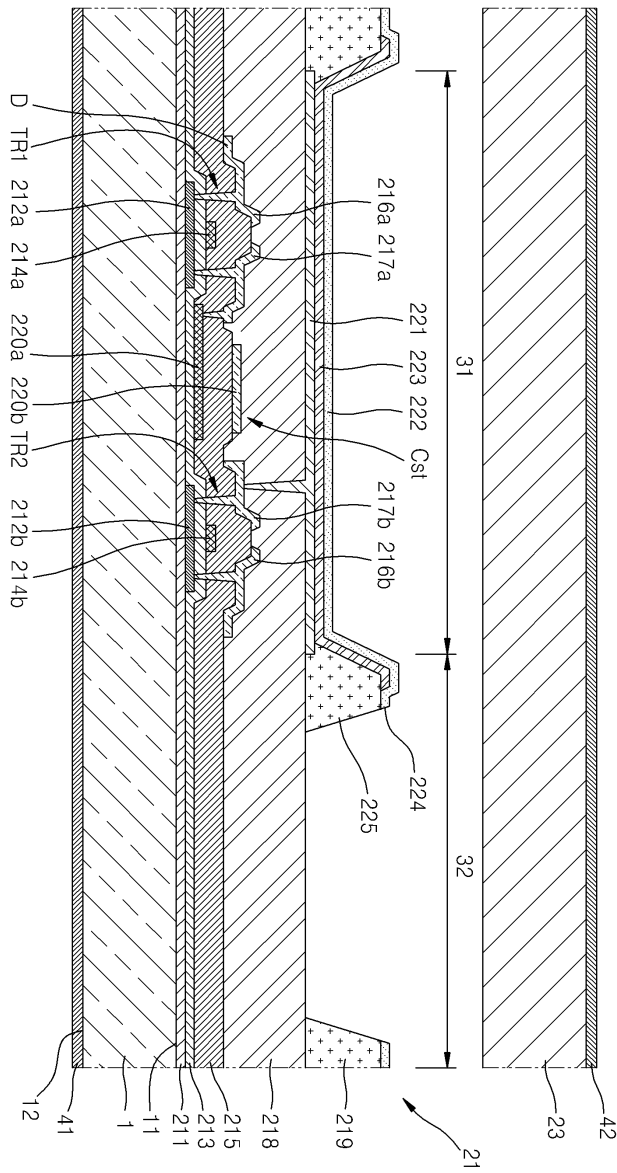
도면10



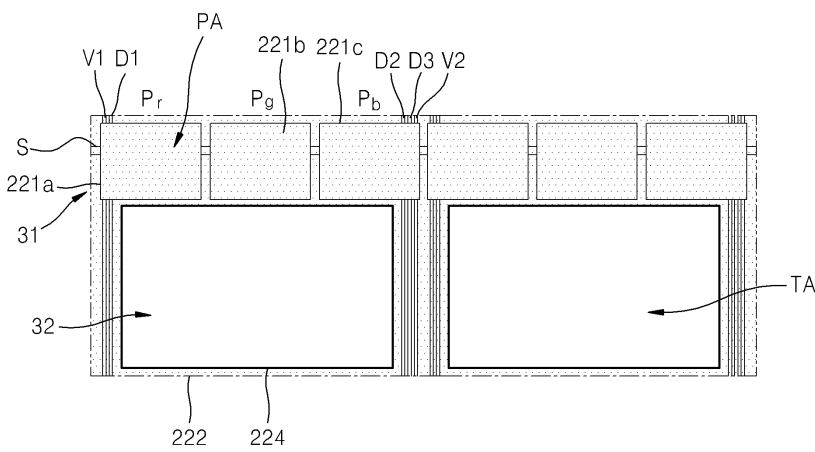
도면11



도면12



도면13



【심사관 직권보정사항】

**【직권보정 1】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항11의 7번째 행

**【변경전】**

상기 제1전극에 대향되고 상기 모든 픽셀들에 걸쳐

**【변경후】**

상기 제1전극에 대향되고 모든 픽셀들에 걸쳐

**【직권보정 2】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항17의 7번째 행

**【변경전】**

상기 제1전극에 대향되고 상기 모든 픽셀들에 걸쳐

**【변경후】**

상기 제1전극에 대향되고 모든 픽셀들에 걸쳐

**【직권보정 3】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항14의 7번째 행

**【변경전】**

상기 제1전극에 대향되고 상기 모든 픽셀들에 걸쳐

**【변경후】**

상기 제1전극에 대향되고 모든 픽셀들에 걸쳐

专利名称(译)	相关技术的描述		
公开(公告)号	<a href="#">KR101714539B1</a>	公开(公告)日	2017-03-23
申请号	KR1020100082099	申请日	2010-08-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI JUN HO 최준호 CHUNG JIN KOO 정진구 PARK CHAN YOUNG 박찬영 KIM SEONG MIN 김성민 SONG YOUNG WOO 송영우 KIM SUNG CHUL 김성철 HA JAE HEUNG 하재흥 HWANG KYU HWAN 황규환 YOON SEOK GYU 윤석규 LEE JONG HYUK 이종혁		
发明人	최준호 정진구 박찬영 김성민 송영우 김성철 하재흥 황규환 윤석규 이종혁		
IPC分类号	H01L51/52 G02B1/11		
CPC分类号	H01L27/3241 H01L27/326 H01L51/5275		
其他公开文献	KR1020120019025A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

形成在基板的第一表面上的多个像素，每个像素具有发光的第一区域和透射外部光的第二区域；多个像素电路部分设置在每个像素的第一区域中并且每个像素电路部分包括至少一个薄膜晶体管；绝缘膜覆盖像素电路部分；多个第一电极电连接到各个像素电路部分；第二电极形成在像素的第一和第二区域上，以与第一电极相对并连接到所有像素；夹在第一电极和第二电极之间的有机膜，面向基板的

第一表面的密封构件，以及设置在基板的第二表面的至少一个表面和密封构件的外表面上的密封构件它涉及包括防反射膜摸索的OLED显示装置。

