(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월15일
(11) 등록번호 10-1450892
(24) 등록일자 2014년10월07일

(51) 국제특허분류(Int. Cl.)
H05B 33/26 (2006.01) *H01L 51/50* (2006.01)
(21) 출원번호 10-2008-0019789
(22) 출원일자 2008년03월03일
심사청구일자 2013년02월28일
(65) 공개번호 10-2009-0094692
(43) 공개일자 2009년09월08일
(56) 선행기술조사문헌
JP2002033198 A*
KR1020010078298 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최희동
충남 서산시 음암면 탑곡리 3구 178번지
(74) 대리인
특허법인로얄

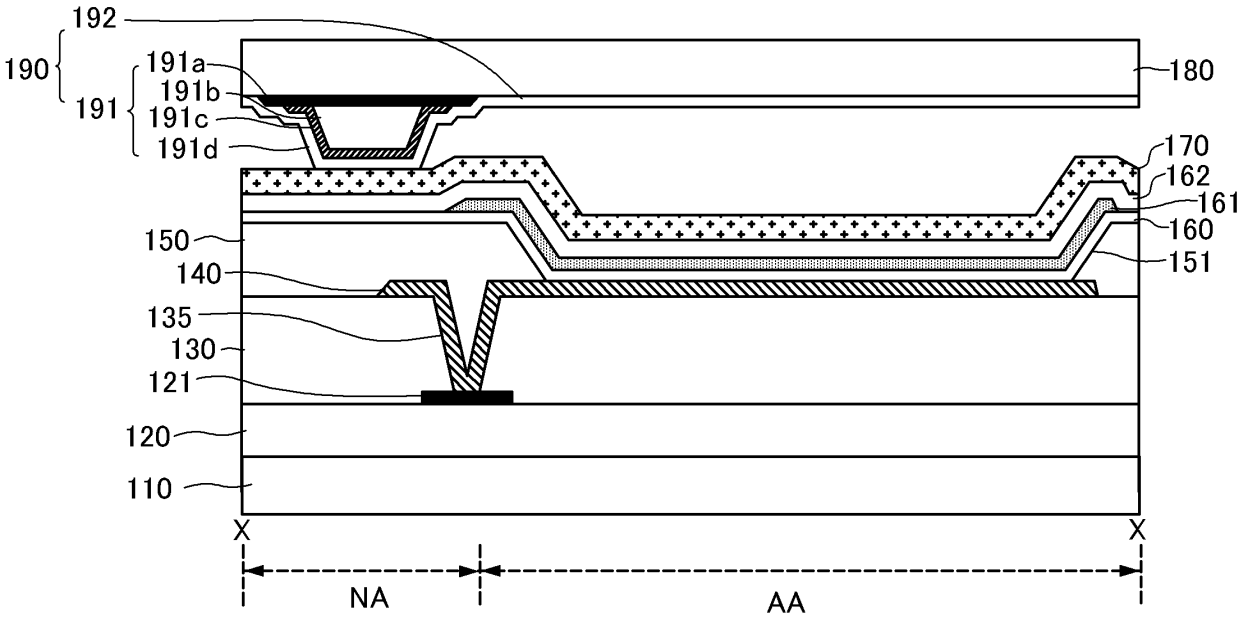
전체 청구항 수 : 총 8 항 심사관 : 임민섭

(54) 발명의 명칭 **유기전계발광표시장치**

(57) 요 약

본 발명은, 제1기판; 제1기판 상에 위치하는 제1전극, 발광층 및 제2전극을 포함하며 매트릭스 형태로 배치된 서브 픽셀; 제1기판과 이격되어 합착된 제2기판; 및 제2기판 상에 위치하며 제2전극에 일부가 접촉된 돌출된 보조 전극을 포함하는 유기전계발광표시장치를 제공한다.

대 표 도 - 도1b



특허청구의 범위

청구항 1

제1기판;

상기 제1기판 상에 위치하는 제1전극, 발광층 및 제2전극을 포함하며 매트릭스 형태로 배치된 서브 픽셀;

상기 제1기판과 이격되어 합착된 제2기판; 및

상기 제2기판 상에 위치하며 상기 제2전극에 일부가 접촉되도록 돌출된 보조전극을 포함하고,

상기 보조전극은,

상기 제2기판의 상에 위치하는 금속전극과 상기 금속전극 상에 위치하는 스페이서와 상기 스페이서 상에 위치하는 절연막과 상기 절연막 상에 위치하는 공통전극을 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 보조전극은,

상기 서브 픽셀 간의 사이 영역에 위치하도록

상기 제2기판 상에 하나 이상 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 보조전극은,

상기 서브 픽셀 간의 사이 영역에 위치하도록

상기 제2기판 상에 일 방향으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 보조전극은,

상기 서브 픽셀 간의 사이 영역에 위치하도록

상기 제2기판 상에 그물 형태로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 보조전극은,

상기 공통전극으로부터 연장되며 상기 제2기판 상에 위치하는 연장전극을 포함하는 유기전계발광표시장치.

청구항 7

제6항에 있어서,

상기 연장전극의 두께는,

상기 스페이서의 두께보다 얇은 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제6항에 있어서,

상기 연장전극은,

투명전극이고 상기 제2기판의 영역에 따라 다른 두께를 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제6항에 있어서,

상기 제2기판은 상기 제1기판과 합착되는 합착영역을 포함하며,

상기 연장전극은 상기 합착영역 내의 모든 영역에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

삭제

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

배 경 기 술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 기판 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.

[0003] 또한, 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

[0004] 종래 유기전계발광표시장치는 트랜지스터 어레이와 트랜지스터 어레이의 소오스 또는 드레인에 연결된 제1전극과 제1전극 상에 형성된 유기 발광층과 유기 발광층 상에 형성된 제2전극을 포함할 수 있다.

[0005] 이러한 구조를 갖는 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원전압 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0006] 한편, 종래 유기전계발광표시장치는 공통전압이 공급되는 전극재료의 저항 특성으로 인해 패널의 위치에 따라 저항차가 발생하는 문제가 있었는데, 이러한 저항차는 각 서브 픽셀에 공급되는 공통전압을 드랍(drop)시켜 표시품질이 저하되는 문제를 야기시켰다. 이와 같은 문제는 패널의 대면적 구현에 많은 어려움을 주므로 이를 해결할 수 있는 방법 마련이 시급하다.

발명의 내용

해결 하고자하는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 전극에 공급되는 공통전압의 드랍을 방지하고 패널에 휘도차가 발생하는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제 해결수단

[0008] 상술한 과제 해결 수단으로 본 발명은, 제1기판; 제1기판 상에 위치하는 제1전극, 발광층 및 제2전극을 포함하며 매트릭스 형태로 배치된 서브 픽셀; 제1기판과 이격되어 합착된 제2기판; 및 제2기판 상에 위치하며 제2전극에 일부가 접촉되도록 돌출된 보조전극을 포함하는 유기전계발광표시장치를 제공한다.

[0009] 보조전극은, 서브 픽셀 간의 사이 영역에 위치하도록 제2기판 상에 하나 이상 형성될 수 있다.

[0010] 보조전극은, 서브 픽셀 간의 사이 영역에 위치하도록 제2기판 상에 일 방향으로 형성될 수 있다.

[0011] 보조전극은, 서브 픽셀 간의 사이 영역에 위치하도록 제2기판 상에 그물 형태로 형성될 수 있다.

[0012] 보조전극은, 제2기판 상에 위치하는 금속전극과 금속전극 상에 위치하는 스페이서와 스페이서 상에 위치하는 절연막과 절연막 상에 위치하는 공통전극을 포함할 수 있다.

[0013] 보조전극은, 공통전극으로부터 연장되며 제2기판 상에 위치하는 연장전극을 포함할 수 있다.

[0014] 연장전극의 두께는, 스페이서의 두께보다 얇을 수 있다.

[0015] 연장전극은, 투명전극이고 제2기판의 영역에 따라 다른 두께를 가질 수 있다.

[0016] 제2기판은 제1기판과 합착되는 합착영역을 포함하며, 연장전극은 합착영역의 내측의 모든 영역에 위치할 수 있다.

[0017] 서브 픽셀은, 제1기판 상에 위치하며 제1전극에 연결된 트랜지스터 어레이를 포함할 수 있다.

효 과

[0018] 본 발명은, 전극과 접촉하는 보조전극을 제2기판에 형성하고 제1기판과 제2기판을 합착함으로써 전극에 공급되는 공통전압의 드랍을 방지하고 패널에 휘도차가 발생하는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 대면적 패널 구현에 적합한 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020] <제1실시예>

[0021] 도 1a는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 평면도이고, 도 1b는 도 1a의 X-X영역의 단면도이며, 도 1c는 도 1a의 도시된 제2기판의 평면도이고, 도 1d는 도 1a의 X-X영역의 다른 단면도이다.

[0022] 도 1a를 참조하면, 유기전계발광표시장치는 제1기판(110) 상에 위치하는 다수의 서브 픽셀(P)을 포함할 수 있다. 제1기판(110) 상에 위치하는 다수의 서브 픽셀(P)은 구동부(115)에 의해 구동되어 영상을 표현할 수 있다. 제1기판(110) 상에 위치하는 다수의 서브 픽셀(P)은 수분이나 산소에 취약하므로 접착영역(SL)에 실란트 등과 같은 접착재료를 형성하고 제1기판(110)과 제2기판(180)을 합착할 수 있다.

[0023] 제1기판(110)과 제2기판(180)은 금속 등과 같은 불투명한 재료나 유리 등과 같은 투명한 재료로 각각 선택될 수 있으나 이에 한정되지 않는다. 여기서, 도시된 제1기판(110) 및 제2기판(180)은 유리와 같은 투명한 재료를 선택한 것을 일례로 나타낸 것이다.

[0024] 구동부(115)는 외부 장치로부터 구동에 필요한 신호 및 전원 등을 공급받을 수 있다. 구동부(115)는 다수의 서브 픽셀(P)에 스캔신호와 데이터신호를 공급하는 스캔 구동부와 데이터 구동부를 포함할 수 있으며, 이들은 각각 구분되어 위치할 수도 있다. 여기서, 도시된 구동부(115)는 스캔 구동부와 데이터 구동부가 하나로 형성된 것을 일례로 나타낸 것이다.

[0025] 이하, 도 1b를 참조하여 제1기판(110) 상에 위치하는 다수의 서브 픽셀(P)에 대해 더욱 자세히 설명한다.

[0026] 제1기판(110) 상에는 트랜지스터 어레이(120)가 위치할 수 있다. 트랜지스터 어레이(120)는 반도체층, 층간 절연막, 게이트, 게이트 절연막, 소오스 및 드레인을 포함할 수 있다. 트랜지스터 어레이(120)를 더욱 자세히 설명하면 다음과 같다.

[0027] 반도체층은 제1기판(110) 상에 위치할 수 있다. 반도체층은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 또한, 반도체층은 p형 또는 n형의 불순물을 포함하는 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역 이외의 채널 영역을 포함할 수 있다.

[0028] 반도체층 상에는 층간 절연막이 위치할 수 있다. 층간 절연막은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.

[0029] 반도체층과 대응하는 층간 절연막 상에는 게이트가 위치할 수 있다. 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수도 있으나 이에 한정되지 않는다. 또한, 게이트는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수도 있으나 이에 한정되지 않는다.

[0030] 한편, 게이트와 동일한 층상에는 스캔신호가 공급되는 스캔배선과 데이터전압이 저장되는 커패시터의 하부 전극이 위치할 수 있으나 이에 한정되지 않는다. 스캔배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 스캔배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수도 있으나 이에 한정되지 않는다. 또한, 스캔배선은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수도 있으나 이에 한정되지 않는다.

[0031] 게이트 절연막은 게이트를 포함하는 제1기판(110) 상에 위치할 수 있다. 게이트 절연막은 반도체층의 일부를 노출할 수 있는 비어홀을 가질 수 있다. 게이트 절연막은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 한편, 게이트와 동일한 층에 스캔배선, 커패시터의 하부 전극이 위치하는 경우, 게이트 절연막은 게이트와 스캔배선, 커패시터의 하부 전극을 포함하는 제1기판(110) 상에 위치할 수 있다.

[0032] 소오스 및 드레인은 게이트 절연막 상에 위치할 수 있다. 소오스 및 드레인은 게이트 절연막에 형성된 비어홀을 통해 반도체층의 소오스 영역과 드레인 영역에 각각 접촉된다. 도 1b에 도시된 전극 "121"은 소오스 또는 드레인을 나타낸다.

[0033] 소오스 또는 드레인(121)은 단일층 또는 다중층으로 이루어질 수 있다. 소오스 또는 드레인(121)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 소오스 또는 드레인(121)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있으나 이에 한정되지 않는다. 한편, 소오스 또는 드레인(121)과 동일한 층상에는 데이터신호가 공급되는 데이터배선과 커패시터의 상부 전극 및 전원배선이 위치할 수 있으나 이에 한정되지 않는다.

[0034] 앞서 설명한 트랜지스터 어레이(120)의 소오스 또는 드레인(121) 상에는 상부 상부 절연막(130)이 위치할 수 있다. 상부 절연막(130)은 트랜지스터 어레이(120)의 소오스 또는 드레인(121)을 노출하는 다수의 콘택홀(135)을 가질 수 있다. 상부 절연막(130)은 하부 구조의 단차를 완화하기 위한 평탄화막 또는 보호막일 수 있다. 상부 절연막(130)이 평탄화막인 경우, 이는 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 또는 실리콘 산화물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 무기물로 형성될 수 있으나 이에 한정되지 않는다. 반면, 상부 절연막(130)이 보호막인 경우, 이는 실리콘 질화막(SiNx), 실리콘 산화막(SiOx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.

[0035] 상부 절연막(130) 상에는 다수의 콘택홀(135)을 통해 트랜지스터 어레이(120)의 소오스 또는 드레인(121)에 각각 연결된 다수의 제1전극(140)이 위치할 수 있다. 제1전극(140)은 애노드 또는 캐소드일 수 있으며 투명한 전극 또는 반사 전극일 수도 있다. 제1전극(140)의 재료는 발광 방향에 따라 선택될 수 있다. 일례로, 발광 방향이 배면 또는 양면발광인 경우, 제1전극(140)은 투명한 전극일 수 있으며, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 중 어느 하나일 수 있으나 이에 한정되지 않는다.

[0036] 제1전극(140) 및 상부 절연막(130) 상에는 뱅크층(150)이 위치할 수 있다. 뱅크층(150)은 다수의 제1전극(140)을 노출하는 개구부(151)를 가질 수 있다. 여기서, 개구부(151)는 발광영역(AA) 상에 위치할 수 있으며, 개구부(151)를 제외한 나머지 영역은 비발광영역(NA)일 수 있다.

[0037] 뱅크층(150)에 형성된 개구부(151)를 통해 노출된 다수의 제1전극(140) 상에는 발광층(160, 161, 162)이 위치할

수 있다. 발광층(160, 161, 162)은 다수의 제1전극(140) 상에 위치하는 하부 공통층(160)과 하부 공통층(160) 상에 위치하는 유기 발광층(161)과 유기 발광층(161) 상에 위치하는 상부 공통층(162)을 포함할 수 있다.

[0038] 발광층(160, 161, 162)을 포함하는 뱅크층(150) 상에는 제2전극(170)이 위치할 수 있다. 제2전극(170)은 캐소드 또는 애노드일 수 있다. 일례로, 제2전극(170)이 캐소드인 경우, 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다.

[0039] 이하, 도 1b 및 도 1c를 함께 참조하여 제2기판(180) 상에 위치하는 보조전극에 대해 더욱 자세히 설명한다. 도 1c의 제2기판(180) 상에 표시된 "PA" 영역은 제1기판(110) 상에 형성된 다수의 서브 픽셀(P)과 대응하는 영역을 나타낸다.

[0040] 제2기판(180) 상에 위치하는 보조전극(190)은 제1기판(110) 상에 형성된 다수의 서브 픽셀(P) 사이에 위치하는 제2전극(170)에 일부가 접촉되도록 돌출된다. 보조전극(190)과 제2전극(170)이 접촉하는 지점을 영역으로 설정하여 설명하면, 보조전극(190)은 제1기판(110) 상에 위치하는 개구부(151)가 형성된 영역 즉, 발광영역(AA)을 제외한 비발광영역(NA) 상에 위치하는 제2전극(170)과 접촉되도록 제2기판(180) 상에 하나 이상 형성될 수 있다.

[0041] 보조전극(190)에 대해 더욱 자세히 설명하면 다음과 같다.

[0042] 보조전극(190)은 제2기판(180) 상에 위치하는 금속전극(191a)과 금속전극(191a) 상에 위치하는 스페이서(191b)와 스페이서(191b) 상에 위치하는 절연막(191c)과 절연막(191c) 상에 위치하는 공통전극(191d)을 포함할 수 있다.

[0043] 여기서, 금속전극(191a)의 경우, 전도성이 비교적 우수한 알루미늄, 몰리브데늄, 티타늄 등과 같이 반사도가 낮은 금속을 사용할 수 있으나 이에 한정되지 않는다. 그리고 스페이서(191b)의 경우, 무기물 또는 유기물을 패턴하여 형성할 수 있으나 이에 한정되지 않는다. 그리고 절연막(191c)의 경우, 무기물 또는 유기물을 패턴하여 형성할 수 있으나 이에 한정되지 않으며 필요에 따라서는 생략할 수도 있다. 여기서, 절연막(191c)은 스페이서(191b)에서 발생할 수 있는 아웃 게싱(out gassing)의 양을 최소화하기 위한 효과도 있다. 그리고 공통전극(191d)의 경우, 투명한 저저항 재료 또는 알루미늄이나 몰리브데늄 등을 사용할 수 있는데, 이는 제1기판(110) 상에 위치하는 제2전극(170)의 재료에 따라 달라질 수 있다.

[0044] 보조전극(190)은 공통전극(191d)으로부터 연장되며 제2기판(180) 상에 위치하는 연장전극(192)을 포함할 수 있다. 연장전극(192)의 두께는 스페이서(191b)의 두께보다 얇을 수 있다. 여기서, 연장전극(192)의 두께를 다수의 서브 픽셀(P)이 위치하는 영역별로 달리하면 미소 공동층(micro cavity) 구현도 가능하다.

[0045] 여기서, 도 1c에 도시된 보조전극(190)은 연장전극(192)과 보조전극(190)에 포함된 금속전극(191a), 스페이서(191b), 절연막(191c) 및 공통전극(191d)과의 구분을 용이하게 하기 위하여 금속전극(191a), 스페이서(191b), 절연막(191c) 및 공통전극(191d)을 포함하는 돌출부(191)로 통칭하여 표기한다.

[0046] 한편, 공통전극(191d) 및 연장전극(192)의 재료는 제2전극(170)의 재료에 따라 달라질 수 있다. 만약, 제2전극(170)의 재료가 알루미늄이고 제1기판(110) 방향으로 영상을 표시한다면, 공통전극(191d) 및 연장전극(192)의 재료는 제2전극(170)과 동일한 알루미늄 또는 이와 유사한 금속을 채택할 수 있다. 또한, 제2전극(170)의 재료가 ITO이고 제2기판(110) 방향으로 영상을 표시한다면, 공통전극(191d) 및 연장전극(192)의 재료는 제2전극(170)과 동일한 ITO를 채택할 수 있다. 그러나 본 발명은 이에 한정되지 않고 공통전극(191d) 및 연장전극(192)의 위치에 따라 다양한 재료를 선택할 수 있다.

[0047] 여기서, 유기전계발광표시장치에 포함된 다수의 서브 픽셀(P)에 포함된 제1전극(140)의 재료가 알루미늄과 같은 불투명 금속이고, 제2전극(170)의 재료가 투명한 ITO와 같은 저저항 산화물이고 제2기판(180)의 방향으로 영상을 표시하는 상부 발광형이라고 가정하면 보조전극을 다음과 같이 구성할 수 있다.

[0048] 제2기판(180)에 위치하는 공통전극(191d)의 재료를 제2전극(170)의 재료와 동일한 ITO로 채택하고 연장전극(192)을 제1기판(110)과 합착되는 합착영역(SL)의 내측 전체에 형성한다. 이 경우, 연장전극(192)이 제2기판(180)에 넓은 영역을 차지하고 형성되어 있기 때문에 제2전극(170)으로 공급되는 공통전압이 드랍됨으로써 표시 품질이 저하하는 문제를 해결할 수 있을 것이다.

[0049] 그러나 본 발명은, 제2전극(170)이 알루미늄 등과 같은 재료로 얇게 형성된 상부 발광형 유기전계발광표시장치

에 특히 효과적이다. 이는 얇게 형성된 제2전극(170)에 의해 비저항이 낮아져 제2전극(170)을 통해 공급되는 공통전압이 드랍되는 문제를 보조전극(190)이 보완해 줄 수 있기 때문이다.

[0050] 이와 같은 형태로 구성되는 경우, 제2전극(170)의 재료가 ITO 등과 같이 투명한 전극을 사용하는 상부 발광형 유기전계발광표시장치에 유리하다. 반면, 제2전극(170)의 재료가 알루미늄 등과 같이 불투명한 전극을 사용하는 하부 발광형 유기전계발광표시장치의 경우, 제2기판(180) 상에 보조전극(190)을 형성할 때 제약사항이 상대적으로 적으므로 보조전극(190) 구성이 자유로운 이점이 있다.

[0051] 한편, 도 1d를 참조하면, 제1기판(110)과 제2기판(180) 합착시, 제1기판(110)에 위치하는 제2전극(170)과 제2기판(180)에 위치하는 보조전극(190)의 돌출부(191) 사이, 다르게 설명하면, 공통전극(191d)과 제2전극(170) 사이에 전도성 접착제(195)를 형성하여 단락이 발생하는 문제를 해결할 수도 있다.

[0052] 이상 본 발명의 제1실시예에 따른 유기전계발광표시장치는 제2기판(180) 상에 보조전극(190)을 설치하고 보조전극(190)과 다수의 서브 픽셀(P)에 포함된 제2전극(170)을 접촉시켜 제1기판(110) 상에 위치하는 다수의 서브 픽셀(P)의 제2전극(170)에 공급되는 공통전압(예: VDD 또는 GND)이 드랍되는 문제를 해결할 수 있는 효과가 있다. 이로 인해 유기전계발광표시장치는 표시품질이 균일한 효과와 대면적 유기전계발광표시장치를 구현할 수 있는 구조를 제공하는 효과가 있다.

[0053] <제2실시예>

[0054] 도 2는 본 발명의 제2실시예에 따른 유기전계발광표시장치의 개략적인 평면도이다. 도 2의 제2기판(280) 상에 표시된 "PA" 영역은 제1기판 상에 형성된 다수의 서브 픽셀과 대응하는 영역을 나타낸다.

[0055] 본 발명의 제2실시예는 앞서 설명한 제1실시예와 구성이 유사하다. 다만, 보조전극의 구조가 제1실시예와 다르므로 설명의 중복을 피하기 위해 제2기판과 보조전극에 대해서만 설명한다.

[0056] 제2실시예에 따른 유기전계발광표시장치의 보조전극(290)은 서브 픽셀 간의 사이 영역에 위치하도록 제2기판(280) 상에 일 방향으로 형성될 수 있다. 이를 다른 말로 설명하면, 스캔신호가 공급되는 스캔 라인들의 사이 영역 또는 제2기판(280) 상에서 다수의 서브 픽셀과 대응하는 영역(PA) 간의 사이에 일 방향으로 형성될 수 있다.

[0057] 여기서, 보조전극(290)은 제1실시예와 마찬가지로 제1기판 상에 형성된 다수의 서브 픽셀 사이에 위치하는 제2전극에 일부가 접촉되도록 돌출된다. 따라서, 보조전극(290)에 대해 개략적으로 설명하면 다음과 같다.

[0058] 보조전극(290)은 제2기판(280) 상에 위치하는 금속전극과 금속전극 상에 위치하는 스페이서와 스페이서 상에 위치하는 절연막과 절연막 상에 위치하는 공통전극을 포함할 수 있다. 그리고 보조전극(290)은 공통전극으로부터 연장되며 제2기판(280) 상에 위치하는 연장전극(292)을 포함할 수 있다. 연장전극(292)의 두께는 스페이서의 두께보다 얇을 수 있다. 연장전극(292)은 제1기판과 합착되는 합착영역(SL)의 내측 전체에 형성될 수 있다.

[0059] 여기서, 도 2에 도시된 보조전극(290)은 연장전극(292)과 보조전극(290)에 포함된 금속전극, 스페이서, 절연막 및 공통전극과의 구분을 용이하게 하기 위하여 금속전극, 스페이서, 절연막 및 공통전극을 포함하는 돌출부(291)로 통칭하여 표기한다.

[0060] 제2실시예의 경우, 제1실시예와 달리 돌출부(291)에 포함된 금속전극의 길이가 연장되므로 보조전극(290)을 통해 공급되는 공통전압이 드랍되는 문제를 더 감소시킬 수 있는 효과가 있다.

[0061] 또한, 제2실시예도 연장전극(292)이 제2기판(280)의 넓은 영역을 차지하고 형성되어 있기 때문에 제2전극(270)으로 공급되는 공통전압이 드랍됨으로써 표시품질이 저하하는 문제를 해결할 수 있는데 효과를 더할 수 있다. 그러나, 연장전극(292)은 필요에 따라서는 생략할 수도 있다.

[0062] 또한, 제2실시예도 제1기판과 제2기판 합착시, 제1기판에 위치하는 제2전극과 제2기판(280)에 위치하는 보조전극(290)의 돌출부(291) 사이, 다르게 설명하면, 공통전극과 제2전극 사이에 전도성 접착제를 형성하여 단락이 발생하는 문제를 해결할 수도 있다.

[0063] <제3실시예>

[0064] 도 3은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 개략적인 평면도이다. 도 3의 제2기판(380) 상에 표시된 "PA" 영역은 제1기판 상에 형성된 다수의 서브 픽셀과 대응하는 영역을 나타낸다.

[0065] 본 발명의 제3실시예는 앞서 설명한 제1실시예와 구성이 유사하다. 다만, 보조전극의 구조가 제1실시예와 다르므로 설명의 중복을 피하기 위해 제2기판과 보조전극에 대해서만 설명한다.

[0066] 제3실시예에 따른 유기전계발광표시장치의 보조전극(390)은 서브 픽셀 간의 사이 영역에 위치하도록 제2기판(380) 상에 그물 형태로 형성될 수 있다. 이를 다른 말로 설명하면, 스캔신호가 공급되는 스캔 라인들의 사이 영역 또는 제2기판(380) 상에서 다수의 서브 픽셀과 대응하는 영역(PA) 간의 사이에 그물 형태로 형성될 수 있다라고 설명할 수 있다.

[0067] 여기서, 보조전극(390)은 제1실시예와 마찬가지로 제1기판 상에 형성된 다수의 서브 픽셀 사이에 위치하는 제2전극에 일부가 접촉되도록 돌출된다. 따라서, 보조전극(390)에 대해 개략적으로 설명하면 다음과 같다.

[0068] 보조전극(390)은 제2기판(380) 상에 위치하는 금속전극과 금속전극 상에 위치하는 스페이서와 스페이서 상에 위치하는 절연막과 절연막 상에 위치하는 공통전극을 포함할 수 있다. 그리고 보조전극(390)은 공통전극으로부터 연장되며 제2기판(380) 상에 위치하는 연장전극(392)을 포함할 수 있다. 연장전극(392)의 두께는 스페이서의 두께보다 얇을 수 있다. 연장전극(392)은 제1기판과 합착되는 합착영역(SL)의 내측 전체에 형성될 수 있다.

[0069] 여기서, 도 3에 도시된 보조전극(390)은 연장전극(392)과 보조전극(390)에 포함된 금속전극, 스페이서, 절연막 및 공통전극과의 구분을 용이하게 하기 위하여 금속전극, 스페이서, 절연막 및 공통전극을 포함하는 돌출부(391)로 통칭하여 표기한다.

[0070] 제3실시예의 경우, 제1실시예와 달리 돌출부(391)에 포함된 금속전극의 길이가 제2기판(380)의 전 영역으로 연장되므로 보조전극(390)을 통해 공급되는 공통전압이 드랍되는 문제를 더욱 감소시킬 수 있는 효과가 있다.

[0071] 또한, 제3실시예도 연장전극(392)이 제2기판(380)의 넓은 영역을 차지하고 형성되어 있기 때문에 제2전극으로 공급되는 공통전압이 드랍됨으로써 표시품질이 저하하는 문제를 해결할 수 있는데 효과를 더할 수 있다. 그러나, 연장전극(392)은 필요에 따라서는 생략할 수도 있다.

[0072] 또한, 제3실시예도 제1기판과 제2기판(380) 합착시, 제1기판에 위치하는 제2전극과 제2기판(380)에 위치하는 보조전극(390)의 돌출부(391) 사이, 다르게 설명하면, 공통전극과 제2전극 사이에 전도성 접착제를 형성하여 단락이 발생하는 문제를 해결할 수도 있다.

[0073] 이상 본 발명의 각 실시예는 전극과 접촉하는 보조전극을 제2기판에 형성하고 제1기판과 제2기판을 합착함으로써 전극에 공급되는 공통전압의 드랍을 방지하고 패널에 휘도차가 발생하는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 대면적 패널 구현에 적합한 효과가 있다.

[0074] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0075] 도 1a는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 평면도.

[0076] 도 1b는 도 1a의 X-X영역의 단면도.

[0077] 도 1c는 도 1a의 도시된 제2기판의 평면도.

[0078] 도 1d는 도 1a의 X-X영역의 다른 단면도.

[0079] 도 2는 본 발명의 제2실시예에 따른 유기전계발광표시장치의 개략적인 평면도.

[0080] 도 3은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 개략적인 평면도.

[0081] <도면의 주요 부분에 관한 부호의 설명>

[0082] 110: 제1기판 120: 트랜지스터 어레이

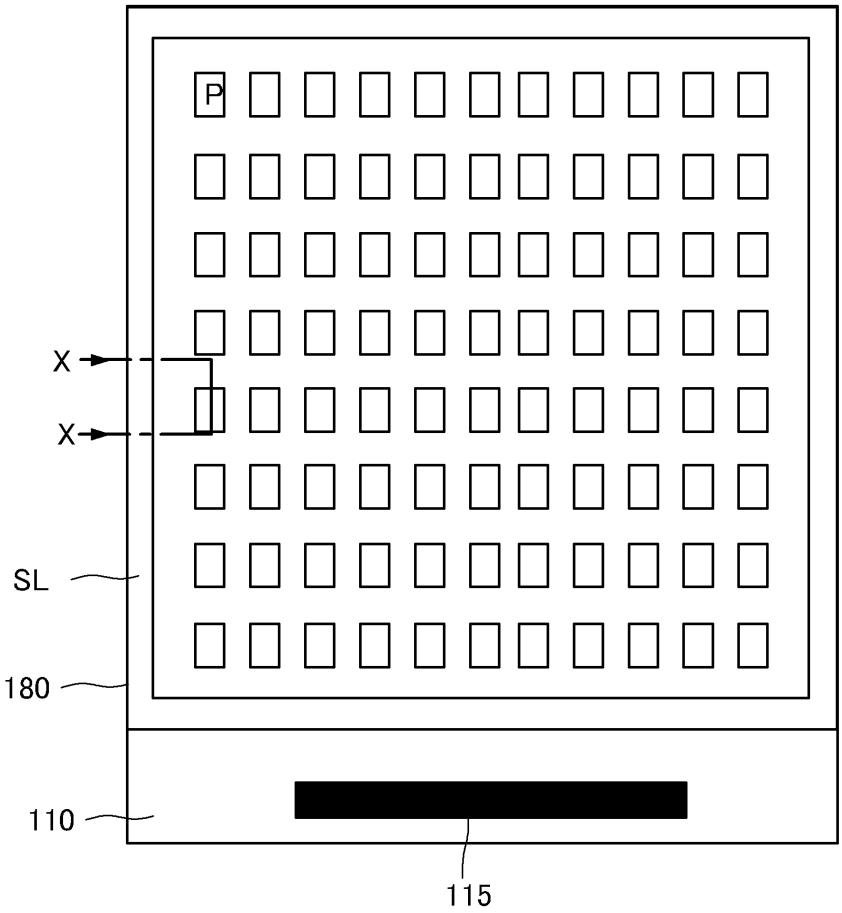
[0083] 130: 상부 절연막 140: 제1전극

[0084] 150: 뱅크층 170: 제2전극

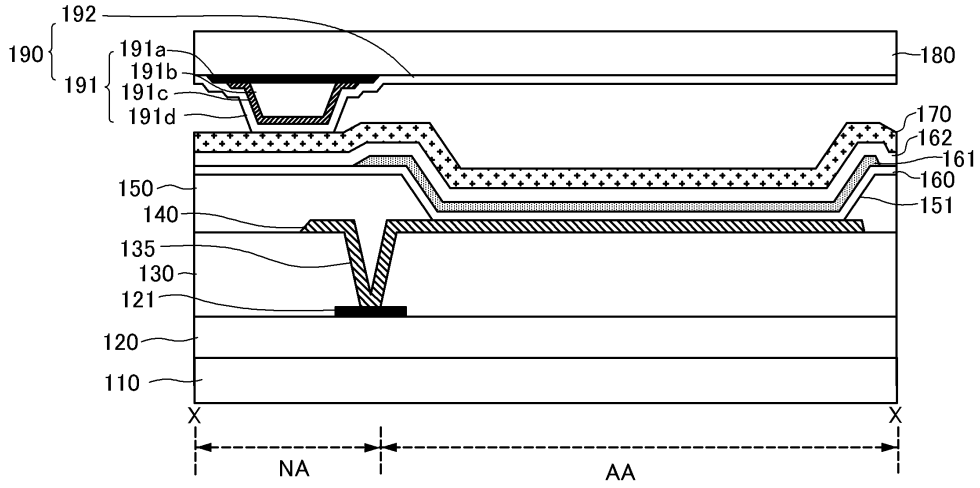
[0085] 180: 제2기판 190: 보조전극

도면

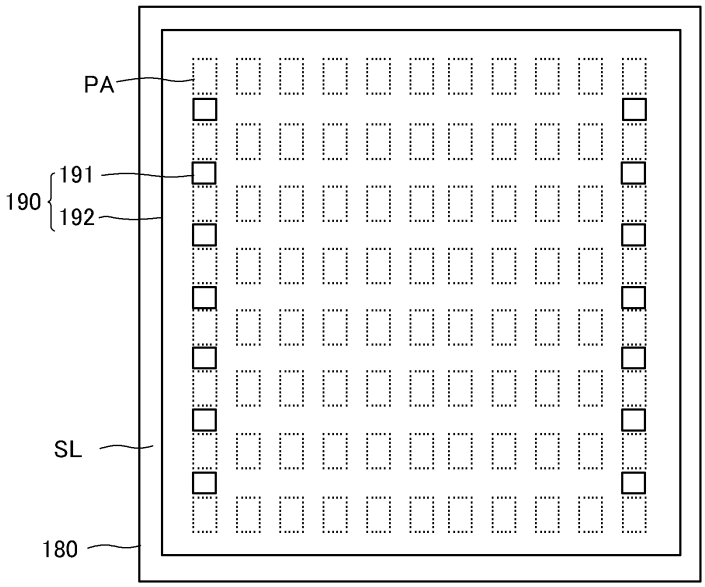
도면1a



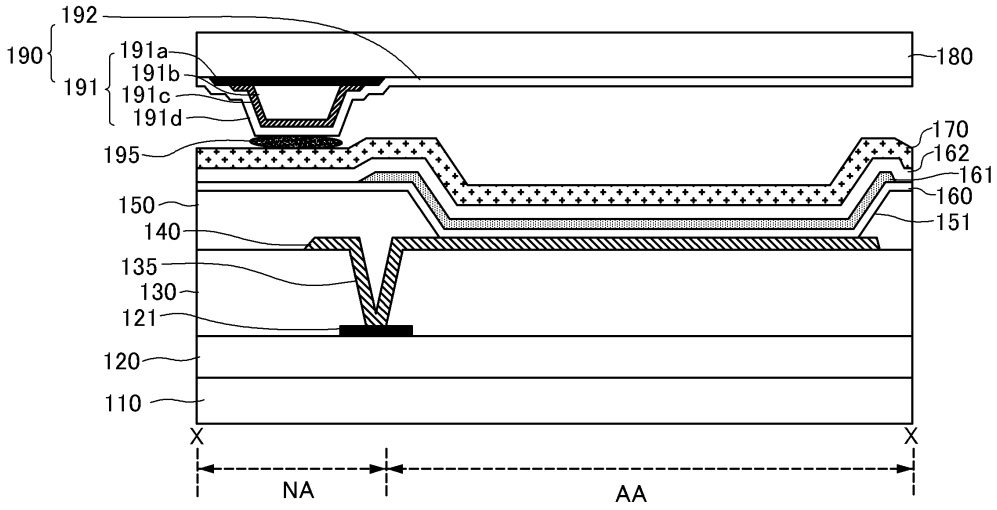
도면1b


192
190
191a
191b
191
191c
191d
180
170
162
161
160
151
150
140
135
130
121
120
110
X
X
NA
AA

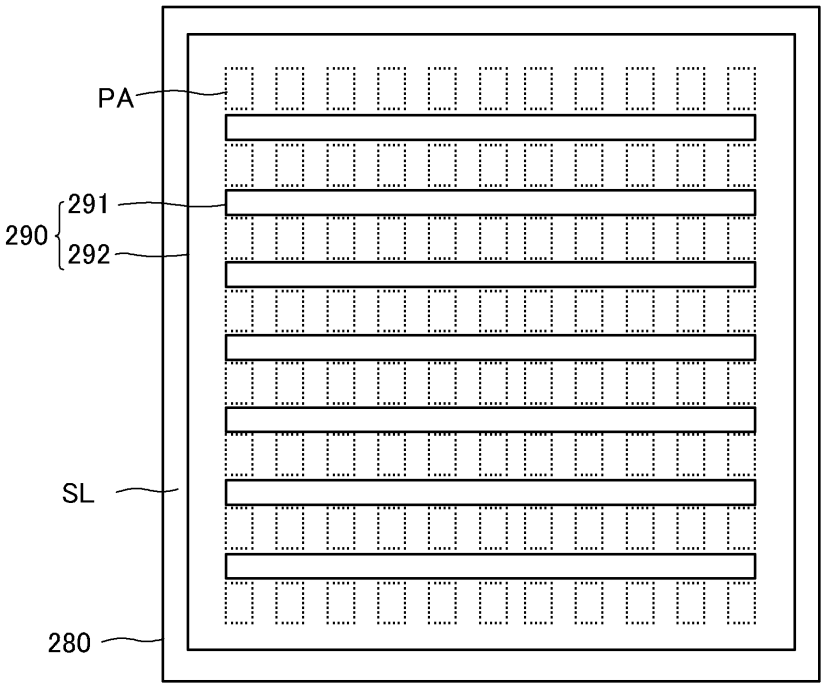
도면1c


PA
191
190
192
SL
180

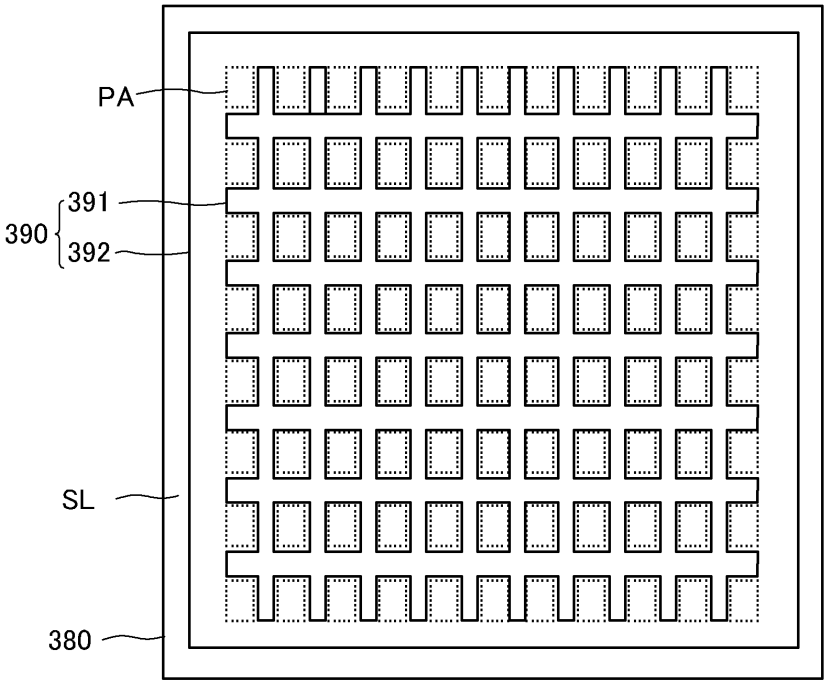
도면1d


192
190
191
191a
191b
191c
191d
180
195
170
162
161
160
151
150
140
135
130
121
120
110
X
X
NA
AA

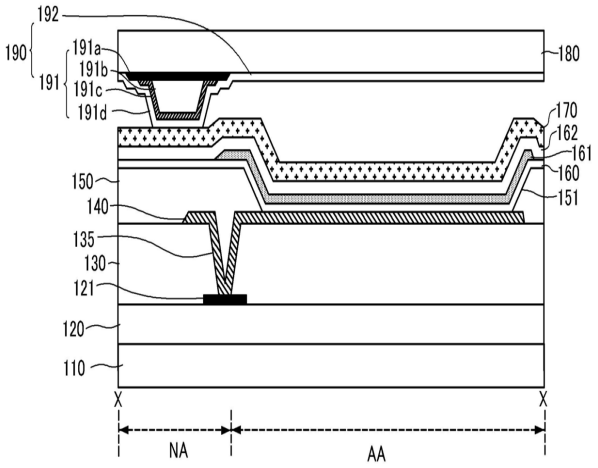
도면2


PA
291
290
292
SL
280

도면3



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR101450892B1	公开(公告)日	2014-10-15
申请号	KR1020080019789	申请日	2008-03-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG		
发明人	CHOI HEE DONG		
IPC分类号	H05B33/26 H01L51/50		
CPC分类号	H01L29/4232 H01L51/0096 H01L51/102 H01L51/442 H05B33/26		
其他公开文献	KR1020090094692A		
外部链接	Espacenet		

摘要(译)

提供一种有机电致发光显示装置，以通过将第一基板与具有辅助电极的第二基板接合来防止提供给第二电极的公共电压的下降。一种有机电致发光显示装置，包括第一基板（110），多个子像素，第二基板（180）和辅助电极（190）。多个子像素以矩阵形状布置在第一基板上。每个子像素包括第一电极（140），发光层和第二电极（170）。第二衬底与第一衬底键合。辅助电极位于第二基板上。辅助电极的一部分与第二电极接触。辅助电极包括金属电极，间隔物，绝缘层和公共电极。金属电极，间隔物，绝缘层和公共电极依次堆叠在第二基板上。