



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월15일
 (11) 등록번호 10-1157263
 (24) 등록일자 2012년06월11일

(51) 국제특허분류(Int. Cl.)
 H05B 33/22 (2006.01) H05B 33/10 (2006.01)
 (21) 출원번호 10-2005-0122294
 (22) 출원일자 2005년12월13일
 심사청구일자 2010년12월08일
 (65) 공개번호 10-2007-0062646
 (43) 공개일자 2007년06월18일
 (56) 선행기술조사문헌
 KR1020040018898 A
 KR1020030086164 A
 KR1020050070422 A
 KR1020050107840 A

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
김경만
 서울특별시 마포구 승문길 36-12, 2층 (염리동)
 (74) 대리인
허용록

전체 청구항 수 : 총 18 항

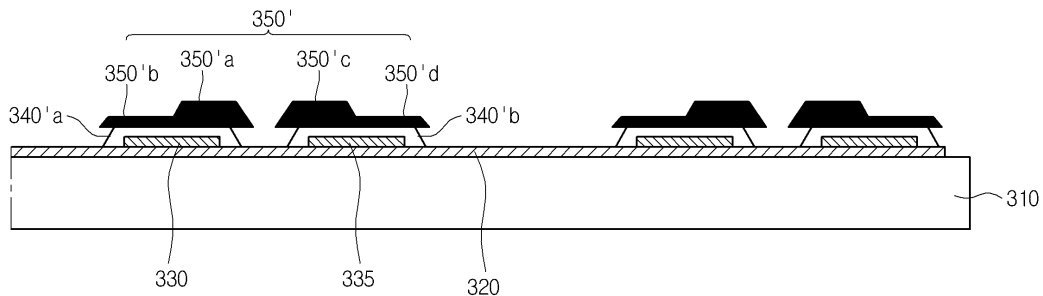
심사관 : 추장희

(54) 발명의 명칭 **유기전계발광표시장치 및 그 제조 방법**

(57) 요약

본 발명은 유기전계발광표시장치 및 그 제조 방법에 관한 것으로, 특히 절연막과 감광막을 차례로 적층한 후 반투과부를 포함하는 마스크를 이용한 회절 노광 기법으로 노광 후 현상(develope)을 통해 차단부가 적용되어 상기 감광막이 그대로 남은 영역의 제 1 감광막 패턴과, 상기 반투과부가 적용되어 감광막이 상기 제 1 감광막 패턴의 절반 이하로 남은 제 2 감광막 패턴과, 투과부가 적용되어 상기 감광막이 전혀 남지않는 영역을 형성하고, 상기 제 1, 2 감광막 패턴을 마스크로 하여 절연막을 오버 에칭하여 언더컷(undercut) 형상을 갖도록 제 1, 2 버퍼층을 패터닝하여 형성하고, 에싱(ashing)을 통해 상기 제 2 부분의 감광막을 제거하여 제 1, 2 격벽을 패터닝하여 형성함으로써, 유기전계발광표시장치 형성 시 마스크 수를 저감하여 제조 비용을 절감하고 생산성 및 제조 수율을 향상시킬 수 있는 유기전계발광표시장치 및 그 제조 방법에 관한 것이다.

대표도 - 도4f



특허청구의 범위

청구항 1

다수의 서브픽셀로 정의된 제 1 기관;
 상기 제 1 기관 하부에 패터닝되어 형성된 제 1 전극;
 상기 제 1 전극 하부의 소정 영역에 일정 간격 이격되어 패터닝되어 형성된 제 1, 2 보조 전극;
 상기 제 1, 2 보조 전극 하부에 언더컷 형상으로 패터닝되어 형성되며 소정 간격 이격된 제 1, 2 버퍼층;
 상기 각각의 서브픽셀이 분리되도록 각 서브픽셀을 구획하는 외곽에 형성되며, 상기 제 1, 2 버퍼층 하부의 소정 영역에 패터닝되어 형성된 제 1, 2 격벽;
 상기 제 2 버퍼층 하부에 상기 제 2 격벽과 소정 영역 이격되어 패터닝되어 형성된 스페이서;
 상기 제 1, 2 격벽 및 스페이서를 포함하는 제 1 전극 하부의 상기 제 1, 2 격벽에 의해 구획된 영역에 형성되며, 적어도 유기발광층을 포함하며 패터닝되어 형성된 유기막층;
 상기 유기막층 하부 및 상기 제 1, 2 버퍼층 사이에 형성된 제 2 전극; 및
 상기 제 1 기관과 스페이서에 의해 일정 간격으로 이격되어 배치되며, 상기 제 2 전극과 전기적으로 연결된 박막트랜지스터를 구비하는 제 2 기관을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,
 상기 제 1, 2 버퍼층은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx) 또는 이들의 이중층(SiNx/SiO₂, SiO₂/SiNx)으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제 1 항에 있어서,
 상기 제 1, 2 격벽은 포지티브형 포토레지스트로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제 1 항에 있어서,
 상기 제 1, 2 버퍼층 및 제 1, 2 격벽은 다각형 형상으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 1 항에 있어서,
 상기 제 1, 2 격벽은 발광 영역 사이에 대칭으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제 1 항에 있어서,
 상기 제 1, 2 격벽은 상기 제 1, 2 버퍼층과 접하는 영역에 각각 하나의 예각과 하나의 둔각을 갖도록 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

다수의 서브픽셀로 정의된 제 1 기관 상에 제 1 전극을 패터닝하여 형성하는 단계;

상기 제 1 전극 상의 소정 영역에 일정 간격 이격되도록 제 1, 2 보조 전극을 패터닝하여 형성하는 단계;

상기 제 1, 2 보조 전극을 포함한 제 1 기관 전면에 절연막 및 감광막을 차례로 적층하는 단계;

반투과부를 포함한 마스크를 통해 회절 노광 후 현상하여 두께 단차를 갖는 제 1, 2 감광막 패턴을 형성하는 단계;

상기 제 1, 2 감광막 패턴 하부의 절연막을 오버 에칭하여 언더컷 형상을 갖으며 일정 간격 이격되도록 제 1, 2 버퍼층을 형성하는 단계;

에칭을 통해 상기 제 2 감광막 패턴을 제거하여 일정 간격 이격되어 대칭되는 제 1, 2 격벽을 패터닝하여 형성하는 단계;

상기 제 2 버퍼층 상에 상기 제 2 격벽과 소정 간격 이격되도록 패터닝하여 스페이서를 형성하는 단계;

상기 버퍼층에 의해 구획된 발광 영역에 적어도 유기발광층을 포함하는 유기막층을 패터닝하여 형성하는 단계;

상기 유기막층, 제 1, 2 격벽 및 스페이서를 포함한 기관 상에 제 2 전극을 패터닝하여 형성하는 단계; 및

박막트랜지스터가 형성된 제 2 기관을 상기 스페이서를 통해 박막트랜지스터의 드레인 전극과 전기적으로 연결되도록 상기 제 1 기관과 대향하여 봉지하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 절연막은 실리콘 산화막(SiO_2), 실리콘 질화막(SiN_x) 또는 이들의 이중층($\text{SiN}_x/\text{SiO}_2$, $\text{SiO}_2/\text{SiN}_x$)으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 절연막은 화학기상증착법으로 증착하여 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 10

제 7 항에 있어서,

상기 감광막은 포지티브형 포토레지스트로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 11

제 7 항에 있어서,

상기 감광막은 스핀 코팅 방식에 의해 도포하여 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 12

제 7 항에 있어서,

상기 제 1, 2 버퍼층 및 제 1, 2 격벽은 반투과부를 포함하는 하나의 마스크를 이용한 일괄 식각으로 패터닝하여 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 13

제 7 항에 있어서,
 상기 마스크는 투과부, 반투과부, 차단부를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 14

제 7 항에 있어서,
 반투과부를 포함한 마스크를 통해 회절 노광 후 현상하여 두께 단차를 갖는 제 1, 2 감광막 패턴을 형성하는 단계에 있어서,
 상기 감광막 상에 투과부, 반투과부, 차단부를 포함한 마스크를 위치시키는 단계;
 상기 마스크 상에 광을 조사하는 단계; 및
 상기 감광막을 현상하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 15

제 14 항에 있어서,
 상기 감광막을 현상하는 단계는 마스크의 차단부가 적용되어 상기 감광막이 그대로 남은 영역의 제 1 감광막 패턴과, 상기 반투과부가 적용되어 감광막이 상기 제 1 감광막 패턴의 절반 이하로 남은 영역의 제 2 감광막 패턴과, 투과부가 적용되어 상기 감광막이 전혀 남지않는 영역을 갖는 감광막 패턴을 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 16

제 7 항에 있어서,
 상기 제 1, 2 버퍼층은 상기 제 1, 2 감광막 패턴 하부의 절연막을 습식 식각 또는 건식 식각으로 패터닝하여 언더컷을 갖도록 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 17

제 7 항에 있어서,
 상기 제 1, 2 격벽은 발광 영역 사이에 대칭으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 18

제 7 항에 있어서,
 상기 제 1, 2 격벽은 상기 제 1, 2 버퍼층과 접하는 영역에 각각 하나의 예각과 하나의 둔각을 갖도록 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0018] 본 발명은 유기전계발광표시장치 및 그 제조 방법에 관한 것으로, 특히 회절 노광 기법과 언더컷(undercut)을 이용한 일괄 식각으로 하나의 마스크를 이용하여 버퍼층과 격벽을 패터닝하여 형성함으로써 마스크 수를 저감할 수 있는 유기전계발광표시장치 및 그 제조 방법에 관한 것이다.

[0019] 평판표시소자(FPD; Flat Panel Display Device) 분야에서, 지금까지는 가볍고 전력소모가 적은 액정표시장치(LCD; Liquid Crystal Display Device)가 가장 주목받는 디스플레이 소자였지만, 상기 액정표시장치는 발광소자가 아니라 수광소자이며 밝기, 콘트라스트(contrast), 시야각, 그리고 대면적화 등에 기술적 한계가 있기

때문에 이러한 단점을 극복할 수 있는 새로운 평판디스플레이 소자에 대한 개발이 활발하게 전개되고 있다.

- [0020] 새로운 평판디스플레이 중 하나인 상기 유기전계발광표시장치(OLED:Organic Electroluminescence Display Device)는 자발광이며, 광시야각, 콘트라스트, 응답속도 등이 우수하며 백라이트가 필요 없어 경량 박형이 가능하고, 소비전력 측면에서도 유리하다.
- [0021] 일반적으로 유기전계발광소자는 애노드 전극과 캐소드 전극 사이에 유기발광층(EML;Emitting Layer)을 포함하고 있어 각 전극에 전압을 가하면, 애노드 전극으로부터 공급받는 정공(Hole)과 캐소드 전극으로부터 공급받은 전자(electron)가 유기발광층 내부로 주입되어 유기발광층 내에서 전자와 정공이 재결합하여 정공-전자 쌍인 여기자(exciton)를 형성하고 다시 상기 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.
- [0022] 특히, 각 화소마다 스위칭 소자인 박막트랜지스터를 가지는 능동 매트릭스(Active matrix) 방식으로 유기전계발광표시장치를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비 전력, 고정세, 대형화가 가능한 장점을 가진다.
- [0023] 도 1은 종래의 듀얼 패널 타입의 유기전계발광표시장치의 단면도로서, 이는 상부발광방식으로 동작하는 AMOLED의 단면 구조를 나타낸다.
- [0024] 도시된 바와 같이, 상, 하부 기판(10, 30)이 서로 대향되게 배치되어 있고, 상, 하부 기판(10, 30)의 가장자리부는 씰 패턴(40;seal pattern)에 의해 봉지(encapsulation)되어 있는 구조에 있어서, 상기 하부 기판(30)의 제 2 기판(31) 상부에는 각각의 서브픽셀별로 박막트랜지스터(T)가 형성되어 있고, 각각의 서브픽셀들은 하나의 픽셀을 형성한다.
- [0025] 상기 상부 기판(10)의 제 1 기판(11) 하부에는 애노드 전극(13;anode electrode)이 형성되어 있고, 상기 애노드 전극(13)의 저항 성분을 보상하기 위하여 상기 애노드 전극(13) 하부의 소정 영역에 패터닝된 보조 전극(15)이 형성되어 있다. 상기 보조 전극(15)을 포함한 제 1 기판(11) 하부에는 버퍼층(17)이 형성되어 있고, 상기 버퍼층(17) 하부에는 상기 하부 기판(30)의 제 2 기판(31) 상에 형성된 박막트랜지스터(T)의 드레인 전극과 캐소드 전극(25;cathode electrode)을 전기적으로 연결시키는 기둥 형상의 스페이서(19)와, 상기 스페이서(19)와 일정 간격 이격되어 형성되고, 상기 애노드 전극(13)과 캐소드 전극(25)을 분리하여 각각의 서브픽셀을 정의하는 격벽(21)(Cathode separator)이 형성되어 있다.
- [0026] 상기 버퍼층(17) 사이의 애노드 전극(13) 하부에는 각 서브픽셀과 대응되게 배치되며 적(Red), 녹(Green), 청(Blue) 컬러를 띠는 발광물질을 포함하는 유기발광층을 구비하는 유기막층(23)이 형성되어 있고, 상기 유기막층(23) 하부에는 캐소드 전극(25)이 형성되어 있다.
- [0027] 상기 애노드 전극(13)과 캐소드 전극(25)은 상기 유기발광층에 전계를 인가해주는 역할을 한다.
- [0028] 한 예로, 상부발광방식 구조에서 상기 애노드 전극(13)이 일함수가 높은 투명도전성 물질로 구성되고, 캐소드 전극(25)이 일함수가 낮은 금속 물질로 구성되면, 이런 조건하에서 상기 유기막층(23)은 상기 애노드 전극(13)과 접하는 층에서부터 정공주입층(HIL;Hole Injection Layer), 정공수송층(HTL;Hole Transporting Layer), 유기발광층(EML;Emitting Layer), 전자수송층(ETL;Electron Transporting Layer) 등의 순서대로 적층된 구조를 이룬다.
- [0029] 이때, 상기 유기발광층은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다.
- [0030] 이로써, 상기 애노드 전극(13)으로부터 공급된 정공과 캐소드 전극(25)으로부터 공급된 전자가 유기막층(23)의 유기발광층 내에서 재결합하여 정공-전자 쌍인 여기자(exciton)를 형성하고 다시 상기 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다. 이때, 발광된 빛은 상기 제 1 기판(11)을 통하여 방출되게 되어 디스플레이로 제작시 제 1 기판(11) 방향에서 표시된 정보를 볼 수 있다.
- [0031] 도 2a 내지 도 2g는 도 1의 듀얼 패널 타입의 유기전계발광표시장치의 상부 기판의 제조 방법을 나타낸 공정단면도이다.
- [0032] 도 2a를 참조하면, 유리로 형성된 제 1 기판(11) 상에 ITO 또는 IZO 중 선택되는 1종을 진공증착법(evaporation) 또는 스퍼터링(sputtering) 방식을 수행하여 증착 후 제1 마스크(미도시)를 이용한 식각 공정에 의해 패터닝(patterning)된 애노드 전극(13)이 형성된다.

- [0033] 상기 애노드 전극(13)을 패터닝 하는 방법은 포토레지스트(PR;Photo Resist) 도포, 노광(exposure) 및 현상(develope) 등의 공정을 이용한 포토리소그래피 기술에 의해 패터닝된 마스크(mask)를 이용하여 애노드 전극(13)에 건식 식각(dry etching) 또는 습식 식각(wet etching)을 선택적으로 적용 후 에싱(ashing)을 진행하여 형성된다.
- [0034] 도 2b를 참조하면, 상기 애노드 전극(13) 상부에 몰리브덴(Mo), 구리(Cu) 또는 크롬(Cr) 중 선택되는 1종을 진공증착법 또는 스퍼터링 방식을 수행하여 증착 후 제2 마스크(미도시)를 이용한 식각 공정에 의해 패터닝된 보조 전극(15)이 형성된다.
- [0035] 도 2c를 참조하면, 상기 보조 전극(15)을 포함한 애노드 전극(13) 상부에 실리콘 산화막(SiO₂) 또는 실리콘 질화막(SiNx)을 화학기상증착(CVD;Chemical Vapor Deposition) 방식을 수행하여 적층 후 제3 마스크(미도시)를 이용한 식각 공정에 의해 패터닝된 버퍼층(17)이 형성된다.
- [0036] 도 2d를 참조하면, 상기 버퍼층(17)을 포함한 애노드 전극(13) 상에 실리콘 산화막, 실리콘 질화막, 아크릴 수지 또는 폴리이미드 중 어느 하나를 CVD 방식을 수행하여 증착 후 제4 마스크(미도시)를 이용한 식각 공정을 통해 상기 버퍼층(17) 상에 패터닝된 스페이서(19)가 형성된다.
- [0037] 도 2e를 참조하면, 상기 스페이서(19)를 포함한 애노드 전극(13) 상에 네거티브형(negative type) 포토레지스트(PR)를 스핀 코팅(Spin Coating) 방식을 수행하여 도포 후 제5 마스크(미도시)를 이용하여 노광, 현상 후 베이킹(bake) 공정을 통해 패터닝된 역사다리꼴 형상의 격벽(21)이 형성된다.
- [0038] 도 2f를 참조하면, 제6 마스크(미도시)로서 섀도우마스크(Shadow mask)를 이용하여 유기물질을 진공 증착법 또는 잉크젯 프린팅(Ink-jet printing) 등의 방식이 수행되어 증착되어 상기 버퍼층(17) 사이의 애노드 전극(13) 상에 적어도 유기발광층을 포함하는 유기막층(23)이 형성된다.
- [0039] 도 2g를 참조하면, 상기 유기막층(23)상에 도전성 금속을 진공증착법 또는 스퍼터링을 방식을 수행하여 적층 후 제7 마스크(미도시)를 이용한 식각에 의해 패터닝된 캐소드 전극(25)이 형성된다.
- [0040] 종래의 유기전계발광표시장치의 상부 기관(10)을 형성할 경우에 각각의 패터닝된 애노드 전극(13), 보조 전극(15), 버퍼층(17), 스페이서(19), 격벽(21), 유기막층(23) 및 캐소드 전극(25)을 형성하기 위해서는 각각의 마스크를 이용한 리소그래피 공정을 포함하므로 총 7개의 마스크가 제작된다.
- [0041] 이러한 리소그래피 공정은 빛의 조사 여부에 따라 감응하는 화학 물질인 포토레지스트를 이용하여 도포, 노광, 현상한 후 에칭 기술을 동반하여 패턴을 형성한다. 따라서, 종래의 리소그래피 기술들은 장치나 공정에서 기술 비용이 크고, 복잡한 공정으로 인해 시간 소모가 많으며 불량률이 증가하는 문제점을 안고 있다.
- [0042] 특히, 마스크 제작 시 고비용이 요구되므로 마스크 수를 저감할 필요성이 있다.

발명이 이루고자 하는 기술적 과제

- [0043] 본 발명은 마스크 수를 저감하여 비용을 절감하고, 생산성 및 제조 수율을 향상시킬 수 있는 듀얼 패턴 타입의 유기전계발광표시장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0044] 상기한 목적을 달성하기 위하여 본 발명에 따른 유기전계발광표시장치는, 다수의 서브픽셀로 정의된 제 1 기관, 상기 제 1 기관 하부에 패터닝되어 형성된 제 1 전극, 상기 제 1 전극 하부의 소정 영역에 일정 간격 이격되어 패터닝되어 형성된 제 1, 2 보조 전극, 상기 제 1, 2 보조 전극 하부에 언더컷 형상으로 패터닝되어 형성되며 소정 간격 이격된 제 1, 2 버퍼층, 상기 각각의 서브픽셀이 분리되도록 각 서브픽셀을 구획하는 외곽에 형성되며, 상기 제 1, 2 버퍼층 하부의 소정 영역에 서로 마주보도록 패터닝되어 형성된 제 1, 2 격벽, 상기 제 2 버퍼층 하부에 상기 제 2 격벽과 소정 영역 이격되어 패터닝되어 형성된 스페이서, 상기 제 1, 2 격벽 및 스페이서를 포함하는 제 1 전극 하부의 상기 제 1, 2 격벽에 의해 구획된 영역에 형성되며, 적어도 유기발광층을 포함하며 패터닝되어 형성된 유기막층, 상기 유기막층 하부 및 상기 제 1, 2 버퍼층 사이에 형성된 제 2 전극, 및 상기 제 1 기관과 스페이서에 의해 일정 간격으로 이격되어 배치되며, 상기 제 2 전극과 전기적으로 연결된 박막트랜지스터를 구비하는 제 2 기관을 포함하는 것을 특징으로 한다.
- [0045] 또한, 상기한 목적을 달성하기 위하여 본 발명에 따른 유기전계발광표시장치의 제조 방법은, 다수의 서브픽셀로 정의된 제 1 기관 상에 제 1 전극을 패터닝하여 형성하는 단계, 상기 제 1 전극 상의 소정 영역에

일정 간격 이격되도록 제 1, 2 보조 전극을 패터닝하여 형성하는 단계, 상기 제 1, 2 보조 전극을 포함한 제 1 기관 전면에 절연막 및 감광막을 차례로 적층하는 단계, 반투과부를 포함한 마스크를 통해 회절 노광 후 현상하여 두께 단차를 갖는 제 1, 2 감광막 패턴을 형성하는 단계, 상기 제 1, 2 감광막 패턴 하부의 절연막을 오버 에칭하여 언더컷 형상을 갖으며 일정 간격 이격되도록 제 1, 2 버퍼층을 형성하는 단계, 에칭을 통해 상기 제 2 감광막 패턴을 제거하여 일정 간격 이격되어 대칭되는 제 1, 2 격벽을 패터닝하여 형성하는 단계, 상기 제 2 버퍼층 상에 상기 제 2 격벽과 소정 간격 이격되도록 패터닝하여 스페이서를 형성하는 단계, 상기 버퍼층에 의해 구획된 발광 영역에 적어도 유기발광층을 포함하는 유기막층을 패터닝하여 형성하는 단계, 상기 유기막층, 제 1, 2 격벽 및 스페이서를 포함한 기관 상에 제 2 전극을 패터닝하여 형성하는 단계, 및 박막트랜지스터가 형성된 제 2 기관을 상기 스페이서를 통해 박막트랜지스터의 드레인 전극과 전기적으로 연결되도록 상기 제 1 기관과 대향하여 봉지하는 단계를 포함하는 것을 특징으로 한다.

- [0046] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명한다.
- [0047] 도 3은 본 발명에 따른 듀얼 패널 타입(dual panel type)의 유기전계발광표시장치의 단면도이다.
- [0048] 도시한 바와 같이, 상, 하부 기관(300, 500)이 서로 대향되게 배치되고, 상, 하부 기관(300, 500)의 가장자리부는 씰패턴(seal pattern)에 의해 봉지되어 있는 구조에 있어서, 상기 상부 기관(300)에는 유리, 석영 또는 플라스틱으로 형성된 제 1 기관(310) 하부에 제 1 전극(320)이 패터닝되어 형성된다. 상기 제 1 전극(320)은 일함수가 높은(4.5eV이상) 투명도전성 물질인 애노드 전극(anode electrode)으로 형성되며, ITO 또는 IZO인 투명전극으로 형성된다.
- [0049] 상기 제 1 전극(320)은 애노드 전극으로서 후속 공정에서 유기발광층에 정공을 주입하는 역할을 한다.
- [0050] 상기 제 1 전극(320) 하부의 소정 영역에는 상기 제 1 전극(320)의 저항 성분을 보상하기 위하여 일정 간격 이격되어 제 1, 2 보조 전극(330, 335)이 패터닝되어 형성된다. 상기 제 1, 2 보조 전극(330, 335)은 계면특성이 우수하고, 비저항이 낮아 도전성이 크고 좋은 몰리브덴(Mo), 구리(Cu), 크롬(Cr) 텅스텐(W) 또는 알루미늄(Al) 중 선택되는 1종으로 형성된다.
- [0051] 상기 각각의 제 1, 2 보조 전극(330, 335) 하부에는 각 서브픽셀 영역마다 발광 영역을 구획하는 제 1, 2 버퍼층(340'a, 340'b)이 일정 간격 이격되어 다각형 형상으로 패터닝되어 형성된다. 상기 제 1, 2 버퍼층(340'a, 340'b)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx) 또는 이들의 이중층(SiNx/SiO₂, SiO₂/SiNx)으로 형성된다.
- [0052] 여기서, 상기 제 1, 2 버퍼층(340'a, 340'b)은 후속 공정에서 반투과막을 포함하는 마스크를 이용한 회절 노광 기법을 통해 두께 단차를 갖도록 패터닝된 감광막 패턴과의 막질간의 높은 선택비를 이용한 식각 공정에 의해 오버 에칭(over etching)되어 언더컷(undercut) 형상을 갖도록 형성된다.
- [0053] 다음으로, 상기 제 1, 2 버퍼층(340'a, 340'b) 하부의 소정 영역에 상기 각각의 서브픽셀이 분리되도록 각 서브픽셀을 구획하며, 다각형 형상으로 서로 마주 보도록 패터닝된 제 1, 2 격벽(350'e, 350'f; cathode separator)이 형성된다. 즉, 상기 제 1, 2 격벽(350'e, 350'f)은 상기 제 1 전극(320)과 후속 공정에서 형성되는 제 2 전극(380)을 분리하는 역할을 수행하여 각각의 서브픽셀을 정의한다.
- [0054] 상기 제 1, 2 버퍼층(340'a, 340'b) 하부의 제 1, 2 격벽(350'e, 350'f)은 발광 영역 사이에 서로 대칭으로 형성되며, 언더컷 형상을 갖는 제 1, 2 버퍼층(340'a, 340'b)과 제 1, 2 격벽(350'e, 350'f)이 접하는 영역(A)에는 예각(negative taper)이 형성되고, 반대편의 제 1, 2 격벽(350'e, 350'f)과 제 1, 2 버퍼층(340'a, 340'b)이 접하는 영역(B)에는 둔각(positive taper)이 형성된다. 이때, 상기 언더컷 형상의 예각(A)이 형성된 제 1, 2 버퍼층(340'a, 340'b) 사이의 영역에 형성된 제 2 전극(380)이 단락되어 각각의 서브픽셀을 정의한다. 즉, 상기 대칭으로 형성된 두 개의 제 1, 2 격벽(350'e, 350'f)에 의해 자동적으로 제 2 전극(380)을 분리하게 된다.
- [0055] 상기 제 1, 2 격벽(350'e, 350'f)은 아크릴계 수지 또는 폴리이미드와 같은 감광성 물질로 형성된다. 본 발명에서는 상기 제 1, 2 격벽(350'e, 350'f)이 캐소드 전극인 제 2 전극(380)의 분리를 위하여 포지티브형(positive type) 포토레지스트(PR)로 형성된다.
- [0056] 상기 제 2 버퍼층(340'b) 상에는 상기 제 2 격벽(350'f)과 소정 간격 이격되어 스페이서(360)가 패터닝되어 형성된다.

- [0057] 상기 스페이서(360)는 유기막 또는 무기막으로 형성되며, 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx), 아크릴 수지, 폴리이미드(PI) 및 폴리아미드(PA;Polyamide), 벤조싸이클로부텐(BCB;Benzocyclobutene) 등으로 이루어진 군에서 선택되는 1종으로 형성된다.
- [0058] 상기 스페이서(360)는 일반적인 액정표시장치용 스페이서와 달리, 셀 갭(cell gap) 유지 기능보다 두 기관(300, 500)을 전기적으로 연결시키는 것을 주목적으로 하는 것으로, 두 기관(300, 500) 간의 사이 구간에서 기둥 형상으로 일정 높이를 가지는 특성을 갖는다. 즉, 후속 공정에서 상기 스페이서(360) 하부에 형성되는 캐소드 전극인 제 2 전극(380)과 하부 기관(500)상에 형성될 박막트랜지스터(T)의 드레인 전극(560)을 전기적으로 연결시켜주는 역할을 한다.
- [0059] 다음으로, 상기 제 1, 2 격벽(350'e, 350'f)의 일부분과 스페이서(360) 및 상기 제 1, 2 버퍼층(340'a, 340'b)에 의해 구획된 발광 영역의 제 1 전극(320) 하부에 적어도 유기발광층(EML)을 포함한 유기막층(370)이 형성된다. 여기서, 상기 대칭된 제 1, 2 격벽(350'e, 350'f) 사이의 제 1 전극(320) 상부에는 유기발광층을 포함한 유기막층(370)이 형성되지 않도록 함으로써 제 2 전극(380)의 분리를 도울 수 있으나, 제조 방법에 따라 유기막층(370)이 패터닝되어 형성될 수도 있다.
- [0060] 상기 유기발광층으로는 저분자 물질 또는 고분자 물질 모두 가능하다. 상기 저분자 물질은 알루미늄 복합체(Alq₃), 안트라센(Anthracene), BeBq₂, Balq 및 DPVBi 등으로 이루어진 군에서 선택되는 1종으로 형성된다. 상기 고분자 물질은 폴리(p-페닐렌비닐렌)(PPV;poly(p-phenylenevinylene)) 및 그 유도체, 폴리티오펜(PT;polythiophene) 및 그 유도체 및 폴리페닐렌(PPP;polyphenylene) 및 그 유도체 등으로 이루어진 군에서 선택되는 1종으로 형성된다.
- [0061] 또한, 상기 유기발광층은 적(Red), 녹(Green), 청(Blue) 컬러를 띠는 발광물질을 포함하여 형성되며, 이때, 상기 유기발광층은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다.
- [0062] 상기 유기막층(370)은 유기발광층 외에 정공과 전자의 주입을 원활하게 하여 소자 특성을 개선하기 위한 캐리어 전달층인 정공주입층(HIL), 정공수송층(HTL), 전자수송층(ETL) 및 전자주입층(EIL) 중 1층 이상을 더 포함할 수 있다.
- [0063] 상기 캐리어 전달층은 애노드 전극 및 캐소드 전극의 배치구조에 따라 정해지는 것으로, 제 1 전극(320)을 애노드 전극으로 형성하는 경우, 상기 제 1 전극(320)과 연결하는 순서대로 정공주입층, 정공수송층, 전자수송층 및 전자주입층이 차례대로 적층된 구조로 이루어질 수 있다.
- [0064] 또한, 상기 유기막층(370) 하부 및 제 1, 2 버퍼층(340'a, 340'b) 사이에는 제 2 전극(380)이 형성된다. 상기 제 2 전극(380)은 일함수가 낮은(4.2eV이하) 도전성 금속인 캐소드 전극으로 형성되며, 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 및 이들의 합금(예, AlNd)으로 이루어진 군에서 선택된 하나의 물질로서 반사전극으로 형성된다.
- [0065] 이로써, 상기 제 1 전극(320), 유기막층(370) 및 제 2 전극(380)으로 이루어진 유기전계발광소자(E)가 형성된다.
- [0066] 상기 유기전계발광소자(E)에는 공통전극으로 이용되는 제 1 전극(320), 상기 제 1, 2 버퍼층(340'a, 340'b) 사이의 발광 영역에서 적어도 유기발광층을 포함하는 유기막층(370)과 제 1 전극(320) 하부에서 서브픽셀별 경계부에 위치하는 제 1, 2 격벽(350'e, 350'f)에 의해 분리된 제 2 전극(380)이 차례대로 형성된다.
- [0067] 여기서, 상기 제 1, 2 전극(320, 380)은 유기발광층에 전계를 인가해주는 역할을 한다.
- [0068] 상기한 바와 같이, 상기 제 1 기관(310) 상에 상기 제 2 전극(380)까지 형성함으로써 듀얼 패널 타입의 유기전계발광표시장치의 상부 기관이 완성된다.
- [0069] 그리고, 상기 하부 기관(500)의 제 2 기관(510) 상부에는 각각의 서브픽셀별로 박막트랜지스터(T)가 형성된다.
- [0070] 상기 박막트랜지스터(T)는 제 2 기관(510) 상에 패터닝되어 형성된 게이트 전극(520)과, 상기 게이트 전극(520)과 대응되는 영역 상부에 패터닝되어 형성되며, 채널층(540a) 및 오믹콘택층(540b)으로 형성된 액티브층(540)과, 상기 액티브층(540)과 콘택되며 일정 간격 이격되어 형성된 소스 전극(550) 및 드레인 전극(560)을 포함한다.

- [0071] 여기서, 상기 게이트 전극(520)은 도전성 금속으로 형성되며, 알루미늄(Al), 알루미늄합금(Ag alloy), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr) 및 티타늄(Ti) 등으로 이루어진 군에서 선택되는 1종일 수 있다.
- [0072] 상기 액티브층(540)은 순수 비정질 실리콘(a-Si:H)으로 형성된 채널층(540a)과 불순물이 포함된 비정질 실리콘(예, n+a-Si:H)으로 형성된 오믹콘택층(540b)이 차례로 적층 후 패터닝되어 형성되며, 상기 오믹콘택층(540b)이 일부분 식각되어 채널층(540a)의 표면 일부가 노출된다.
- [0073] 상기 소스 전극(550) 및 드레인 전극(560)은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 텅스텐몰리브덴(MoW), 티타늄(Ti), 알루미늄(Al) 및 알루미늄합금(Ag alloy) 등으로 이루어진 군에서 선택되는 1종 이상으로 형성된다.
- [0074] 상기 표면 일부가 노출된 채널층(540a)과 소정 간격 이격된 소스 전극(550) 및 드레인 전극(560) 사이에는 채널(Channel)이 형성되며, 상기 소스 전극(550)에 공급된 전압을 채널(CH)을 통해 드레인 전극(560)으로 공급하는 역할을 한다.
- [0075] 또한, 상기 상부 기판(500)의 게이트 전극(520)과 액티브층(540) 사이에는 게이트 절연막(530)이 형성되고, 상기 박막트랜지스터(T)의 상부에는 보호층(570)이 형성된다.
- [0076] 상기 게이트 절연막(530)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx) 또는 이들의 이종층으로 형성되고, 상기 보호층(570)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx), 벤조싸이클로부텐(BCB; Benzocyclobutene), 아크릴 수지, 폴리이미드(PI) 및 폴리아미드(PA; Polyamide) 등으로 이루어진 군에서 선택되는 1종으로 형성된다.
- [0077] 상기 보호층(570)은 식각 공정을 통해 상기 박막트랜지스터(T)의 드레인 전극(560)의 표면 일부가 노출되도록 콘택홀(575)이 형성된다.
- [0078] 이로써, 박막트랜지스터(T)를 포함하는 듀얼 패널 타입의 유기전계발광표시장치의 하부 기판(500)이 완성된다.
- [0079] 상기 하부 기판(500)의 박막트랜지스터(T)는 유기전계발광소자(E)를 구동시키는 전기적 구동부의 역할을 수행하며, 상기 유기전계발광소자(E)에 전류를 공급하기 위하여, 서브픽셀 단위로 상부 기판(300)의 제 2 전극(380)과 하부 기판(500)의 박막트랜지스터(T)를 연결하는 위치에 제 2 전극(380)이 증착된 기둥 형상의 스페이서(360)를 위치시켜 합착함으로써 봉지된다.
- [0080] 따라서, 상기 유기전계발광소자(E)는 상기 제 1 전극(320)으로부터 공급된 정공과 제 2 전극(380)으로부터 공급된 전자가 유기막층(370)의 유기발광층 내에서 재결합하여 정공-전자 쌍인 여기자를 형성하고 다시 상기 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다. 이때, 발광된 빛은 상기 제 1 기판(310)을 통하여 방출되게 되어 디스플레이로 제작시 제 1 기판(310) 방향에서 표시된 정보를 볼 수 있다.
- [0081] 도면으로 제시하지는 않았지만, 상기 하부 기판(500)은 게이트 라인과, 상기 게이트 라인과 교차하며, 서로 일정 간격 이격되는 데이터 라인 및 공통전원공급라인, 상기 게이트 라인과 데이터 라인이 교차하는 지점에 위치하는 스위칭 박막트랜지스터 및 스토리지 캐패시터를 더욱 포함한다.
- [0082] 또한, 상기 봉지 시 상기 제 2 전극(380) 하부에는 외부로부터 흡수된 수분(H₂O)나 산소(O₂)로부터 유기발광층이 열화되는 것을 방지하기 위하여 흡습제를 더 포함할 수 있다. 상기 흡습제는 투명흡습제 또는 불투명흡습제로 형성되며, 일반적으로 산화바륨(BaO) 또는 산화칼슘(CaO)이 사용된다.
- [0083] 도 4a 내지 4g는 도 3의 본 발명에 따른 듀얼 패널 타입의 유기전계발광표시장치의 격벽까지 형성된 상부 기판의 제조 방법을 나타낸 공정단면도이다.
- [0084] 도 4a를 참조하면, 제 1 기판(310) 상에 ITO 또는 IZO 중 선택되는 1종을 진공증착법 또는 스퍼터링 방식을 수행하여 증착 후 포토리소그래피 기술을 통해 패터닝된 제1 마스크(미도시)를 이용하여 건식 식각 또는 습식 식각을 선택적으로 적용한 후 에칭 공정을 진행하여 패터닝하여 제 1 전극(320)을 형성한다.
- [0085] 도 4b를 참조하면, 상기 제 1 전극(320)을 포함한 제 1 기판(310) 상의 전면에 걸쳐 몰리브덴(Mo), 구리(Cu), 크롬(Cr), 알루미늄(Al) 중 선택되는 1종을 진공증착법 또는 스퍼터링 방식을 수행하여 증착 후 제 2 마스크(미도시)를 이용하여 패터닝하여 제 1, 2 보조 전극(330, 335)을 형성한다.
- [0086] 도 4c를 참조하면, 상기 제 1, 2 보조 전극(330, 335)을 포함한 제 1 기판(310) 상의 전면에 걸쳐 실

리콘 산화막(SiO₂), 실리콘 질화막(SiNx) 또는 이들의 이중층(SiNx/SiO₂, SiO₂/SiNx)을 CVD 방식을 수행하여 절연막(340)을 증착한다. 상기 CVD 방식은 플라즈마화학기상증착법(PECVD:Plasma Enhanced Chemical Vapor Deposition) 또는 저압화학기상증착법(LPCVD:Low Pressure Chemical Vapor Deposition)일 수 있다.

- [0087] 그 다음, 상기 절연막(340) 상의 제 1 기판(310) 전면에 걸쳐 포지티브형 포토레지스트를 스핀 코팅 방식으로 도포하여 감광막(350)을 형성한다.
- [0088] 상기 포지티브 포토레지스트는 광이 조사되면 분해되어 제거되는 물질인 감광성 재료이다.
- [0089] 도 4d를 참조하면, 상기 감광막(350) 상에 투과부(355a), 반투과부(355b) 및 차단부(355c)로 이루어진 제3 마스크(355)를 상기 감광막(350) 상에 위치시킨 후 자외선(UV)을 조사한 후 상기 제3 마스크(355) 제거한 다음 현상한다.
- [0090] 상기 반투과부(355b)는 격자형 패턴이 적용된 슬릿 마스크(silt mask) 또는 하프톤(half tone mask)일 수 있다.
- [0091] 도 4e를 참조하면, 상기 반투과부(355b)를 포함한 제3 마스크(355)를 통한 회절 노광 기법을 이용하여 두께 단차를 갖는 제 1, 2 감광막 패턴(350'a, 350'c, 350'b, 350'd)을 형성한다.
- [0092] 즉, 상기 제3 마스크(355)를 이용한 회절 노광 기법을 통해 상기 차단부(355c)가 적용되어 상기 차단부(355c)와 대향하는 감광막(350)이 그대로 남은 제 1 감광막 패턴(350'a, 350'c)과, 상기 반투과부(355b)가 적용되어 상기 반투과부(355b)와 대향하는 감광막(350)이 회절되어 투과되는 광에 의해 상기 제 1 감광막 패턴(350'a, 350'c)의 절반 이하로 남은 제 2 감광막 패턴(350'b, 350'd)과, 투과부(355a)가 적용되어 상기 투과부(355a)와 대향하는 상기 감광막(350)이 전혀 남지않는 영역(357)을 형성한다.
- [0093] 상기 투과부(355a)와 대향하는 감광막(350)은 현상 시 분해되어 모두 제거됨으로써 상기 제 1, 2 버퍼층(340'a, 340'b)의 표면 일부를 노출시킨다.
- [0094] 도 4f를 참조하면, 상기 제 1, 2 감광막 패턴(350'a, 350'c, 350'b, 350'd)을 마스크로 하여 상기 제 1, 2 감광막 패턴(350'a, 350'c, 350'b, 350'd) 하부의 절연막(340)을 습식 식각 또는 건식 식각을 통해 패터닝하여 소정 간격 이격되며 언더컷 형상을 갖는 제 1, 2 버퍼층(340'a, 340'b)을 형성한다.
- [0095] 상기 절연막(340)은 상기 감광막 패턴(350'a, 350'c, 350'b, 350'd) 하부까지 오버 에칭하여 양 말단부에 언더컷(undercut)을 갖는 다각형 형상의 제 1, 2 버퍼층(340'a, 340'b)으로 형성된다. 즉, 상기 제 1 감광막 패턴(350'a, 350'c)과 하부의 제 1, 2 버퍼층(340'a, 340'b)이 접하는 영역(A)이 예각을 갖도록 형성한다.
- [0096] 상기한 바와 같이, 상기 제 1, 2 버퍼층(340'a, 340'b)을 언더컷 형상을 갖도록 형성함으로써 후속 공정에서 형성되는 격벽에 의해 캐소드 전극인 제 2 전극을 분리하여 각 서브픽셀들을 정의한다.
- [0097] 여기서, 상기 절연막(340)을 습식 식각으로 식각할 경우, 상기 절연막(340)이 실리콘 산화막(SiO₂)일 경우에는 희석된 불산(HF) 또는 BOE(Buffered Oxide Etchant;NH₄F:HF=6:1 혼합액)를 이용하여 식각하고, 절연막(340)이 실리콘 질화막(SiNx)일 경우에는 고온의 인산(H₃PO₄)을 이용하여 식각한다.
- [0098] 상기 절연막(340)을 건식 식각으로 식각할 경우, 이온빔 식각(ion beam etching), RF(radio frequency) 스퍼터 식각, 플라즈마 식각(plasma etching) 또는 반응 이온 식각 중 선택되는 어느 하나로 수행한다.
- [0099] 일례로, 반응 이온 식각을 이용할 경우 CF₄, CF₄/O₂, C₂F₆ 또는 C₃F₈ 등의 식각 가스를 이용하여 상기 절연막(340)을 식각한다.
- [0100] 상기 제 1, 2 버퍼층(340'a, 340'b)은 다각형 형상으로 형성하나 이에 한정되는 것은 아니며 제 2 전극을 분리할 수 있는 형상이면 제조 방법에 따라 다양하게 변형할 수 있다.
- [0101] 도 4g를 참조하면, 상기 제 1, 2 감광막 패턴(350'a, 350'c, 350'b, 350'd)을 에칭하여 상기 제 2 감광막 패턴(350'b, 350'd)을 완전히 제거하여 패터닝함으로써 소정 간격 이격되어 마주 보며, 서로 대칭인 다각형 형상의 제 1, 2 격벽(350'e, 350'f)을 형성한다.
- [0102] 여기서, 상기 제 1, 2 격벽(350'e, 350'f)이 상기 제 1, 2 버퍼층(340'a, 340'b)과 접하는 영역(B)은

둔각을 갖는다.

- [0103] 또한, 상기 예칭 공정 시 상기 제 1 감광막 패턴(350'a, 350'c)도 예칭에 의해 상기 제 2 감광막 패턴(350'b, 350'd)만큼 식각된다.
- [0104] 도 4d 내지 도 4g에서 언급한 바와 같이, 반투과부(355b)를 포함한 제3 마스크(350)를 이용한 회절 노광 기법을 적용하여 상기 감광막(350)을 노광 후 현상하여 제 1, 2 감광막 패턴(350'a, 350'c, 350'b, 350'd)에 두께 단차를 형성하고, 상기 제 1, 2 감광막 패턴(350'a, 350'c, 350'b, 350'd)을 마스크로 하여 상기 제 1, 2 감광막 패턴(350'a, 350'c, 350'b, 350'd) 하부의 절연막(340)을 오버 에칭하여 언더컷 형상을 갖는 제 1, 2 버퍼층(340'a, 340'b)을 패터닝하여 형성하고, 예칭을 통해 두께가 얇은 제 2 감광막 패턴(350'b, 350'd)을 완전히 제거하여 제 1, 2 격벽(350'e, 350'f)을 패터닝하여 형성한다.
- [0105] 즉, 제3 마스크(350)를 이용한 회절 노광 기법과 일괄 식각을 통해 하나의 마스크로 제 1, 2 버퍼층(340'a, 340'b)과 제 1, 2 격벽(350'e, 350'f)을 패터닝하여 형성할 수 있으므로, 종래의 버퍼층과 격벽 형성 시의 2회 마스크 패터닝 공정을 1회 마스크 패터닝 공정으로 줄일 수 있다.
- [0106] 따라서, 마스크 1개를 저감하여 제조 비용을 절감할 수 있고, 공정단순화를 통해 공정 시간을 단축하여 생산성을 향상시킬 수 있다. 또한, 공정단순화를 통해 제조 수율을 향상시킬 수 있다.
- [0107] 도면으로 도시하지는 않았지만, 상기 제 1, 2 격벽(350'e, 350'f)을 포함한 제 1 기관(310) 전면에 유기물 또는 무기물을 PECVD 또는 LPCVD 방식을 수행하여 증착 후 포토리소그래피 기술을 통해 패터닝된 제4 마스크(미도시)를 이용한 건식 식각 또는 습식 식각을 통해 패터닝하여 상기 제 2 버퍼층(340'b) 상에 상기 제 2 격벽(350'f)과 소정 간격 이격되도록 기둥 형상의 스페이서(360)를 형성한다.
- [0108] 이때, 상기 스페이서(360)는 후속 공정에서 박막트랜지스터(T)의 드레인 전극과 콘택시키기 위해 상기 제 1, 2 격벽(350'e, 350'f)보다 높게 형성한다.
- [0109] 이어서, 상기 제 1, 2 격벽(350'e, 350'f)의 일부분 및 스페이서(360)를 포함하며, 상기 제 1, 2 버퍼층(340'a, 340'b)에 의해 구획된 발광 영역의 제 1 전극(320) 상에 제5 마스크(미도시)인 웨도우마스크를 이용하여 적어도 유기발광층을 포함한 유기막층(370)을 적, 녹, 청 컬러별로 순차적으로 패터닝하여 형성한다.
- [0110] 상기 유기막층(370)은 저분자 물질일 경우에는 진공증착법을 통해 형성하고, 고분자 물질일 경우에는 잉크젯 프린팅 방법을 통해 형성한다.
- [0111] 상기 유기막층(370) 상에는 일함수가 낮은 도전성 금속을 진공증착법 또는 스퍼터링 방식을 수행하여 제 1 기관(310) 전면에 증착 후 포토리소그래피 공정을 통해 형성된 제6 마스크(미도시)를 통해 패터닝하여 제 2 전극(380)을 형성한다.
- [0112] 이로써, 제 1 전극(320), 유기막층(370) 및 제 2 전극(380)으로 이루어진 유기전계발광소자를 형성하고, 상기 유기전계발광소자를 포함하는 유기전계발광표시장치의 상부 기관(300)을 완성한다.
- [0113] 상기한 바와 같이, 본 발명은 1개의 마스크를 이용한 회절 노광 기법 및 일괄 식각을 통해 상기 제 1, 2 버퍼층(340'a, 340'b)과 제 1, 2 격벽(350'e, 350'f)을 패터닝하여 형성함으로써 총 6개의 마스크를 통해 듀얼 패널 타입의 유기전계발광표시장치의 상부 기관(300)을 완성할 수 있다.
- [0114] 따라서, 종래에 비해 듀얼 패널 타입의 유기전계발광표시장치의 상부 기관(300) 제작 시 마스크를 1개 저감할 수 있고, 이를 통해 제조 비용 절감 및 공정 시간이 단축으로 인해 생산성이 향상된 유기전계발광표시장치의 제작이 가능하다. 또한, 공정단순화를 통해 제조 수율을 향상시킬 수 있다.
- [0115] 이상을 통해 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자라면 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

발명의 효과

- [0116] 본 발명은 유기전계발광표시장치에서 버퍼층 및 격벽을 2회 마스크 패터닝 공정에서 반투과부를 포함하는 마스크를 이용한 회절 노광 기법과 일괄 식각을 통해 1회 마스크 패터닝 공정으로 형성함으로써 마스크 수를 저감하여 제조 비용을 절감하고, 공정 단순화를 통해 생산성 및 제조 수율을 향상시킬 수 있는 유기전계

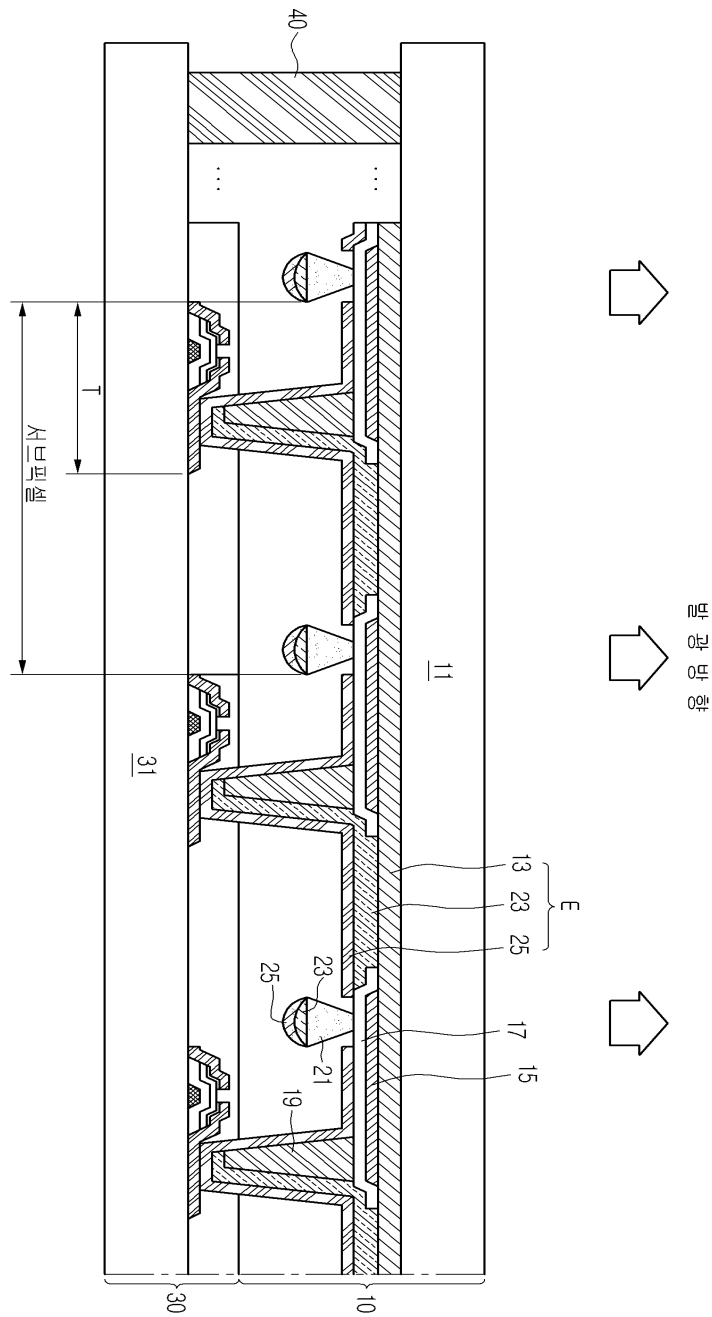
발광표시장치 및 그 제조 방법을 제공하는 효과가 있다.

도면의 간단한 설명

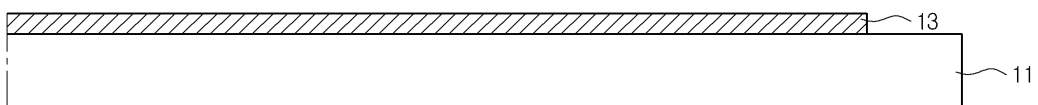
- [0001] 도 1은 종래의 듀얼 패널 타입의 유기전계발광표시장치의 단면도.
- [0002] 도 2a 내지 도 2g는 도 1의 듀얼 패널 타입의 유기전계발광표시장치의 상부 기관의 제조 방법을 나타낸 공정단면도.
- [0003] 도 3은 본 발명에 따른 듀얼 패널 타입의 유기전계발광표시장치의 단면도.
- [0004] 도 4a 내지 4g는 도 3의 본 발명에 따른 듀얼 패널 타입의 유기전계발광표시장치의 격벽까지 형성된 상부 기관의 제조 방법을 나타낸 공정단면도.
- [0005] <도면의 주요부분에 대한 부호의 설명>
- [0006] 300 : 상부 기관 310 : 제 1 기관
- [0007] 320 : 제 1 전극 330, 335 : 제 1, 2 보조 전극
- [0008] 340 : 절연막 340'a, 340'b : 제 1, 2 버퍼층
- [0009] 350 : 감광막 350'a, 350'c : 제 1 감광막 패턴
- [0010] 350'b, 350'd : 제 2 감광막 패턴 350'e, 350'f : 격벽
- [0011] 355 : 제3 마스크 360 : 스페이서
- [0012] 370 : 유기막층 380 : 캐소드 전극
- [0013] 500 : 하부 기관 510 : 제 2 기관
- [0014] 520 : 게이트 전극 530 : 게이트 절연막
- [0015] 540 : 액티브층 550 : 소스 전극
- [0016] 560 : 드레인 전극 570 : 보호층
- [0017] 575 : 콘택홀 600 : 셀 패턴

도면

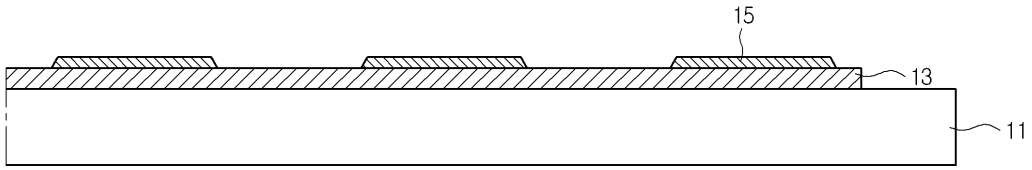
도면1



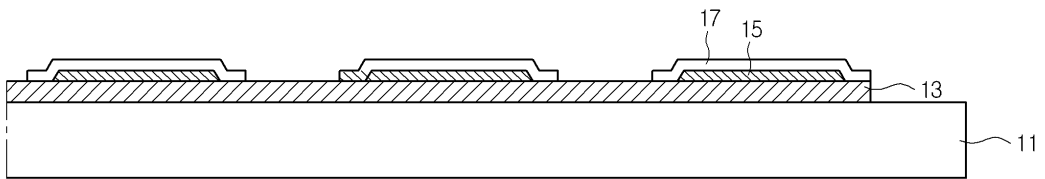
도면2a



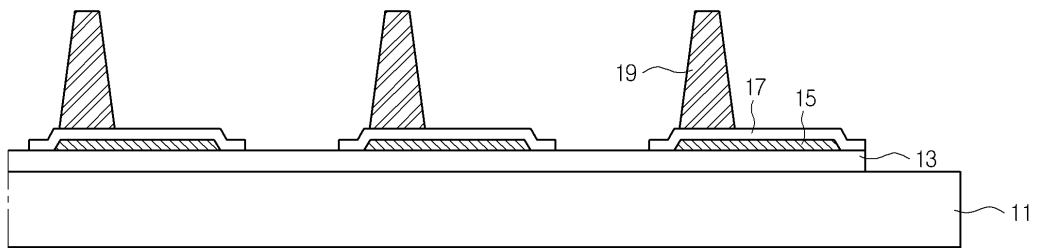
도면2b



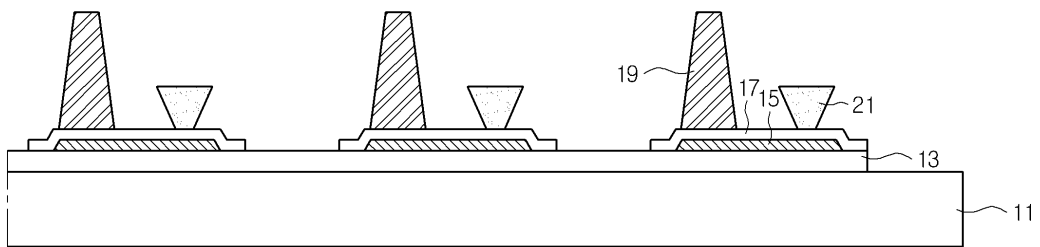
도면2c



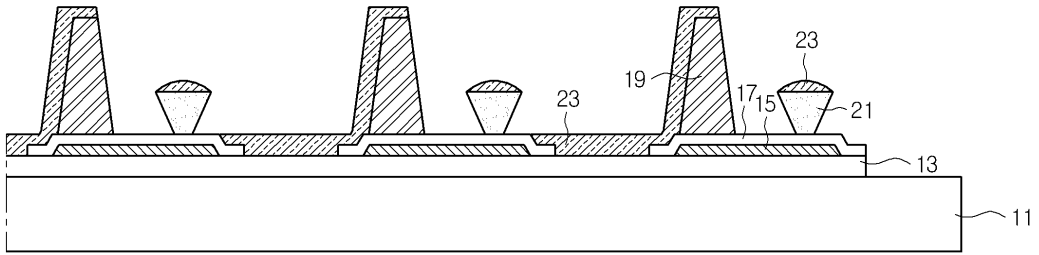
도면2d



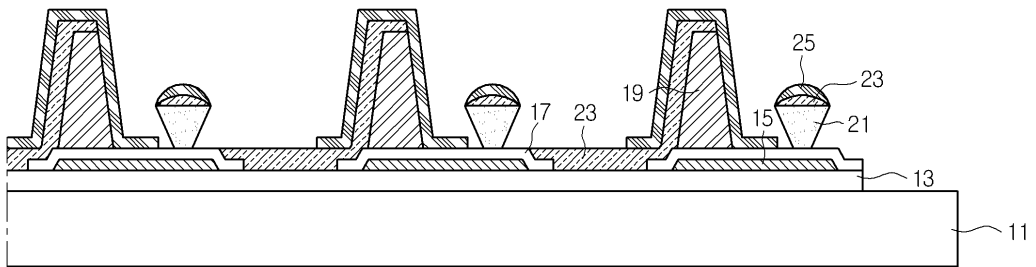
도면2e



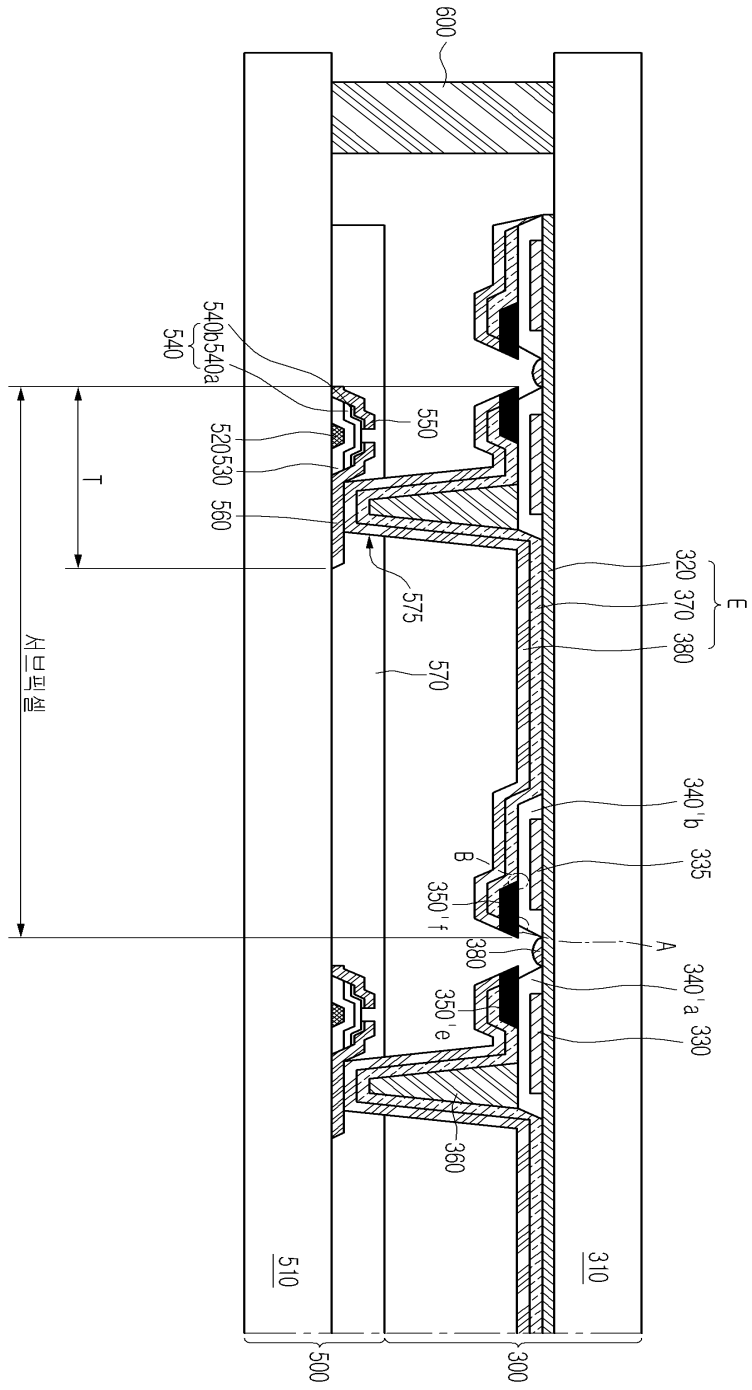
도면2f



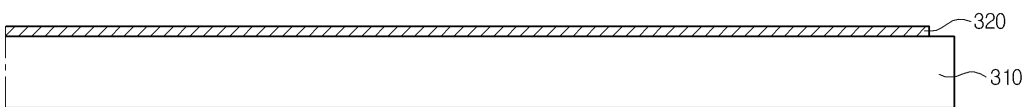
도면2g



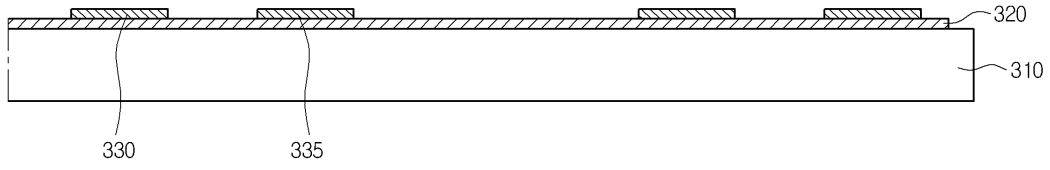
도면3



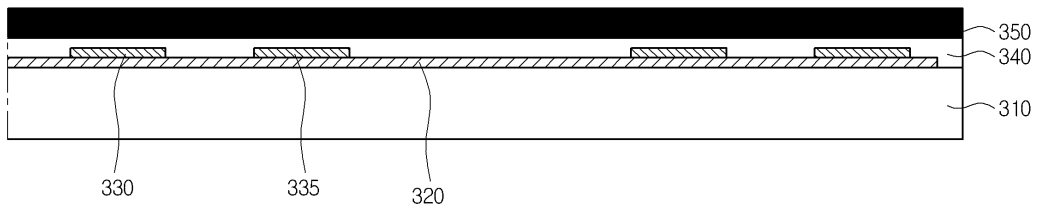
도면4a



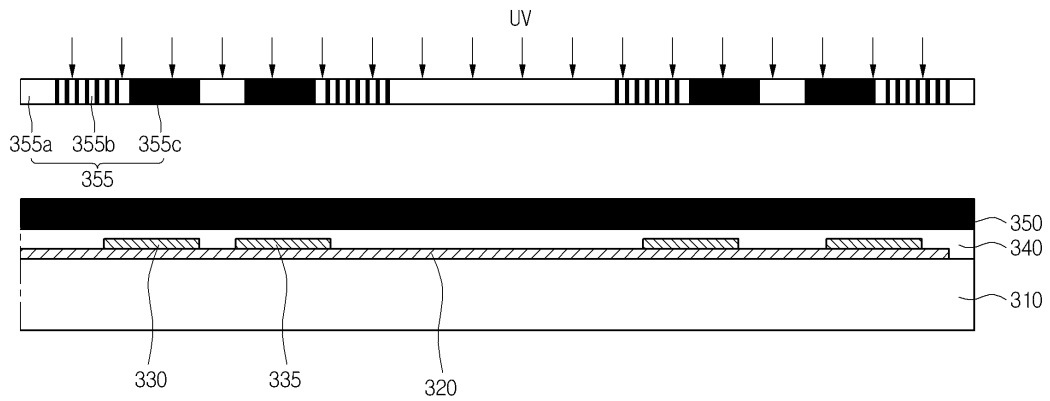
도면4b



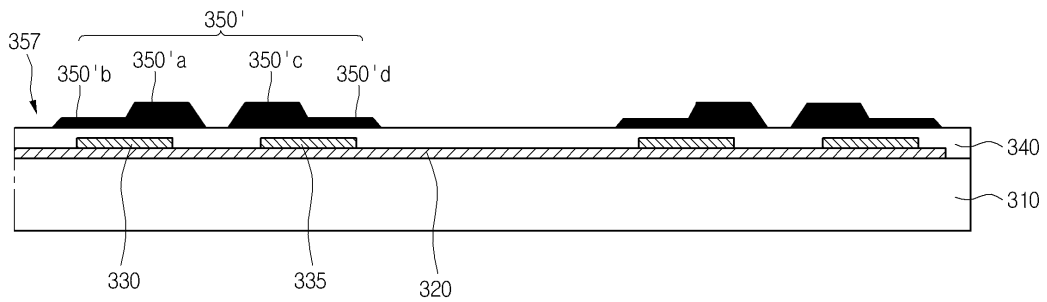
도면4c



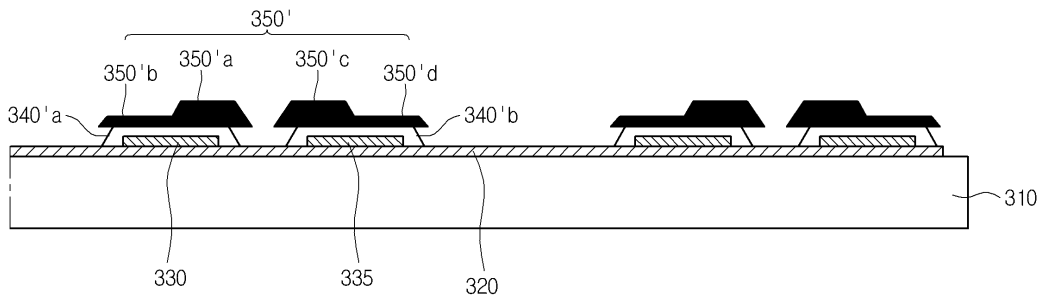
도면4d



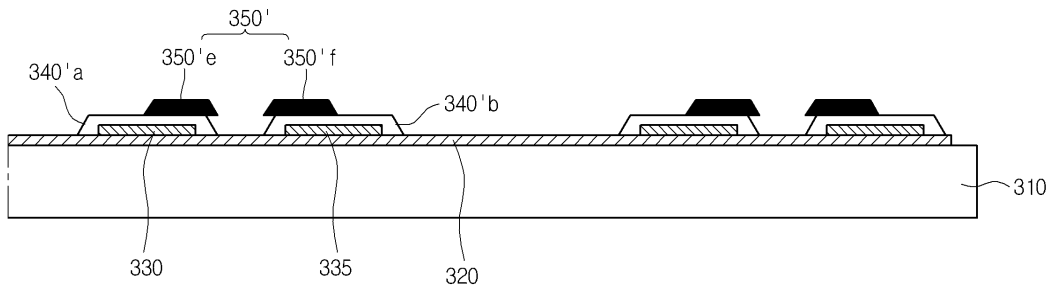
도면4e



도면4f



도면4g



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR101157263B1	公开(公告)日	2012-06-15
申请号	KR1020050122294	申请日	2005-12-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KYUNG MAN		
发明人	KIM,KYUNG MAN		
IPC分类号	H05B33/22 H05B33/10		
CPC分类号	H01L27/3246 H01L27/3251 H01L51/0017 H01L51/0018 H01L51/56		
其他公开文献	KR1020070062646A		
外部链接	Espacenet		

摘要(译)

提供一种有机电致发光显示装置及其制造方法，以通过一次掩模图案化工艺减少掩模的数量来降低制造成本。第一基板(310)由多个子电池限定。形成第一电极(320)以在第一基板(310)的下部上图案化。第一和第二子电极(330,335)形成在第一电极(320)的下部的预定区域上，以彼此分开。第一和第二缓冲层(340a', 340b')在第一和第二子电极(330,335)的下部上以底切形状形成，以彼此分开。第一和第二分隔器形成在分隔每个子像素的边缘上待分离，并在第一和第二缓冲层(340', 340b')的下部的预定区域上形成图案。间隔物形成在第二缓冲层(340a')的下部以与第二隔板分开。在由具有第一和第二隔板和隔板的第一电极(320)的下部的第一和第二隔板分隔的区域上形成有机薄膜层。在有机薄膜层的下部与第一和第二缓冲层(340a', 340b')之间形成第二电极。第二基板布置成通过第一基板(310)和间隔物彼此分开，并且具有与第二基板电连接的薄膜晶体管。电极。

