



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월22일
(11) 등록번호 10-0778619
(24) 등록일자 2007년11월15일

(51) Int. Cl.

H05B 33/26 (2006.01) H05B 33/22 (2006.01)

(21) 출원번호 10-2006-0064986

(22) 출원일자 2006년07월11일

심사청구일자 2006년07월11일

(65) 공개번호 10-2007-0008423

공개일자 2007년01월17일

(30) 우선권주장

JP-P-2005-00202992 2005년07월12일 일본(JP)

(뒷면에 계속)

(56) 선행기술조사문헌

JP2002287663 A

KR1020040003962 A

KR1020040092397 A

KR1020050021296 A

전체 청구항 수 : 총 28 항

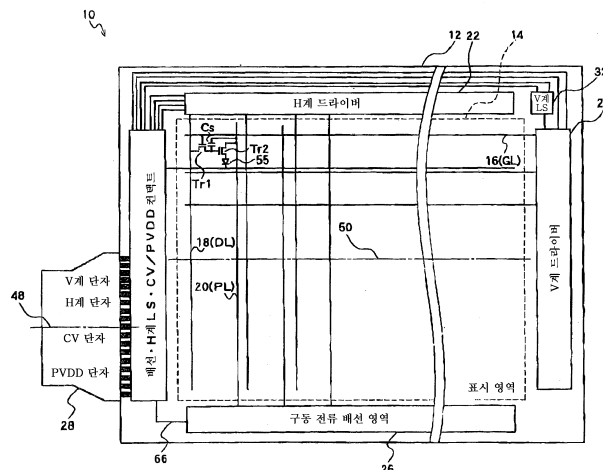
심사관 : 추장희

(54) 일렉트로 루미네센스 표시 장치

(57) 요약

화소가 매트릭스 배치된 표시부를 표시 패널에 갖는 일렉트로루미네센스 표시 장치로서, 외부 접속 단자는 상기 표시 패널의 하나의 측면을 따라 배열되며, 수직 주사 구동 회로는 상기 표시 패널의, 상기 외부 접속 단자가 배열된 측면에 대향하는 측면에 배치되어 있다. 또한, 표시 패널의 외부 접속 단자가 설치된 변과, 그 대변, 또 다른 하나의 변의 3변에만, 수평 주사 구동 회로, 수직 주사 구동 회로용의 배선을 설치할 수 있으며, 나머지 1 변에 구동 회로용의 배선을 배치하지 않음으로써, 이 1변에 일렉트로루미네센스 EL 소자에 전력을 공급하는 구동 전류 배선의 스페이스를 확보할 수 있다. 이에 의해, 구동 전류 공통 배선의 폭을 확보하면서, 액연을 작은 것으로 할 수 있다.

대표도 - 도3



(30) 우선권주장

JP-P-2005-00202993 2005년07월13일 일본(JP)

JP-P-2005-00230129 2005년08월08일 일본(JP)

특허청구의 범위

청구항 1

일렉트로 루미네센스 표시 장치로서,

화소가 매트릭스 배치된 표시부와, 상기 표시부의 주변에 형성되며, 상기 화소를 구동하기 위한, 수평 주사 방향 구동 회로 및 수직 주사 방향 구동 회로를 갖는 표시 패널을 구비하고,

상기 표시 패널의 제1 변에 외부 접속 단자가 배치되며,

상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로 중 한쪽이, 상기 제1 변에 대향하는 제2 변에 배치되며, 다른쪽이 제1 변과 제2 변을 연결하는 2개의 변 중 하나인 제3 변에 배치되며,

상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로의 전원 배선은, 상기 제1 변, 제2 변 및 제3 변 이외의 1변을 통하지 않고, 상기 외부 접속 단자로부터 대응하는 상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로의 형성 영역에 배선되어 있는 일렉트로 루미네센스 표시 장치.

청구항 2

제1항에 있어서,

상기 수직 주사 구동 회로가, 제2 변에 수직 주사 방향을 따라 형성된 일렉트로 루미네센스 표시 장치.

청구항 3

제2항에 있어서,

상기 수평 주사 구동 회로의 전원 배선과 상기 수직 주사 구동 회로의 전원 배선이, 공통의 외부 접속 단자에 접속되어 있는 일렉트로 루미네센스 표시 장치.

청구항 4

제2항에 있어서,

상기 수평 주사 구동 회로의 전원 배선 및 상기 수직 주사 구동 회로의 전원 배선이 직렬로 연결되어 있는 일렉트로 루미네센스 표시 장치.

청구항 5

제4항에 있어서,

상기 수평 주사 구동 회로의 전원 배선과 상기 수직 주사 구동 회로의 전원 배선 중, 외부 접속 단자로부터의 배선 거리가 긴 전원 배선은, 외부 접속 단자로부터의 배선 거리가 짧은 전원 배선보다 폭이 좁은 일렉트로 루미네센스 표시 장치.

청구항 6

제4항에 있어서,

상기 수평 주사 구동 회로의 전원 배선 및 상기 수직 주사 구동 회로의 전원 배선은, 고압측 전원 배선과 저압측 전원 배선을 갖고, 그 고압측 및 저압측 배선 중 적어도 한쪽은, 복수개 형성되며,

그 복수개의 배선은, 상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로 중, 적어도 상기 외부 접속 단자로부터의 전원 배선 거리가 짧은 쪽의 구동 회로의 종단 영역에서, 상기 전원 배선 재료와는 상이한 도전층으로 이루어진 바이패스 배선에 의해 서로 전기적으로 접속되어 있는 일렉트로 루미네센스 표시 장치.

청구항 7

제1항에 있어서,

상기 수평 주사 구동 회로의 전원 배선과 상기 수직 주사 구동 회로의 전원 배선이, 공통의 외부 접속 단자에

접속되어 있는 일렉트로 루미네센스 표시 장치.

청구항 8

제1항에 있어서,

상기 수평 주사 구동 회로의 전원 배선과 상기 수직 주사 구동 회로의 전원 배선이 직렬로 연결되어 있는 일렉트로 루미네센스 표시 장치.

청구항 9

제8항에 있어서,

상기 수평 주사 구동 회로의 전원 배선과 상기 수직 주사 구동 회로의 전원 배선 중, 외부 접속 단자로부터의 배선 거리가 긴 전원 배선은, 외부 접속 단자로부터의 배선 거리가 짧은 전원 배선보다 폭이 좁은 일렉트로 루미네센스 표시 장치.

청구항 10

제8항에 있어서,

상기 수평 주사 구동 회로의 전원 배선 및 상기 수직 주사 구동 회로의 전원 배선은, 고압측 전원 배선과 저압측 전원 배선을 갖고, 그 고압측 및 저압측 배선 중 적어도 한쪽은, 복수개 설치되며,

그 복수개의 배선은, 상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로 중, 적어도 상기 외부 접속 단자로부터의 전원 배선 거리가 짧은 쪽의 구동 회로의 종단 영역에서, 상기 전원 배선 재료와는 상이한 도전층으로 이루어진 바이패스 배선에 의해 서로 전기적으로 접속되어 있는 일렉트로 루미네센스 표시 장치.

청구항 11

제1항에 있어서,

상기 수평 주사 구동 회로의 전원 배선과 상기 수직 주사 구동 회로의 전원 배선은, 공통의 외부 접속 단자에 접속되며, 또한 그 공통의 외부 접속 단자로부터 연장되는 배선 경로 중에서 분기하여 각각의 구동 회로에 접속되는 일렉트로 루미네센스 표시 장치.

청구항 12

제1항에 있어서,

상기 수평 주사 구동 회로의 신호 배선 및 상기 수직 주사 구동 회로의 신호 배선은, 상기 제1 변, 제2 변 및 제3 변 이외의 한변을 통하지 않고, 상기 외부 접속 단자로부터 대응하는 상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로의 형성 영역에 배선되어 있는 일렉트로 루미네센스 표시 장치.

청구항 13

제1항에 있어서,

상기 제1 변은, 상기 표시 패널의 수직 주사 방향을 따른 변인 일렉트로 루미네센스 표시 장치.

청구항 14

제1항에 있어서,

상기 제3 변은, 상기 표시 패널의 수평 주사 방향을 따른 변으로서, 또한 각 화소의 일렉트로 루미네센스 소자에 그 구동 전력을 공급하는 구동 전력 배선의 공통 배선이 배치된 변의 대향변인 일렉트로 루미네센스 표시 장치.

청구항 15

일렉트로 루미네센스 표시 장치로서,

화소가 매트릭스 배치된 표시부와, 상기 표시부의 주변에 형성되며, 상기 화소를 구동하기 위한, 수평 주사 방

향 구동 회로 및 수직 주사 방향 구동 회로를 갖는 표시 패널을 구비하고,
상기 표시 패널의 제1 변에 외부 접속 단자가 배치되며,
상기 제1 변에 대향하는 제2 변에는, 수직 주사 구동 회로가 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 16

제15항에 있어서,
상기 제1 변 및 제2 변을 연결하는 2개의 변 중 하나인 제3 변에는, 수평 주사 구동 회로가 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 17

제15항에 있어서,
상기 제1 변에는, 각 화소의 일렉트로 루미네센스 소자의 공통 전극과, 그 공통 전극에 대향하는 외부 접속 단자로부터 인출된 공통 전극 배선과의 컨택트 영역이 더 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 18

일렉트로 루미네센스 표시 장치로서,
화소가 매트릭스 배치된 표시부와, 상기 표시부의 주변에 형성되며, 상기 화소를 구동하기 위한, 수평 주사 방향 구동 회로 및 수직 주사 방향 구동 회로를 갖는 표시 패널을 구비하고,
상기 표시 패널의 제1 변에 외부 접속 단자가 배치되며, 그 제1 변과, 이에 대향하는 제2 변을 연결하는 2개의 변 중 하나인 제3 변에 수평 주사 구동 회로가 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 19

제18항에 있어서,
상기 제1 변에는, 각 화소의 일렉트로 루미네센스 소자의 공통 전극과, 그 공통 전극에 대향하는 외부 접속 단자로부터 인출된 공통 전극 배선과의 컨택트 영역이 더 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 20

화소가 매트릭스 배치된 표시부와 상기 화소를 구동하도록 상기 표시부의 주변에 형성된 수평 주사 방향 구동 회로 및 수직 주사 방향 구동 회로를 갖는 표시 패널을 구비하는 일렉트로 루미네센스 표시 장치로서,
외부 접속 단자가, 상기 표시 패널의 수직 주사 방향을 따른 측변에 배열되며,
상기 외부 접속 단자가, 수평 주사 구동 회로용의 단자, 캐소드 전원용의 단자, 화소 구동 전원용의 단자를 포함하고,
이들 단자의 배열순은, 상기 표시 패널의 수직 주사 방향을 따라서 상측으로부터 순서대로, 수평 주사 구동 회로용의 단자, 캐소드 전원용의 단자, 화소 구동 전원용의 단자의 순인 일렉트로 루미네센스 표시 장치.

청구항 21

제20항에 있어서,
상기 외부 접속 단자는, 수직 주사 구동 회로용의 단자를 더 포함하고,
상기 수직 주사 구동 회로용의 단자는, 상기 수평 주사 구동 회로용의 단자보다도 상기 수직 주사 방향의 상측에 설치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 22

제20항에 있어서,
상기 수평 주사 구동 회로가, 상기 표시 패널의 표시부의 상변에 접속하여 설치되며,

캐소드 전원 접속부가, 상기 표시부의 상기 외부 접속 단자가 배치된 측변에 인접하는 변에 설치되며,
상기 수직 주사 구동 회로가, 상기 표시부의 다른 측변에 인접하여 설치되며,
화소 구동 전원용 배선이, 상기 표시부의 하변에 인접하여 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 23

제22항에 있어서,

상기 배열된 외부 접속 단자의 군의 중심이, 상기 표시부의 수직 주사 방향에서의 중심 위치선보다 아래에 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 24

제22항에 있어서,

상기 수직 주사 구동 회로에 공급하기 위한 클럭 신호 및 수직 스타트 신호 중 적어도 하나의 신호 레벨을 시프트시키는 레벨 시프터가,

상기 수직 주사 구동 회로가 배치된 변과, 상기 신호 레벨을 시프트시키는 신호의 배선이 배치된 변이 교차하는 코너 끝에 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 25

화소가 매트릭스 배치된 표시부와 상기 화소를 구동하도록 상기 표시부의 주변에 형성된 수평 주사 방향 구동 회로 및 수직 주사 방향 구동 회로를 갖는 표시 패널을 구비하는 일렉트로 루미네센스 표시 장치로서,

외부 접속 단자는, 상기 표시 패널의 수직 주사 방향을 따른 측변에 배열되며,

상기 외부 접속 단자 중, 화소 구동 전원용 단자가, 상기 표시부의 상기 수직 주사 방향에서의 중심 위치보다 아래에 배치되는 일렉트로 루미네센스 표시 장치.

청구항 26

제25항에 있어서,

상기 수직 주사 구동 회로는, 상기 표시 패널의 상기 외부 접속 단자가 설치된 측변에 대향하는 측변에 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 27

제26항에 있어서,

상기 수직 주사 구동 회로에 공급하기 위한 클럭 신호 및 수직 스타트 신호 중 적어도 하나의 신호 레벨을 시프트시키는 레벨 시프터가,

상기 수직 주사 구동 회로가 배치된 변과, 상기 신호 레벨을 시프트시키는 신호의 배선이 배치된 변이 교차하는 끝에 배치되어 있는 일렉트로 루미네센스 표시 장치.

청구항 28

화소가 매트릭스 배치된 표시부를 표시 패널에 갖는 일렉트로 루미네센스 표시 장치로서,

외부 접속 단자는 상기 표시 패널의 하나의 측변을 따라 배열되며, 수직 주사 구동 회로는 상기 표시 패널의, 상기 외부 접속 단자가 배열된 측변에 대향하는 측변에 배치되어 있는 일렉트로 루미네센스 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

- <23> [특허 문헌 1] 일본 특개 2001-102169호 공보
- <24> [특허 문헌 2] 일본 특개 2004-4797호 공보

발명이 속하는 기술 및 그 분야의 종래기술

- <25> 본 발명은, 매트릭스 배치된 각 화소의 각 표시 소자로서, 일렉트로루미네센스 소자(이하 EL 소자라고 기재함)를 이용한 표시 패널의 레이아웃에 관한 것이다.
- <26> 각 화소의 표시 소자로서, EL 소자, 특히 전류 구동형의 발광 소자인 유기 EL 소자가 이용된 표시 장치가 알려져 있다. 또한, EL 표시 장치 내, 각 화소에 설치된 유기 EL 소자를 화소마다에 개별로 구동하기 위한 트랜지스터(박막 트랜지스터: TFT)를 각 화소에 구비하는 소위 액티브 매트릭스형의 표시 장치의 개발이 진행되고 있다.
- <27> 도 1은, 액티브 매트릭스형 표시 장치의 1화소에 대응한 등가 회로의 일례를 나타내고 있다. 표시 장치의 수평 주사 방향(행 방향)으로 게이트 라인 GL이, 또한 수직 주사 방향(열 방향)으로는 데이터 라인 DL 및 전원 라인 PL이 설치되어 있다. 각 화소는, n 채널형 박막 트랜지스터로 이루어지는 선택 트랜지스터 Ts, 축적 용량 Cs, p 채널의 소자 구동 트랜지스터 Td, 유기 EL 소자(55)를 갖는다. 선택 트랜지스터 Ts는, 그 드레인이 수직 주사 방향으로 배열한 각 화소에 대해서 데이터 전압을 공급하는 공통의 데이터 라인 DL에 접속되고, 그 게이트는 수평 주사 방향으로 배열한 화소를 선택하는 게이트 라인 GL에 접속되며, 또한 소스는, 소자 구동 트랜지스터 Td의 게이트에 접속되어 있다.
- <28> 또한, 소자 구동 트랜지스터 Td는, p 채널형 박막 트랜지스터로서, 그 소스가 전원 라인 PL에 접속되며, 드레인은 유기 EL 소자(55)의 애노드에 접속되어 있다. 또한, 이 유기 EL 소자(55)의 캐소드는, 각 화소 공통으로 형성되며, 캐소드 전원 CV에 접속되어 있다. 또한, 소자 구동 트랜지스터 Td의 게이트 및 선택 트랜지스터 Ts의 소스와는 사이에는, 축적 용량 Cs의 한쪽의 전극이 접속되며, 그 축적 용량 Cs의 다른 쪽의 전극은, 예를 들면 그라운드나, 전원 라인 등의 일정 전압의 전원에 접속되어 있다.
- <29> 이와 같은 회로에서, 게이트 라인 GL이 H 레벨로 되면, 선택 트랜지스터 Ts가 온으로 되어 데이터 라인 DL의 데이터 전압이, 선택 트랜지스터 Ts를 통하여 소자 구동 트랜지스터 Td의 게이트에 공급되고, 소자 구동 트랜지스터 Td가, 그 게이트 전압에 따른 구동 전류를 전원 라인 PL로부터 유기 EL 소자(55)에 공급하고, 이 구동 전류에 따른 휘도로 유기 EL 소자(55)가 발광한다. 또한, 앞의 데이터 라인 DL의 데이터 전압은, 소자 구동 트랜지스터 Td에 공급됨과 함께 축적 용량 Cs에도 공급되어, 축적 용량 Cs에 데이터 전압에 따른 전압이 유지된다. 따라서, 게이트 라인 GL이 L 레벨로 되어도, 축적 용량 Cs의 유지된 전압이 소자 구동 트랜지스터 Td에 인가되기 때문에 트랜지스터 Td가 구동 전류를 계속 흘리어, 유기 EL 소자(55)는, 이 구동 전류에 따른 휘도로 발광이 유지된다.
- <30> 도 2는 특허 문헌 1에 개시된 소위 드라이버 내장형의 액티브 매트릭스형 유기 EL 표시 장치에 이용되는 패널(100)의 평면적인 개략 구성을 나타내는 개념도이다. 이 도면에서, 가장 외측에 있는 실선은 투명한 패널 기판(102)을 나타내고, 그 중앙 약간 상측에, 선술한 화소가 매트릭스 형상으로 배치된 파선으로 나타내는 표시 영역(104)이 위치하고 있다. 표시 영역(104)의 상측의 변을 따라 데이터 라인 DL과 접속되는 수평 주사 구동 회로(이하, H계 드라이버라고 기재함)(106)가 형성되며, 또한 표시 영역(104)의 좌우의 변을 따라 게이트 라인 GL에 접속되는 수직 주사 구동 회로(이하, V계 드라이버라고 기재함)(108)가 형성되어 있다. 이들 드라이버(106, 108)는, 각 화소마다 설치된 박막 트랜지스터와 동시에 만들어 넣어진 박막 트랜지스터 등으로 구성되어 있다.
- <31> 표시 영역(104) 내에서 수직 방향으로 연장되는 굵은 실선은, 전원 라인 PL을 나타내고 있다. 개개의 전원 라인 PL은, 표시 영역(104)의 하측의 변을 따라 연장되는 수평 방향의 광폭부(110)에 연결되고, 전체적으로 빗살 형상으로 되어 있다. 광폭부(110)는 또한, 그 중앙 부근에서, 수직 방향으로 연장되는 다른 하나의 광폭부(112)에 연결되어 있다. 또한, 이 광폭부(112)는, 유기 EL 표시 패널(100)의 하변에 배치되는 구동 전원 입력 단자 T1에 연결되어 있다.
- <32> 유기 EL 표시 패널(100)의 하변에는, 단자 T1 외에, 캐소드 단자 T2, V계 드라이버(108)에 연결되는 단자 T3, H계 드라이버(106)에 연결되는 단자 T4의 복수의 단자가 배치된다.

- <33> H계 드라이버(106)에 전력을 공급하는 배선은, 표시 패널(100)의 하변의 단자 T4로부터, 표시 영역(104)의 하변, 우변, 상변을 따라 연장되며, 상변의 거의 좌단에 도달한다. 또한, 좌변에 배치되는 V계 드라이버(108)에 전력을 공급하는 배선은, 단자 T3으로부터 하변 및 좌변을 따라 연장되며, 좌변의 상단에 도달한다. 우변에 배치되는 V계 드라이버(108)에 전력을 공급하는 배선은, 단자 T3으로부터 하변 및 우변을 따라 연장되며, 우변의 상단에 도달한다. 또한, 도면에서, H계 드라이버, V계 드라이버로서 나타내는 장방형의 영역에는, 실제로는, TFT에 의해 구성되는 시프트 레지스터 등이 설치되어 있고, 이들 회로 소자를 구동하기 위해서 전원 배선은, 드라이버의 종단 부분까지 연장되어 있다.
- <34> 또한, 특허 문헌 2에는, 외부 접속 단자를 하변에, H계 드라이버를 상변에, V계 드라이버를 좌변에 배치한 표시 장치가 개시되어 있다. 해당 문헌의 도 7에 도시되어 있는 바와 같이, 드라이버의 전원 배선의 고압측 전원 배선(Vdd)은, 하변으로부터 우변으로 돌아가, 상변의 H계 드라이버에 고압측 전원을 공급하고, 또한 H계 드라이버로부터, 우변에 형성된 V계 드라이버에 도달하고 있다. 저압측 전원 배선(Vee)은, 하변으로부터 좌변으로 돌아가 V계 드라이버에 저압측 전원을 공급하고, 또한 V계 드라이버로부터, 상변의 H계 드라이버에 도달하고 있다. 이와 같이, 2개의 전원 배선은, 서로 반대 방향으로 배치되며, H계, V계 드라이버가 배치되어 있지 않은 변에는, 어느 한쪽의 배선밖에 배치되지 않는다. 이것에 의해 배선을 배치하기 위한 스페이스를 삭감할 수 있다.
- <35> 특허 문헌 1의 장치에서, H계 드라이버 및 V계 드라이버에 전력을 공급하기 위한 배선은, 표시 장치의 4변에 배치되어 있다. 하변에서는, 이 드라이버에 관한 배선과, 전원 라인 PL에 연결되는 광폭부(110)가 배치되고, 또한, 캐소드 단자로부터 EL 소자의 공통 캐소드 전극에 연결되는 콘택트 영역도 배치되어 있다. 이 때문에, 외부 접속 단자가 형성되어 있는 변에서, 표시 영역(104)과 패널 기관(102) 사이의 부분, 소위 액연 부분의 폭을 좁히는 것이 곤란하다. 또한, 하변의 액연의 폭이 다른 변과 비교하여 커서, 이와 같은 표시 패널을, 다양한 기기의 표시 장치로서 조립할 때, 레이아웃 상의 제약을 받는다.
- <36> V계 드라이버(108)를 좌우로 배치하는 것은 아니고, 한쪽에 배치하는 장치의 예도 알려져 있지만, 그 경우에도, 하변의 일부에 전력을 공급하기 위한 배선을 배치할 필요가 있어, 액연폭의 삭감으로는 이어지지 않는다.
- <37> 또한, 특허 문헌 2의 장치와 같이, 2개의 전원 배선을 한쪽은 오른쪽 방향으로, 다른쪽은 왼쪽 방향으로 배치함으로써, 일부, 배선을 위한 스페이스를 삭감할 수 있지만, 배선 자체가 길어진다. 특히, 특허 문헌 2에 기재된 구성에서는, H계 드라이버가 고속 동작이 요구되기 때문에, 고압측 전원을 공급하는 전원 배선 Vdd는, 전술한 바와 같이 외부 접속 단자로부터, 우선 H계 드라이버로 향하여, 거기에서 또한 V계 드라이버로 연장된다. 즉 전원 배선 Vdd는, 패널의 하변으로부터 우변, 상변, 또한 좌변의 순서로 연장되게 된다. 저압측의 전원 배선 Vss와 비교하여도 패널의 4변을 주회하는 전원 배선 Vdd의 토탈의 배선 거리는 길어진다. 이와 같이 배선의 길어지면, 전압 강하의 발생이나, 소비 전력의 증가 등을 고려할 필요가 발생한다.

발명이 이루고자 하는 기술적 과제

- <38> 본 발명은, 배선의 레이아웃을 적정화하여 배선 효율을 높이고, 아울러서 협연화나, 액연 폭의 균일화 등을 실현한다.
- <39> 본 발명은, 일렉트로루미네센스 표시 장치로서, 화소가 매트릭스 배치된 표시부와, 상기 표시부의 주변에 형성되며, 상기 화소를 구동하기 위한, 수평 주사 방향 구동 회로 및 수직 주사 방향 구동 회로를 갖는 표시 패널을 구비하고, 상기 표시 패널의 제1 변에 외부 접속 단자가 배치되며, 상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로 중의 한쪽이, 상기 제1 변에 대향하는 제2 변에 배치되며, 다른쪽이 제1 변과 제2 변을 연결하는 2개의 변의 하나인 제3 변에 배치되며, 상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로의 전원 배선은, 상기 제1 변, 제2 변 및 제3 변 이외의 한변을 통하지 않고, 상기 외부 접속 단자로부터 대응하는 상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로의 형성 영역에 배선되어 있다.
- <40> 본 발명의 다른 양태에서는, 수직 주사 구동 회로를 제2 변에 배치할 수 있다.
- <41> 본 발명의 다른 양태에서는, 수평 주사 구동 회로의 전원 배선과 수직 주사 구동 회로의 전원 배선을 공통의 외부 접속 단자에 접속할 수 있다.
- <42> 본 발명의 다른 양태에서는, 수평 주사 구동 회로의 전원 배선 및 수직 주사 구동 회로의 전원 배선을 직렬로 연결할 수 있다.
- <43> 또한 본 발명의 다른 양태에서는, 하나의 외부 접속 단자로부터 연장되는 전원 배선으로부터, 수평 주사 구동

회로의 전원 배선 및 수직 주사 구동 회로의 전원 배선을, 도중에 분기하여 각각의 구동 회로에 접속한다.

- <44> 본 발명의 다른 양태에서는, 수평 주사 구동 회로의 전원 배선과 수직 주사 구동 회로의 전원 배선을 직렬로 연결한 경우에, 외부 접속 단자로부터의 배선 거리가 긴 전원 배선의 폭을 짧은 전원 배선의 폭보다 좁게 한다.
- <45> 또한, 본 발명의 다른 양태에서는, 수평 주사 구동 회로의 전원 배선 및 수직 주사 구동 회로의 전원 배선을 직렬로 연결한 경우에, 상기 수평 주사 구동 회로의 전원 배선 및 상기 수직 주사 구동 회로의 전원 배선은, 고압측 전원 배선과 저압측 전원 배선을 갖고, 그 고압측 및 저압측 배선 중 적어도 한쪽은, 복수개 설치되며, 그 복수개의 배선은, 상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로 중, 적어도 상기 외부 접속 단자로부터의 전원 배선 거리가 짧은 쪽의 구동 회로의 종단 영역에서, 상기 전원 배선 재료와는 상이한 도전층으로 이루어지는 바이패스 배선에 의해 서로 전기적으로 접속된다.
- <46> 또한, 수평 주사 구동 회로 및 수직 주사 구동 회로의 신호 배선은, 상기 제1 변, 제2 변 및 제3 변 이외의 한 변을 통하는 일 없이, 상기 외부 접속 단자로부터 대응하는 상기 수평 주사 구동 회로 및 상기 수직 주사 구동 회로의 형성 영역에 배선한다.
- <47> 또한, 본 발명의 다른 양태에서는, 상기 제1 변, 즉 외부 접속 단자가 배치되는 변을, 해당 표시 패널의 수직 주사 방향을 따른 변으로 한다.
- <48> 또한, 본 발명의 다른 양태에서는, 상기 제3 변은, 해당 표시 패널의 수평 주사 방향을 따른 변으로서, 또한 각 화소의 일렉트로루미네센스 소자에 그 구동 전력을 공급하는 구동 전력 배선의 공통 배선이 배치된 변의 대향변이다.
- <49> 또한, 본 발명의 다른 양태에서는, 화소가 매트릭스 배치된 표시부와, 상기 표시부의 주변에 형성되며, 상기 화소를 구동하기 위한, 수평 주사 방향 구동 회로 및 수직 주사 방향 구동 회로를 갖는 일렉트로루미네센스 표시 소자로서, 해당 표시 패널 장치의 제1 변에 외부 접속 단자를 배치하고, 그 제1 변에 대향하는 제2 변에 수직 주사 구동 회로를 배치한다.
- <50> 본 발명의 다른 양태에서는, 상기 제1 변에는, 또한 각 화소의 일렉트로루미네센스 소자의 공통 전극과, 그 공통 전극에 대응하는 외부 접속 단자로부터 인출되는 공통 전극 배선과의 컨택트 영역이 배치되어 있다.
- <51> 본 발명의 다른 양태에서는, 화소가 매트릭스 배치된 표시부를 표시 패널에 갖는 일렉트로루미네센스 표시 장치로서, 외부 접속 단자가, 해당 표시 패널의 수직 주사 방향을 따른 측변에 배열되며, 상기 외부 접속 단자는, 수평 주사 구동 회로용의 단자, 캐소드 전원용의 단자, 화소 구동 전원용의 단자를 포함하고, 이들 단자의 배열 순은, 상기 표시 패널의 수직 주사 방향을 따라 상측으로부터 순서대로, 수평 주사 구동 회로용의 단자, 캐소드 전원용의 단자, 화소 구동 전원용의 단자의 순서이다.
- <52> 본 발명의 다른 양태에 따른 일렉트로루미네센스 표시 장치는, 화소가 매트릭스 배치된 표시부를 표시 패널에 갖는 일렉트로루미네센스 표시 장치로서, 외부 접속 단자는, 상기 표시 패널의 수직 주사 방향을 따른 측변에 배열되며, 상기 외부 접속 단자 중, 화소 구동 전원용의 단자가, 상기 표시부의 상기 수직 주사 방향에서의 중심 위치보다 아래에 배치된다.
- <53> 본 발명의 다른 양태에 따른 일렉트로루미네센스 표시 장치는, 화소가 매트릭스 배치된 표시부를 표시 패널에 갖는 일렉트로루미네센스 표시 장치로서, 외부 접속 단자는 상기 표시 패널의 하나의 측변을 따라 배열되며, 수직 주사 구동 회로는 상기 표시 패널의, 상기 외부 접속 단자가 배열된 측변에 대향하는 측변에 배치되어 있다.
- <54> 패널 위에 표시부와 함께 내장된 수평 주사 구동 회로 및 수직 주사 구동 회로에의 전력 공급을, 패널의 수직 주사 방향을 따른 변에 형성한 외부 접속 단자에 의해 실행하고, 그리고 최소한의 외부 접속 단자수 및 전원 배선수에 의해 실현하는 것이 가능하다. 이에 의해, 패널의 협연화, 소비 전력의 저감 등이 용이해진다.
- <55> 또한, 수평 주사 구동 회로의 전원 배선과 수직 주사 구동 회로의 전원 배선을 공통의 외부 접속 단자를 이용하고, 또한 2개의 구동 회로의 전원 배선을 공용화하여 직렬 접속하면 더욱 배선수를 삭감할 수 있다. 또한 이와 같은 경우에, 외부 접속 단자에의 배선 거리가 짧은 쪽의 구동 회로, 동작 속도가 먼 쪽의 구동 회로의 전원 배선폭을 두텁게 함으로써, 배선 거리가 먼 쪽에 설치되어 전원 배선을 공용하는 구동 회로에 대해서도 전압 저하 없이 확실하게 전원 공급을 하는 것이 용이해진다.

- <56> 또한, 직렬로 배치하는 경우, 고압측과 저압측의 전원 배선 중 적어도 한쪽의 배선을 복수개로 하는 것에 의해서도, 배선 거리가 긴 쪽의 구동 회로에 대해서도 확실하게 전원 공급할 수 있다. 또한, 이 복수의 전원 배선을 서로 접속하면 배선 저항을 보다 저하시키는 것이 용이해진다.
- <57> 또한, 수평 주사 구동 회로의 전원 배선과 수직 주사 구동 회로의 전원 배선을 공통의 외부 접속 단자에 접속하고, 도중에 분기하여 한쪽을 수평 주사 구동 회로에, 다른쪽을 수직 주사 구동 회로에 접속함으로써 분기하기까지의 배선, 단자수를 삭감할 수 있다. 또한 분기시킴으로써, 한쪽의 구동 회로에서의 전압 강하의 영향을 다른 쪽의 구동 회로에서 받기 어렵게 할 수 있다.
- <58> 또한, 외부 접속 단자가 설치되는 제1 변에 대향하는 제2 변에, 수직 주사 구동 회로를 설치함으로써, 이 수직 주사 구동 회로에 접하는 제3 변에 수평 주사 구동 회로를 배치할 수 있다. 이에 의해, 각 구동 회로에의 배선 거리를 최단으로 하는 것이 용이해진다. 또한, 수평 주사 방향 구동 회로가 배치되는 제3 변에 대향하는 제4 변에는 구동 회로에의 전원 배선 등을 설치할 필요가 없으며, 이 제4 변에, 일렉트로루미네센스 소자에 그 구동 전력을 공급하기 위한 구동 배선부를 넓게 형성할 수 있어, 구동 배선부에서의 전압 강하에 의한 일렉트로루미네센스 소자의 발광 휘도의 디스플레이면 내에서의 변동 등을 확실하게 저감할 수 있다.
- <59> 또한, 제1 변에는, 구동 회로나, 상기 일렉트로루미네센스 소자의 구동 배선부를 배치하지 않아도 되기 때문에, 여기에 각 화소의 일렉트로루미네센스 소자의 공통 전극과, 그 공통 전극에 대응하는 외부 접속 단자로부터 인출된 공통 전극 배선과의 커넥트 영역을 배치할 수 있으며, 이 커넥트 영역을 가능한 한 크게 하여 배선 저항을 저감하는 것도 용이해진다.
- <60> 외부 접속 단자 중, 수평 주사계 배선용 단자, 캐소드 전원용 단자, 화소 구동용 전원용 단자를, 이 순서로 상방으로부터 배열함으로써, 종래의 레이아웃을 크게 변경하는 일 없이, 배선을 짧은 것으로 할 수 있다. 배선을 짧은 것으로 함으로써, 이 부분의 전력 손실을 억제할 수 있다.
- <61> 또한, 화소 구동 전원용의 단자를, 표시 장치의 표시 영역의 수평 방향으로 연장하는 중심선보다 아래에 배치함으로써, 구동 전류가 흐르는 배선을 짧게 할 수 있어, 배선 저항 등의 배선 부하를 저감할 수 있다. 이에 의해, 이 부분의 전력 손실을 억제할 수 있다.
- <62> 또한, 해당 표시 장치의 수직 주사 구동 회로를, 외부 접속 단자가 설치된 측면에 대향하는 측면에 인접하여 배치함으로써, 유기 EL 소자를 표시 영역의 주위에서 밀봉하기 위한 영역을 유효하게 이용할 수 있다. 즉, 이 밀봉을 위한 영역 아래에, 수직 주사 구동 회로를 배치하여 스페이스의 유효 이용이 도모된다. 이에 의해, 표시 영역과 패널 기관의 가장자리와의 사이의, 소위 액연 부분의 폭을 좁게 하는 것에 유리해짐과 함께, 이 부분의 폭을 일정 또는 가까운 것으로 하고, 패널 기관과 표시 영역의 원점의 어긋남을 적게 함으로써, 또한 패널 기관의 외형을 적게 하는 것으로 유효해진다.

발명의 구성 및 작용

- <63> 이하, 본 발명의 실시 형태를, 도면에 따라서 설명한다. 도 3은, 본 실시 형태의 EL 표시 패널(10)의 개략 배치를 도시하는 도면이다. 패널 기관(12) 상의 표시 영역(표시부)(14)에는, 복수의 화소가 매트릭스 형상으로 배치되어 있다. 이 표시 영역(14)에는, 매트릭스의 수평 주사(행) 방향에는, 순차적으로 선택 신호가 출력되는 게이트 라인(16)(GL)이 형성되고, 수직 주사(열) 방향에는, 데이터 신호가 출력되는 데이터 라인(18)(DL)과, 피구동 소자인 유기 EL 소자에 동작 전원(PVDD)을 공급하기 위한 전원 라인(20)(PL)이 형성되어 있다.
- <64> 각 화소는, 대략 이들 라인에 의해 규정된 영역에 설치되어 있으며, 각 화소는 회로 구성으로서, 피구동 소자로서 유기 EL 소자, n 채널형 박막 트랜지스터로 구성된 선택 트랜지스터 Tr1, 축적 용량 Cs, p 채널형 박막 트랜지스터로 구성된 소자 구동 트랜지스터 Tr2를 갖는다. 선택 트랜지스터 Tr1은, 그 드레인이 수직 주사 방향으로 배열하는 각 화소에 데이터 전압을 공급하는 데이터 라인(18)에 접속되며, 게이트가 1 수평 주사 라인 상에 배열하는 화소를 선택하기 위한 게이트 라인(16)에 접속되고, 또한 그 소스가 소자 구동 트랜지스터 Tr2의 게이트에 접속된다. 소자 구동 트랜지스터 Tr2는, 그 소스가 전원 라인(20)에 접속되며, 드레인이 유기 EL 소자(55)의 애노드에 접속되어 있다. 또한, 유기 EL 소자(55)의 캐노드는, 각 화소 공통으로 형성되어 있으며, 캐소드 전원 CV에 접속되어 있다. 또한, 소자 구동 트랜지스터 Tr2의 게이트 및 선택 트랜지스터 Tr1의 소스에는, 축적 용량 Cs의 하나의 전극이 접속되며, 다른 한쪽의 전극은 일정 전위에, 예를 들면 전원 라인(20)에 접속되어 있다.
- <65> 또한, 상기 선택 트랜지스터 Tr1 및 소자 구동 트랜지스터 Tr2는, 예를 들면 모두 능동층에, 레이저 어닐링 등

에 의해 다결정화된 다결정 실리콘 등, 결정성의 실리콘을 이용할 수 있으며, 또한 불순물로서 각각 n 도전형과, p 도전형이 도핑된 n 채널형, p 채널형의 박막 트랜지스터를 채용할 수 있다.

<66> 화소 회로의 트랜지스터로서, 상기한 바와 같이 결정성 실리콘을 능동층에 이용한 박막 트랜지스터를 채용한 경우, 이 결정성 실리콘 박막 트랜지스터는, 각 화소 회로뿐만 아니라, 각 화소를 순차적으로 선택, 제어하기 위한 주변 구동 회로의 회로 소자로서도 이용할 수 있다. 따라서, 본 실시 형태의 유기 EL 표시 패널(10)에서는, 패널 기관(12) 상에, 전술한 화소 회로용 트랜지스터의 제조와 동시에, 화소 회로와 마찬가지로의 결정성 실리콘 박막 트랜지스터를 형성하여, 주변 구동 회로, 구체적으로는 H계 드라이버(22)와 V계 드라이버(24)를 표시 영역(14)의 주변부에 내장하고 있다. 도 3에 도시된 바와 같이, H계 드라이버(22)는, 표시 영역(14)의 상변에 인접하여 수평 주사 방향을 따라 형성되며, V계 드라이버(24)는, 도 3의 예에서는, 표시 영역(14)의 우변에 인접하고, 수직 주사 방향을 따라 형성되어 있다.

<67> 또한, 상기 H계 드라이버(22)의 형성면과 대향하는 표시 영역(14)의 하변에 인접하는 영역(26)에는, 각 화소의 EL 소자에 각 전원 라인 PL을 통하여 구동 전류(PVDD)를 공급하는 구동 전류 배선(공통 배선)(27)(도 4 참조)이, 수평 주사 방향을 따라 복수의 전원 라인 PL에 대하여 공통으로 형성되어 있다. 패널(10)에, 외부로부터 각종 전원이나, V계, H계의 제어 신호나 데이터 신호를 공급하기 위한 접속 단자(외부 접속 단자)(36)는, 패널 기관(12)의 제1 변으로서 우변에, 수직 주사 방향을 따라 복수 형성되며, 이 외부 접속 단자(36)에는 플렉시블 프린티드 서킷(이하, FPC라고 기재함)(28)이 접속된다. 따라서, 상기 V계 드라이버(24)는, 이 외부 접속 단자(36)가 배치된 표시 패널의 1변에 대하여, 사이에 표시 영역(14)을 끼워서 대향하는 변에 배치되어 있는 것으로 된다. 또한, 외부 접속 단자(36)가 배치된 표시 패널의 1변과, 이에 대향하는 1변을 연결하는 2변 중 하나(도면에서는 상변)에 H계 드라이버(22)가 배치되어 있다. 또한, 도 3에 명시되어 있듯이, FPC(28)와 외부 접속 단자와의 접속 위치(외부 접속 단자의 설치 위치)는 표시 패널의 수직 주사 방향의 중앙보다 하측에 배치되어 있다.

<68> 외부 접속 단자(36)로부터, H계, V계 드라이버(22, 24)에의 배선이나, 구동 전류 공통 배선(27)에의 배선은, 외부 접속 단자가 형성된 패널 기관(12)의 좌변과 표시 영역(14)의 좌변 사이를 연장하여 형성되어 있다. 또한, 이들 배선과 마찬가지로, 패널 기관(12)의 좌변에는, H계 레벨 시프터(H계 LS)(30)(도 4 참조)가 배치되며, 이 H계 LS(30)는, H계에 공급되는 수평 클럭 신호 SKH1, 2, 수평 스타트 신호 STH, H계 드라이버의 최종단 동작 완료나 시프트 방향 등을 지시하는 Hout 등 중, 필요한 신호에 대하여 이것을 H계 드라이버(22)의 동작에 적합한 진폭으로 하기 위해, 그 고압측 및 저압측의 양쪽 또는 한쪽의 전압 레벨을 시프트한다. 또한, 표시 영역(14)의 우측 위 코너(V계 드라이버(24)에의 신호 입력측)에는, V계 레벨 시프터(V계 LS)(32)가 설치되어 있다. 도 4의 예에서는, 이 V계 LS(32)는, 표시 영역(14)의 각 화소에 행마다 출력하는 선택 신호의 L 레벨을 충분히 낮게 할 목적으로, 이 선택 신호를 작성하여 출력하는 V계 드라이버(24)에 대하여, 저압측 전원 전압 VSS를 이보다 낮은 전원 전압 VEE로 시프트하여 공급하고 있다. 또한, 제1 변에는, 또한 각 화소의 EL 소자(55)의 공통 전극(여기에서는 캐소드)과, 그 공통 전극에 대응하는 외부 접속 단자로부터 인출된 공통 전극 배선(64)과의 콘택트 영역(접점)(34)이, 표시 영역(14)의 좌변의 옆에 수직 주사 방향을 따라 배치되어 있다.

<69> 도 4는, FPC(28)와 접속하는 외부 접속 단자(36)로부터, H계 드라이버(22), V계 드라이버(24), 구동 전류 공통 배선(27) 및 캐소드 전원용 접점(34)에 도달하는 배선의 주회의를 나타내는 도면이다. 패널 기관(12) 상에 접속되는 외부 접속 단자(36)는, 수직 주사 방향에서 상측으로부터 순서대로 V계 단자(38), H계 단자(40), CV 단자(42), 구동 전원(PVDD) 단자(44)가 배열되어 있다. V계 단자(38)는, V계 드라이버(24)용의 수직 주사계 배선(60, 61)에 접속되며, H계 단자(40)는, H계 드라이버(22)용의 수평 주사계 배선(62, 63)용으로 접속되고, CV 단자(42)는, EL 소자의 각 화소 공통의 캐소드(음극)(46)와 캐소드 전원을 접속하는 공통 전극 배선(64)에 접속되며, PVDD 단자(44)는, 각 화소의 EL 단자에 구동 전류를 공급하기 위한 구동 전류 공통 배선(27)에 접속되어 있다. 외부 접속 단자(36)가 배열된 좌변과 반대측인 우변에 배치된 V계 드라이버(24)에 관련하는 배선(60, 61)은, 상변의 H계 드라이버(22)의 외측을 돌도록 배치된다.

<70> 수직 주사 배선(60, 61) 중, 2개의 배선(61)은 V계 드라이버(24)의 전원 배선이며(이하, V계 전원 배선(61)이라고 기재함), 한쪽은 고압측 전원 배선 VDD, 다른쪽은 저압측 전원 배선 VSS이다. 또한, 수평 주사계 배선(62, 63) 중, 2개의 배선(63)은 H계 드라이버(22)의 전원 배선이며(이하, H계 전원 배선(63)이라고 기재함), V계와 마찬가지로 한쪽은 고압측 전원 배선 VDD, 다른쪽은 저압측 전원 배선 VSS이다. V계 전원 배선(61)은, 외부 접속 단자(36)가 배치된 좌변을 수직 주사 방향의 위를 향하여 연장하고, 상변에 도달 후, 이 상변을 수평 주사 방향의 우측을 향하여 연장하고, 좌변에 도달 후, 또한 우변을 수직 주사 방향의 하방을 향하여 연장한다. 또한, 도면 중 장방향으로 나타난 V계 드라이버(24)는, 실제로는 이 장방향의 영역에, 화소를 행마다 구동하기 위

한 선택 신호를 게이트 라인 GL에 출력하기 위한 시프트 레지스터 등이나 선택 신호 출력 회로 등을 구성하는 회로 소자가 배열되어 있다. 그리고, 상기 V계 전원 배선(51)은 이들 각 회로 소자에 전력을 공급하기 위해서, 도시되는 장방형의 영역 내를 통하여 설치되어 있다.

<71> H계 전원 배선(63)은, 외부 접속 단자(36)가 배치된 좌변으로부터, 수직 주사 방향의 상방을 향하여 연장하고, H계 드라이버(22)의 형성 영역 부근에서 수평 주사 방향으로 굽어지고, 그 우측을 향하여 연장된다. 도면 중 장방형으로 나타낸 H계 드라이버(22)는, 표시 영역(14)에서 열 방향으로 연장하여 대응하는 화소에 접속된 데이터 라인 DL에 대하여, 예를 들면 R, G, B, W마다의 비디오 신호 Vd를 소정 타이밍에서 출력하기 위한 시프트 레지스터, 비디오 신호 출력 회로 등을 구성하는 회로 소자가 배열되어 있다. 그리고, H계 전원 배선(63)은, 개개의 회로 소자에 전력을 공급하기 위해, 도시되는 장방형의 영역 내를 통하여 설치되어 있다.

<72> 이 실시 형태에서, V계, H계 전원 배선(61, 63)은, 표시 패널(10)의 좌변과 우변과 상변을 따라 설치되며, 하변에는 설치되어 있지 않다. 하변에는 구동 전류 공통 배선(27)만이 설치되며, 이에 의해 구동 전류 공통 배선(27)의 폭을 충분히 확보하여도, 상하의 액연의 폭을 근사한 것으로 할 수 있다. 유기 EL 표시 장치에서는, EL 소자에 흐르는 전류에 따라서, 그 화소의 휘도가 결정되기 때문에, EL 소자에 전력을 공급하는 구동 전류 공통 배선(27)의 배선 부하가, 표시 품질에 영향을 준다. 휘도를 확보하고, 또한 소비 전력을 억제하기 위해서는, 구동 전류 공통 배선(27)의 배선 부하, 특히 배선 저항은 낮은 것이 요망되며, 배선(27)의 폭을 넓게 취할 수 있는 본 실시 형태의 레이아웃에 적합하다.

<73> 또한, 본 실시 형태에서는, 외부 접속 단자(36) 중, V계 단자(38)를 단자군 중에서 수직 주사 방향을 따라 화면의 상측에 배치함으로써, 대변에 있는 V계 드라이버(24)까지의 배선의 길이를 짧게 할 수 있으며, 또한, 다른 배선, 특히 H계 드라이버(22)에의 배선과의 교차를 회피할 수 있다.

<74> H계 단자(40)는, V계 단자(38)의 다음, 즉 V계 단자(38)의 화면의 중앙측의 옆에 배치하고 있다. 이와 같이 배치함으로써, 표시 패널의 상변에 배치된 H계 드라이버(22)에 대한 H계 단자(40)로부터의 배선을 짧게 할 수 있다.

<75> 또한, 본 실시 형태에서, 화소 구동 전원, 즉 EL 소자의 구동 전원용 PVDD 단자(44)는, 단자군 중에서 수직 주사 방향을 따라 화면의 가장 하측에 배치되어 있다. 이에 의해, 표시 패널의 하변에 배치된 구동 전류 배선(27)까지의 배선(66)의 길이를 짧게 할 수 있다. 배선(27, 66)에서는, 구동 전류가 흐르기 때문에 배선 길이가 길면 배선 저항에 의한 전압 강하가 발생하기 쉽다. 이와 같은 전압 강하는, 각 화소의 EL 소자에 공급 가능한 전류량을 저하시켜, 패널의 휘도의 저하로 이어진다. 휘도의 저하는, 표시 품질의 저하로 이어진다. 또한, 휘도를 확보하고자 하면, 소비 전력이 증가한다. 이와 같이, 구동 전류가 흐르는 배선(27, 66)에서의 전압 강하는, 극력 억제하는 것이 바람직하다. PVDD 단자(44)를 단자군 중에서 가장 아래, 즉 단자군 중, 가장 구동 전류 배선(66)의 가까이에 배치함으로써, 특히 배선(66)의 길이를 짧게 하여, 전압 강하를 억제할 수 있다. 또한, PVDD 단자(44)가, 단자군의 가장 아래에 위치할 뿐만 아니라, 표시 영역(14)에 대하여 되도록 아래에, 즉 하변에 되도록이면 가깝게 위치하는 것이 바람직하다. 그 때문에, PVDD 단자(44)는, 표시 영역(14)의 수직 주사 방향에서의 중심 위치(도 3의 수평 방향으로 연장하는 중심선(50) 참조)보다 아래에 위치하는 것이 바람직하다. 또한, 외부 접속 단자(36)의 군의 중심선(48)(도 3 참조)이, 표시 영역의 중심선(50)보다 아래에 위치하도록 레이아웃하는 것이 바람직하다. 구동 전류가 흐르는 배선(27, 66)에서의 전압 강하는, 표시 품질의 저하에 미치는 영향이 크기 때문에, H계, V계 드라이버(22, 24)의 배선의 길이가 다소 늘어났다고 하여도, 구동 전류를 흘리는 배선(66)의 길이를 단축하는 것이 바람직하며, 그를 위해서는, 전술한 바와 같이 외부 접속 단자군을 표시 패널의 제1 변의 가능한 한 하방측에 배치하는 것이 바람직하다. 또한, CV 단자(42)는, H계 단자(40)와 PVDD 단자(44) 사이에 설치되어 있다.

<76> 생각을 바꾸면, 외부 접속 단자(36)에 가장 가까운 변인 좌변에 배치되는 캐소드 전원용 접점(34)에 외부 캐소드 전원을 접속하기 위한 CV 단자(42)가, 내측에 배치되며, 그 양측에, 상변에 배치되는 H계 드라이버(22)용 H계 단자(40)와, 하변에 구동 전류 배선(27)용 PVDD 단자(44)가 배치된다. 또한, 그 외측으로서, 외부 접속 단자(36)가 배치된 좌변에 대향하는 변, 즉 좌변으로부터 가장 먼 변인 우변에 배치된 V계 드라이버(24)용의 V계 단자(38)가 배치된다. 구동 전류 배선(27)은, 배선 부하를 작게하기 위해, 되도록 넓은 폭을 확보한다고 하는 요망이 있으며, V계 드라이버(24)에의 배선은 상변에 배치하는 것이 바람직하다. 이를 위해, V계 단자(38)는, H계 단자(40)와 PVDD 단자(44) 중, H계 단자(40)의 외측, 즉 표시 영역(14)의 보다 상방측에 배치된다.

<77> 도 5는, 도 4의 I-I선에서의 단면도로, CV 단자(42)로부터 캐소드(음극)(46)에 이르는 배선(64) 주변의 단면을 도시하는 도면이다.

- <78> 글래스 또는 플라스틱 등의 투명 재료로 이루어지는 패널 기판(12) 상에는, 예를 들면 실리콘 질화(SiN)막과, 실리콘 산화(SiO₂)막이 기판측으로부터 이 순서로 형성된 다층 구조의 버퍼층(82)이 화학 기상 성장법(CVD) 등에 의해 형성되어 있다. 버퍼층(82) 상에는, CVD 등에 의해 성막한 비정질(아몰퍼스) 실리콘을 레이저 어닐링 등의 처리를 행함으로써 얻은 다결정 실리콘 등의 결정성 실리콘층이 형성된다. 이 결정성 실리콘층은 원하는 형상으로 패터닝되며, 박막 트랜지스터(TFT)의 능동층(84)이나, 필요에 따라 전극이나 배선의 일부로서 이용된다.
- <79> 결정성 실리콘층의 패터닝 후에, 이 결정성 실리콘층을 포함하는 기판의 전체면을 피복하도록 게이트 절연층(86)을 성막한다. 게이트 절연층(86)을, 예를 들면 결정성 실리콘층측으로부터 SiO₂막과 SiN막이 적층된 다층 구조를 갖는다. 게이트 절연층(86) 상에는, Cr 등의 고용점 금속층을 형성하고, 이 금속층을 패터닝에 의해, 박막 트랜지스터의 형성 영역, 즉 능동층(84)의 형성 영역에서, 그 채널 영역을 형성할 영역에 선택적으로 남기고, 게이트 전극(88)을 얻는다. 또, 이 금속층은, 각 화소에 선택 신호를 공급하기 위한 선택 라인(게이트 라인)으로서도 이용할 수 있으며, 박막 트랜지스터의 게이트 전극(88)의 형성과 마찬가지로 금속층을 선택적으로 남김으로써, 이 배선을 얻을 수 있다. 게이트 전극(88)을 형성한 후, 이것을 마스크로 하여 박막 트랜지스터의 도전형에 따라서, 인 또는 붕소 등의 불순물이 능동층(84)에 도핑된다. 능동층(84)의 게이트 전극의 하측에는, 불순물은 도핑되지 않고 진성의 채널 영역이 형성되며, 채널 영역의 양측에서 불순물이 도핑되어, 드레인 영역 및 소스 영역이 형성된다.
- <80> 불순물의 주입 후에, 게이트 절연층(86) 및 그 게이트 전극(88)을 피복하도록, 패널 기판(12) 전체면에 층간 절연층(90)이 형성된다. 이 층간 절연층(90)은, 예를 들면 게이트 절연막(86)측으로부터 SiN막, SiO₂막이, 그 순서로 적층된 다층 구조를 구비한다.
- <81> 층간 절연층(9)과 게이트 절연층(86)을 관통하도록, 능동층(84)의 소스 영역 및 드레인 영역이 노출하도록 콘택트 홀이 형성된다. 이 콘택트 홀에 의해, 층간 절연층(90) 상에 형성되는 드레인 전극(92), 소스 전극(94)과 능동층(84)의 대응하는 드레인 영역, 소스 영역이 접속된다. 드레인 전극(92), 소스 전극(94)은, 아래로부터 Mo(몰리브덴), Al(알루미늄), Mo의 순서로 적층되어 형성된다. 1층째의 Mo층이 능동층(84)에 접촉되어 있다. 이 Mo/Al/Mo의 금속층은, 다른 배선으로서도 이용된다.
- <82> 층간 절연층(9)과 게이트 절연층(86)을 관통하도록, 능동층(84)의 소스 영역 및 드레인 영역이 노출되도록 콘택트 홀이 형성된다. 이 콘택트 홀에 의해, 층간 절연층(90) 위에 형성되는 드레인 전극(92), 소스 전극(94)과, 능동층(84)의 대응하는 드레인 영역, 소스 영역이 접속된다. 드레인 전극(92) 및 소스 전극(94)은 아래로부터 Mo(몰리브덴), Al(알루미늄), Mo의 순서로 적층되어 형성되어 있다. 1층째의 Mo층이 능동층(84)에 접촉되어 있다. 이 Mo/Al/Mo의 금속층은, 다른 배선으로서 이용되며, 드레인 전극(92) 및 소스 전극(94)의 형성과 동시에 형성 패터닝하여 얻어진다. 예를 들면, 이 금속층은 도시하지 않은 각 화소에 데이터 신호를 공급하는 데이터 라인 DL이나, 전원 PVDD로부터의 전류를 유기 EL 소자에 공급하기 위한 전원 라인 PL로서도 이용된다. 또한, 도 5의 좌단에 도시한 바와 같이, 패널과 외부 회로를 접속하기 위한 금속 단자층(95)(도 5에서는, CV 단자(42)를 나타내고 있다)로서도 이용되며, 단자 형상으로 패터닝되어 있다.
- <83> 적층 구조의 금속층을 형성 패터닝하여 드레인 전극(92), 소스 전극(94) 및 배선(DL, PL), 금속 단자층(95)을 형성한 후, 이 금속층 및 층간 절연층(9)을 피복하도록 패널 기판(12)의 전면에는 아크릴계 수지 등의 유기 절연 재료나, 다른 무기 재료 등을 이용하여 제1 평탄화 절연층(96)이 예를 들면 스피코트 및 그 후의 구성을 거쳐 형성되어 있다.
- <84> 제1 평탄화 절연층(96)에는, 예를 들면 드레인 전극(92)(또는 소스 전극(94))의 대응 영역, 상기 단자 형성 영역에서, 각각 콘택트 홀이 형성된다. 그 후, 제1 평탄화 절연층(96) 상에, ITO(Indium Tin Oxide)나, IZO(Indium Zinc Oxide) 등의 도전성 투명 금속 산화층을 스퍼터링 등에 의해 형성하고, 원하는 형상으로 패터닝한다. 드레인 전극(92)(또는 소스 전극(94))의 대응 영역에는, 투명 도전성 금속 산화물층은, 투명 화소 전극(98)으로서 이용되며, 제1 평탄화 절연층(96)에 형성된 콘택트 홀을 통하여 드레인 전극(92)(또는 소스 전극(94))과 접속된다. 본 실시 형태에서는, 이 투명 화소 전극(98)은, 유기 EL 소자(55)의 제1 전극(음극)(98)으로서 이용되고 있다. 또한, 이 투명 화소 전극(98)의 형성과 동시에, 단자 형성 영역에서 제1 평탄화 절연층(96)을 제거하여 노출시킨 상기 Mo/Al/Mo의 금속 단자층(95) 위에도 투명 도전성 금속 산화물층을 선택적으로 남긴다. 이와 같이, 단자의 전기적 특성으로서는, Al을 포함하는 적층 구조의 상기 금속 단자층(95)을 이용하면 충분하지만, 이 금속 단자층(95)의 표면을 도전성의 금속 산화층으로 피복하는 구성으로 함으로써, 본 실시

형태에서는, 금속 단자(95)의 표면이 외계 분위기에 노출되어, 대기 중의 산소, 물 등에 의한 표면 산화에 의해 접촉 저항이 증대하는 것을 방지할 수 있다.

<85> 또한, 단자 부분뿐만 아니라 단자로부터 연장되는 배선 영역도 필요에 따라서 도전성 금속 산화층으로 피복함으로써, 대기 중의 배선이나 수분이, 이 배선을 통하여(예를 들면 배선 표면을 산화시키면서), 후에 밀봉 패널을 접착함으로써 밀봉하는 유기 EL 소자(55)가 형성된 표시 영역 내에 침입하는 것을 방지할 수 있다.

<86> 다음으로, 패널 기관(12)의 전체를 피복하도록 제1 평탄화 절연층(96)과 마찬가지로 아크릴계 수지 등을 이용하여 제2 평탄화 절연층(220)이 형성된다. 제2 평탄화 절연층(220)은, 단자 부분이나 화소의 제1 전극의 도전성 투명 금속 산화층의 엣지 부분을 제외한 부분으로 개구하고 있다. 제2 평탄화 절연층(220)을 형성하고, 개구부를 형성한 후, 표시 영역에는 발광 소자층(900)이 형성된다. 여기에서 제1 전극(98)의 형성 영역에서는, 그 엣지 부분은 제2 평탄화 절연층(220)에 피복되어 있다. 엣지 부분을 피복하는 것은 그 엣지 부분에서, 제1 전극(98)과 유기 EL 소자(55)의 제2 전극(46)이, 사이에 형성되는 발광 소자층(900)의 피복성이 저하하고, 혹은 전계 집중이 발생하여 단락하는 것을 방지하기 위함이다.

<87> 발광 소자층(900)은, 적어도 발광 기능을 구비하는 유기 화합물을 포함하는 발광층을 구비하지만, 이용하는 화합물의 기능 등에 의해, 단층 구조나 다층 구조라도 된다. 본 실시 형태와 같이 제1 전극(98)이 양극, 제2 전극(46)이 음극인 경우에, 일례로서, 제1 전극층으로부터 정공 주입층(921), 정공 수송층(922), 발광층(923), 전자 수송층(924) 등의 적층 구조를 갖는다. 또한 발광 소자층(92)은, 저분자계 유기 화합물을 재료로 이용하고 있는 경우, 진공 증착법에 의해 각 층을 형성할 수 있지만, 고분자계 유기 화합물을 이용한 경우 등은 잉크젯 인쇄법이나, 스프인코트 등에 의해 형성하는 것도 가능하다.

<88> 또, 발광층 이외의 전하 수송층이나, 주입층은 전체 화소 공통으로 형성할 수 있다(이용하는 재료에 따라서 각 화소에서 개별 패턴으로 할 필요가 있는 경우도 있다). 또한, 각 화소의 EL 소자의 발광색이 백색으로, 컬러 필터를 이용하여 R, G, B의 광을 얻어 풀 컬러 표시를 행하는 경우에는, 유기 EL 소자의 발광층은, 진공 증착에 의해서 형성하는 경우에도 마스크에 의한 개별 패턴의 형성을 불필요로 할 수 있으며, 그 경우, 다른 유기층과 마찬가지로, 전체 화소 공통으로 성막할 수 있다. 각 화소의 EL 소자가 대응하는 R, G, B의 광을 발광하는 경우에는, 발광색마다 상이한 유기 발광 재료를 이용할 필요가 있으며, 적어도, 화소마다 개별 패턴으로 발광층을 형성한다.

<89> 발광 소자층(900) 위에는, 이것을 피복하도록 각 화소 공통으로 Al이나, Al 합금, MgAg 합금 등을 이용한 제2 전극(46)이 진공 증착법 등에 의해 형성되어 있다. 상술한 바와 같이, 또, 본 실시 형태에서는, 이 제2 전극(46)은, 음극(캐소드 전극)으로서 기능하고 있다. 또한, 캐소드 전극(46)은, 표시 영역(14)의 수평 주사 방향의 끝, 이 실시 형태에서는, 좌변에서 CV 단자로부터 연장하는 배선(64)과 접속되어 있다. 또, 배선(64)의 적어도 상부층이, 상술한 바와 같이 투명 화소 전극(98)과 동층인 투명 도전성 금속 산화층으로 구성되어 있는 경우, 이 배선(64)과 캐소드 전극(46)과의 접속은, 표시 영역 외에는 통상 제2 평탄화 절연층(220)은 제거되며, 또한 발광 소자층(900)도 적층되어 있지 않기 때문에, 최상층에 노출하고 있는 투명 도전성 금속 산화물층(64)의 위에 직접 캐소드 전극(46)이 형성됨으로써 달성된다. 또, 캐소드 전극(46)과 배선(64)과의 접속부에서, 배선(64)의 상부층으로서 투명 도전성 금속 산화층을 이용하지 않고, Mo/Al/Mo 금속층만이 형성되어 있는 경우, 층간 절연층(90), 제1 평탄화 절연층(96)에는 개구부가 형성되며, 이 개구부의 저면에 노출한 Mo/Al/Mo 금속층을 피복하도록 캐소드 전극(46)이 적층되어 전기적으로 접속된다. 전체면 형성된 캐소드 전극(46)의 더욱 위에는, 기관 전체면을 피복하도록 스퍼터 등에 의해 SiN 등의 보호층(222)이 형성되어 있다.

<90> 이상과 같이, 본 실시 형태에 따르면, PVDD 단자(44)를 표시 영역(14)의 수직 주사 방향의 중심 위치(수평 방향으로 연장하는 중심선)보다 하측에 배치함으로써, 구동 전류를 흘리는 배선(66)을 짧게 하여, 배선 저항을 적게 하여, 휘도 저하에 의한 표시 품질의 저하를 방지하고, 또한 소비 전력의 증대를 억제할 수 있다. 또한, V계 드라이버(24)를 위한 배선(60, 61)을 표시 패널(12)의 상변에 배치함으로써, 표시 영역(14)의 가장자리와, 패널 기관(12)의 가장자리 사이인 액연의 폭을, 능동 전류 배선(27)의 폭을 확보하면서, 상하로 근사하게 할 수 있다. 즉, 표시 중심의 Y 어드레스와 패널 기관의 외형 중심의 Y 어드레스를 일치시키는 것이 가능해져, 다양한 기기에 대한 부착 자유도가 향상된다. V계 드라이버(24)는, 좌변에 배치함으로써도 가능하지만, 이 경우, 캐소드(46)와의 사이에 기생 용량이 발생하여, 소비 전력이 증가할 가능성이 있다. 또한, 우변에서도 유기 EL 소자의 형성면을 밀봉할 필요가 있으며, 밀봉 부재 접착을 위한 스페이스는, 우변에도 형성된다. 따라서, 우변에 V계 드라이버(24)를 배치하면, 스페이스의 유효 이용을 도모할 수 있다.

<91> 이상 배치에 의해, 밀봉 상 필요한 액연 스페이스에 밸런스 좋게 각 회로와 각 배선을 배치할 수 있어 패널 기

판의 유효 활용이 가능해져, 표시 품질의 향상, 저소비 전력화, 및 코스트 저하를 실현할 수 있다.

<92> 도 6은, 다른 실시 형태에 따른 유기 EL 표시 패널(70)의 배선의 주회(배선 레이아웃)를 도시하는 도면이다. 표시 영역 내의 회로 구성, 레이아웃은, 도 3과 마찬가지로, 공통 부분에 대한 설명은 생략한다. 또한, 도 4에 도시하는 유기 EL 표시 패널(10)과 마찬가지로의 구성에 대해서는, 동일한 부호를 붙이고, 설명을 생략한다. 도 6에 도시한 유기 EL 표시 패널(70)에서는, H계와, V계 드라이버에서, 전원 배선이 공용되어 있다.

<93> V계 드라이버(24)에 관련하는 복수의 외부 접속 단자(72)와, H계 드라이버(22)에 관련하는 복수의 외부 접속 단자(74)는, 쌍방의 드라이버의 전원에 관련하는 단자(76, 77)를 공용하고 있다. 이 단자로부터 H계 드라이버(22)를 향하여 연장하는 전원 배선(78, 79)의 도중에는 H계 레벨 시프터(30)가 형성되어 있다. H계 드라이버(22)를 통하여, H계 드라이버(22)에 동작 전력을 공급하는 고압측, 저압측의 전원 배선(78, 79)은, H계 드라이버(22)의 형성 영역으로부터 더욱 수평 주사 방향을 우측으로 연장하고, 패널의 우측 위 코너로부터 수직 주사 방향 하측으로 방향을 바꾸어, V계 드라이버(24)에 도달하고, V계 드라이버(24)에 대해서도 동작 전력을 공급한다. 또, V계 드라이버(24)의 바로 앞에는, 도 4 등과 마찬가지로 V계 레벨 시프터(32)가 형성되며, 저압측 전원 배선의 전압 VSS를 보다 낮은 전원 전압 VEE로 시프트하고 있다.

<94> H계, V계 드라이버(22, 24)의 고압측, 저압측 전원 배선(78, 79) 및 이 전원 배선이 접속되는 외부 접속 단자(76, 77)는, 2개의 드라이버에서 공용되어 있다. 즉, 외부 접속 단자(76)에 대하여, V계 드라이버(24)의 고압측 전원 배선(78)은, H계 드라이버(22)의 고압측 전원 배선(78)을 통하여 접속되어 있으며, 각 드라이버의 고압측 전원 배선(78)은 직렬 접속되어 있다. 또한, 마찬가지로 외부 접속 단자(77)에 대하여, V계 드라이버(24)의 저압측 전원 배선(79)은, H계 드라이버(22)의 저압측 전원 배선(79)을 통하여 접속되어 있으며, 각 드라이버의 저압측 전원 배선(79)도 직렬 접속되어 있다. 이상과 같이, H계, V계 드라이버(22, 24)에서 전원 배선과 그 외부 접속 단자를 공용하기 때문에, 각각의 드라이버용으로 동일한 전압의 단자, 배선을 형성할 필요가 없어, 외부 접속 단자의 수와, 전원 배선 개수를 삭감할 수 있어, 단자 설치 스페이스 및 배선 설치 스페이스를 삭감할 수 있다.

<95> 또한, 이 EL 소자 패널(70)에서는 드라이버용 전원 배선이, 외부 접속 단자가 설치된 좌변으로부터 상방으로 연장하고, 상변을 통하여, 우변에 도달하고, 우변을 하방을 향하여 연장한다. 이 중, 도 4와의 비교로부터 이해할 수 있듯이, 패널 상변에서, H계 드라이버(22)용 배선과는 별도로 설치하는 배선수를 삭감할 수 있어, 액연의 폭에서, 하변과의 발란스를 취하는 것이 용이해진다. 이에 의해, 표시 영역의 세로 방향의 중심과, 패널 기판, 즉 표시 장치 외형의 중심이, 일치 또는 근사하게 된다. 따라서, 이 패널을 기기의 표시 장치로서 조립할 때의 레이아웃의 자유도가 향상하여, 패널로서의 고품성 향상에 유리해진다. 또한, 패널 기판의 외형도 작아져, 소형화, 저코스트화에 기여한다. 또한, 도 4에 도시한 장치와 마찬가지로, 패널 하변에 H계, V계 드라이버의 전원 배선을 배치할 필요가 없으며, 또한 이 변에 배치하지 않기 때문에, 전원 라인 VL(도 3 참조)을 통하여 EL 소자(여기에서는 그 양극)에, 구동 전류를 공급하기 위한 소자 구동 전류 공통 배선(27)을 배치하는 스페이스를 그 패널의 하변(H계 드라이버(22)의 설치변과 대향하는 변)에서 최대한 넓게 확보할 수 있다.

<96> 도 7은, H계, V계 드라이버의 전원 배선을 직렬 접속하여, 공용화한 경우에서의 전원 배선 레이아웃의 일례를 도시하는 도면이다. 특히, 도 6의 우측 위 코너에 상당하고, H계 드라이버(22)의 중단부로부터 V계 드라이버의 중단부에서의 레이아웃을 도시하고 있다. 도 7의 구성예에서는, 고압측 전원 배선(VDD)(78)과 저압측 전원 배선(VSS)(79) 중 한쪽이 복수개 설치되어 있다. 고압측 저압측의 양방의 전원 배선을 각각 복수개 설치해도 되지만, 도 7의 예에서는 전압 강하가 발생하기 쉬운 고압측 전원 배선(78)을, 사이에 저압측 전원 배선(79)을 끼우도록 하여 복수개(여기에서는 2개) 배치하고 있다(78a, 78b). 또한, H계 드라이버(22)용 전원 배선 영역과 V계 드라이버용 전원 배선 영역에서는, 그 전원 배선의 선포를 바꾸어 놓고, 외부 접속 단자까지의 배선 거리가 짧은 H계 드라이버(22)용 전원 배선의 선포이, 배선 거리가 긴 V계 드라이버(24)의 전원 배선의 선포보다도 넓게 형성되어 있다. 또한, 선포는 패널의 우측 위의 각(H계 드라이버(22)와 V계 드라이버(24) 사이)을 경계로 변경되어 있다. 즉 고압측 전원 배선(78a)에서는, 패널 상변에 배치되며 외부 접속 단자(36)에 가까운 배선(78a-1) 쪽이 폭이 넓으며, 패널의 우변으로 연장하는 고압측 전원 배선(78a-2) 쪽이 좁게 되어 있다. 마찬가지로, 패널의 상변에 형성되어 있는 고압측 전원 배선(78b-1), 및 저압측 전원 배선(79-1)이 넓고, 패널의 우변에 형성되어 있는 대응하는 배선(78b-2, 79-2) 쪽이 좁게 되어 있다. 이와 같이 외부 접속 단자로부터의 배선 거리가 짧은 쪽의 드라이버의 전원 배선의 폭을 배선 거리가 긴 쪽의 배선포보다 넓게 함으로써, 배선 거리가 짧은 쪽의 드라이버에서의 전압 강하를 억제하여, 소비 전력의 저감을 도모할 수 있다. 특히, 본 실시 형태와 같이, H계 드라이버(22)는, 1H 기간마다 모든 데이터 라인에 대하여 데이터 신호를 출력할 필요가 있으며 V계 드라이버(24)와 비교하여 고속 동작할 필요가 있으며, 이 H계 드라이버(22)가, 그 V계 드라이버(24)보다도 외부

접속 단자(36)에 가깝고, 또한 전원 배선(78, 79)을 2개의 드라이버에서 공용하고 있기 때문에, H계 드라이버 영역에서의 전원 배선 폭을 넓게 함으로써, H계 드라이버에서의 전압 강하 등을 억제하는 것이 가능해진다.

<97> 도 7에서, H계 드라이버(22)의 형성 영역 내에서는, 고압측 전원 배선(78a-1)과 저압측 전원 배선(79-1) 사이에 H계의 시프트 레지스터 회로(22a)가 배치되어 있다. 또한 저압측 전원 배선(79-1)과 고압측 전원 배선(78b-1) 사이에는, H 스위치 회로(22b) 등이 배치되어 있다.

<98> H계 시프트 레지스터 회로(22a)는, 수평 주사 방향으로 복수의 시프트 레지스터가 배치되어 있으며, 각 단의 레지스터는, 수평 클럭 신호 SKH1, 2에 따라서 수평 스타트 신호 STH를 순차적으로 수평 주사 방향 우측에 전송한다. H 스위치 회로(22b)는, 대응하는 단의 레지스터의 출력단에 접속되며, 레지스터로부터의 출력에 따라서, 대응하는 열의 데이터 라인 DL을 비디오 신호선에 접속한다. 즉, H 스위치 회로는, 레지스터로부터의 출력 신호에 따라서 동작하여, 대응하는 데이터 라인 DL에, 대응하는 비디오 신호 Vd를 집어 넣어 출력한다.

<99> 또한, V계 드라이버(24)의 형성 영역 내에서는, 고압측 전원 배선(78a-2)과 저압측 전원 배선(79-2) 사이에 V계 시프트 레지스터 회로(24a)가 배치되며, 저압측 전원 배선(79-2)과 고압측 전원 배선(78b-2b) 사이에는, V계 시프트 레지스터 회로(24a)로부터의 출력에 따라서, 행마다 소정의 타이밍에서 화소의 선택 트랜지스터를 온시키는 선택 신호의 정형 및 출력을 하는 논리 회로 등으로 구성된 선택 신호 출력부(24b)가 설치되어 있다. V계 시프트 레지스터 회로(24a)는, 수직 주사 방향으로 복수의 시프트 레지스터가 배치되어 있으며, 각 단의 레지스터는 수직 클럭 신호 SKV1, 2에 따라서 수직 스타트 신호 STV를 순차적으로 수직 주사 방향 하측에 전송함과 함께, 대응하는 선택 신호 출력부(24b)에 펄스 신호를 레지스터 출력을 공급한다.

<100> 여기서, 저압측 전원 배선(79)보다도 패널의 외측에 배치되는 H계, V계의 각 시프트 레지스터(22a 및 24a)에 대해서는, 고압측 전원이 패널 외주측의 배선(78a)으로부터 공급되며, 저압측 전원 배선(79)보다도 패널 내측에 배치되는 H 스위치 회로(22b) 및 선택 신호 출력부(24b)에 대해서는, 고압측 전원이 패널 내주측의 배선(78b)으로부터 공급된다. 즉, 도 7의 예에서는, 서로 처리 내용이 상이한 회로인 시프트 레지스터(22a, 24a)와, H 스위치 회로 및 선택 신호 출력부(22b, 24b)에 대하여, 각각 독립하여 고압 전원 배선(78a, 78b)이 형성되어 있다. 이 때문에, 처리 내용이 상이한 회로에 대해서 각각 고압측 전원(78)을 확실하게 공급할 수 있기 때문에 전압 강하에 의한 소비 전력 상승을 억제할 수 있으며, 또한 회로 동작의 정밀도 향상이 도모된다. 또한, 표시 영역에 대하여 직접 각종 신호를 출력하는 회로(H 스위치 회로(22b), 선택 신호 출력부(24b))를, 시프트 레지스터보다도 표시 영역에 가까운 위치에 형성하면서, 각 회로에 독립하여 고압측 전원을 공급하고 있어, 상당히 높은 레이아웃 효율을 실현하는 것이 가능하게 되어 있다.

<101> 또한, 이 변형예에서는 도 7에 도시한 바와 같이, H계 드라이버(22)의 종단 부분에서, 복수개 설치된 고압측 전원 배선(78a-1, 78a-2)을 접속하기 위한 바이패스 배선(브릿지 배선)(80)이 형성되어 있다. 이 브릿지 배선(80) 부근의 단면(II-II 단면도)이 도 8의 범위 A로 도시되어 있다.

<102> 또한, 도 8은 유기 EL 표시 패널의 단면을 모식적으로 도시한 것으로, 특히 브릿지 배선(80)과, 다른 회로 화소, 배선 등과의 관계를 도시하고 있다. 또한, 도 8에서, 전술한 도 5와 동일한 구성에는 동일 부호를 붙이고 있으며, 설명은 생략한다.

<103> 도 8에서, H 드라이버 내의 TFT 및 V 드라이버 내의 TFT는, 모두 도 5에 도시한 표시 영역 내의 TFT와, 동등한 구성이며, 글래스 또는 플라스틱 등의 투명 재료로 이루어진 패널 기관(12) 상의 버퍼층(82) 위에, 성막한 비정질(아몰퍼스) 실리콘을, 레이저 어닐링 등의 처리를 행함으로써 얻은 다결정 실리콘 등의 다결정 실리콘층을, 그 능동층으로서 이용하고 있다.

<104> 또한, 능동층(84)을 피복하여 형성되는 게이트 절연층(86) 위의 원하는 영역에, Cr 등의 고용점 금속층을 패터닝하여 게이트 전극(88)이 형성되어 있다. 그리고, 이 게이트 전극(88)을 얻기 위한 패터닝에서, 브릿지 배선(80)도 얻는다. 따라서, 브릿지 배선(80)은 Cr 등의 금속층에 의해 형성된다. 또, 이 금속층은 브릿지 배선(80) 뿐만 아니라, 전술한 바와 같이 각 화소에 선택 신호를 공급하기 위한 선택 라인(게이트 라인)으로서도 이용할 수 있으며, 박막 트랜지스터의 게이트 전극(88)의 형성과 동시에 금속층을 선택적으로 남김으로써, 이 배선을 얻을 수 있다.

<105> 드레인 전극(92), 소스 전극(94)은, Mo/Al/Mo의 적층 금속층에 의해 구성되지만, 이 적층 금속층은, 드레인 전극(92) 및 소스 전극(94)의 다른 배선으로서도 이용되며, 예를 들면 전원 배선(78a, 78b, 79)도 드레인 전극(92)과 소스 전극(94)과 동시에 패터닝되어, 형성되어 있다. 이 금속층의 형성 전에, 층간 절연층(90)의, 브릿지 배선(80)의 끝에 닿는 부분에도 콘택트 홀을 형성해두고, 이 금속층의 소정 부분과, 브릿지 배선(80)이 접속된

다.

- <106> 도시한 바와 같이, 브릿지 배선(80)은, 고압층의 2개의 전원 배선(78a, 78b)과는 전기적으로 접속되지만, 이들과는 별도의 층으로, TFT의 게이트 전극(88)과 동일한 Cr 등의 고용점 금속층을 이용하여 형성되어 있다. 이와 같이, 브릿지 배선(80)을 전원 배선과는 별도의 금속층으로 구성함으로써, 도 9에 도시한 바와 같이, 평면 상, 2개의 고압층 전원 배선(78a, 78b) 사이에 이들과 동일한 금속층을 이용하여 형성되어 있는 저압층 전원 배선(79)이 배치되어 있는 것과 같은 경우라도, 저압층 전원 배선과 쇼트하지 않고, 고압층 전원 배선(78a, 78b)을 서로 접속할 수 있다. 또한, 브릿지 배선(80)의 형성 면적 및 전원 배선(78a, 78b)의 접속 면적은, 다른 게이트 전극과 동일한 금속층으로 이루어진 배선 등과 겹치지 않는 한에서, 크게 설정할 수 있다. 이와 같이, 복수개 배치된 동일한 전압의 전원 배선을 H계, V계 드라이버(22, 24) 중, 적어도 외부 접속 단자에 가깝고, 또한 고속 동작이 요구되는 드라이버(여기에서는 H계 드라이버(22))의 중단 영역에서, 브릿지 배선(80)에 의해, 서로 접속함으로써, 전원 배선의 저항을 저감할 수 있어, 전압 강하를 억제할 수 있다.
- <107> 전원 배선(78a, 78b, 79)은, 드레인 전극(92), 소스 전극(94)이나, 그 외의 배선, 및 층간 절연층(90)과 함께, 제1 평탄화 절연층(96)으로 피복되어 있다.
- <108> 도 9는, 다른 실시 형태에 따른 유기 EL 표시 패널(130)의 배선의 주회를 도시하는 도면이다. 표시 영역 내의 배선에 대해서는 도 3과 마찬가지로, 설명은 생략한다. 또한, 도 4에 도시한 유기 EL 표시 패널(10)과 마찬가지로의 구성에 대해서는, 동일한 부호를 붙이고, 설명을 생략한다. 유기 EL 표시 패널(130)에서는, H계와 V계 드라이버의 전원 배선 및 전원 배선에 관련하는 외부 접속 단자가 일부 공용되며, 도중으로부터 분기하여 각 드라이버에 전원 배선이 연장되어 있다.
- <109> V계 드라이버(24)에 관련하는 외부 접속 단자(V계 단자)(132)와, H계 드라이버(22)에 관련하는 외부 접속 단자(H계 단자)(134)는, 쌍방의 드라이버의 전원(VDD, VSS)이 공급되는 단자(76, 77)를 공용하고 있다. 이 단자로부터 V계 드라이버(24)를 향하여 연장하는 고압층 전원 배선(VDD)(136) 및 저압층 전원 배선(VSS)(137)은, H계 드라이버(22)의 외측을 통하여, 패널 우변의 V계 드라이버(24)에 도달하고 있다. H계 드라이버의 전원 배선(138, 139)은, 전원 배선(136, 137)으로부터, 좌측 위 코너에서 분기하여 우측으로(수평 주사 방향) 연장하고, H계 드라이버(22)로 연장한다. 또, H계의 외부 접속 단자(134) 중, H계 드라이버(22)에 공급하는 클럭 신호 CKH1, 2, 수평 스타트 신호 STH 등을 충분한 진폭으로 하기 위해, 상기 분기점의 부근에는 레벨 시프터(30)가 배치되어 있다. 물론, 레벨 시프터가 불필요하면 이 레벨 시프터(30)는 생략할 수 있다.
- <110> 이 구성에 의해서도 외부 접속 단자의 수와, 좌변에서의 전원 배선의 배선 개수를 삭감할 수 있어, 이들을 배치하기 위한 공간을 삭감할 수 있다. 또한, 전원 배선은, 전술한 유기 EL 표시 패널(10, 70)과 마찬가지로, 좌변, 상변, 우변에만 배치되며, H계 드라이버(22)가 형성된 변과 대향하는 하변에는 형성되어 있지 않다. 이 때문에, 패널 하변에서, 소자 구동용 전류 공통 배선(27)을 위한 공간을 가능한 한 크게 취할 수 있다. 또한, 좌변의 배선수를 삭감할 수 있기 때문에, 우변과 좌변의 액연의 폭을 일치, 또는 근사한 것으로 할 수 있다.
- <111> 도 10은, H계 드라이버의 고압층 전원 배선(138)을 상기한 바와 같이 V계 드라이버(24)의 고압층 전원 배선을 도중에 분기시키는 경우의 단면 구조의 일례를 도시하는 도면이다. 또, 이 경우, 저압층 전원 배선(139)도 마찬가지로 분기 구조를 취할 수 있지만, 고압층의 접속 구조와 기본적으로 동일하기 때문에 설명을 생략한다. 또한, 도시하는 각 층은, 기본적으로 도 8과 마찬가지로의 구성으로서, 도 8과 공통의 부호를 이용함으로써 설명을 생략한다.
- <112> VDD 단자로부터 연장하는 Mo/Al/Mo의 금속층에 의해 형성되는 V계의 고압층 전원 배선(VDD)(136)은, 분기부에서, 콘택트 홀을 통하여 H계 전원 배선(138)의 분기 배선(138a)에 접속되어 있다. 이 분기 배선(138a)은, 박막 트랜지스터(TFT)의 게이트 전극(88)과 동시에 형성된 것으로, Cr 등의 고용점 금속층으로 이루어진 배선이다. V계 고압층 전원 배선(136)에 평행하여, 다른 1개의 V계 저압층 전원 배선(137)과 더욱 저압의 전원 배선(VEE)(140)이 설치된다. 분기 배선(138a)은, 이들 V계의 다른 전원 배선과 절연할 필요가 있으며 이들 전원 배선층의 아래에 형성되어 있는 층간 절연층(90)의 더 하층에, 이들 전원 배선층의 형성 영역을 가로지르도록 배치되어 있다. V계의 각 전원 배선의 하층을 가로지르는 곳에도 층간 절연층(90)에 콘택트 홀이 형성되며, 분기 배선(138a)은, 이 콘택트 홀에서, V계 전원 배선(136) 등과 동일층에 형성되어 있는 H계 전원 배선(138b)과 접속되어 있다.
- <113> 이상의 실시 형태에서는, 외부 접속 단자를 좌변에 배치한 경우에 대하여 설명하였지만, 우변에 배치할 수도 있

다. 이 경우에는 V계 드라이버가 좌변에 배치되며, 캐소드 전원용의 접점 등이 우변에 배치된다. 또한, 외부 접속 단자는, 하변에 배치되어도 되며, 이 경우 하변에 대향하는 변, 즉 상변에는 H계 드라이버가 배치되며, 좌변 또는 우변에 V계 드라이버가 배치된다. 드라이버의 전원 배선은, 외부 접속 단자가 배치된 하변으로부터, V계 드라이버가 배치된 좌변 또는 우변을 통하여, H계 드라이버가 배치된 상변으로 연장하도록 할 수 있다.

발명의 효과

<114> 본 발명에 따르면, 밀봉 상 필요한 액연 스페이스에 밸런스 좋게 각 회로와 각 배선을 배치할 수 있어 패널 기관의 유효 활용이 가능해져, 표시 품질의 향상, 저소비 전력화, 및 코스트 저하를 실현할 수 있다.

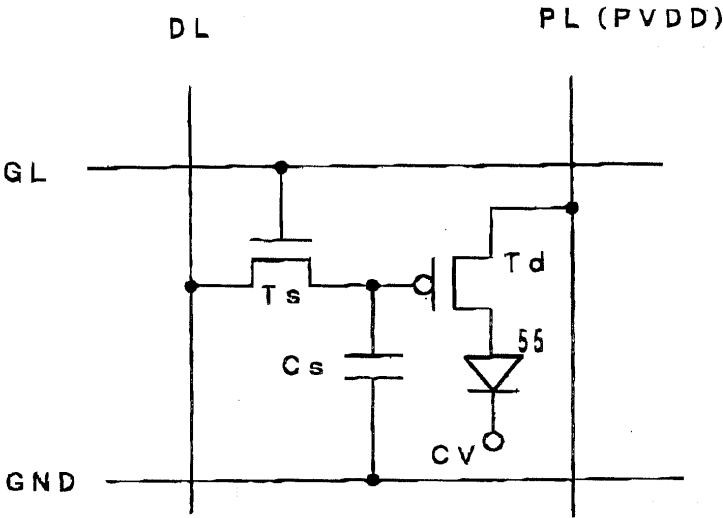
도면의 간단한 설명

- <1> 도 1은 EL 표시 장치의 일 화소의 등가 회로를 도시하는 도면.
- <2> 도 2는 종래의 EL 표시 장치의 단자, 배선 및 회로 등의 배치를 도시하는 도면.
- <3> 도 3은 본 실시 형태의 EL 표시 패널의 개략 구성을 도시하는 도면.
- <4> 도 4는 본 실시 형태의 EL 표시 패널의 단자, 배선 및 회로 등의 배치를 도시하는 도면.
- <5> 도 5는 도 4에 도시하는 I-I선에 의한 단면도.
- <6> 도 6은 다른 실시 형태의 EL 표시 패널의 단자, 배선 및 회로 등의 배치를 도시하는 도면.
- <7> 도 7은 도 6의 실시 형태의 배선의 변형예를 도시하는 도면.
- <8> 도 8은 도 7의 변형예의 단면을 모식적으로 도시하는 도면.
- <9> 도 9는 또 다른 실시 형태의 EL 표시 패널의 단자, 배선 및 회로 등의 배치를 도시하는 도면.
- <10> 도 10은 도 9의 실시 형태의 단면을 모식적으로 도시하는 도면.
- <11> <도면의 주요 부분에 대한 부호의 설명>
- <12> 10 : EL 표시 패널
- <13> 12 : 패널 기관
- <14> 14 : 표시 영역(표시부)
- <15> 16 : 게이트 라인
- <16> 18 : 데이터 라인
- <17> 20 : 전원 라인
- <18> 55 : 유기 EL 소자
- <19> Tr1 : 선택 트랜지스터
- <20> Cs : 축적 용량
- <21> Tr2 : 소자 구동 트랜지스터
- <22> CV : 캐소드 전원

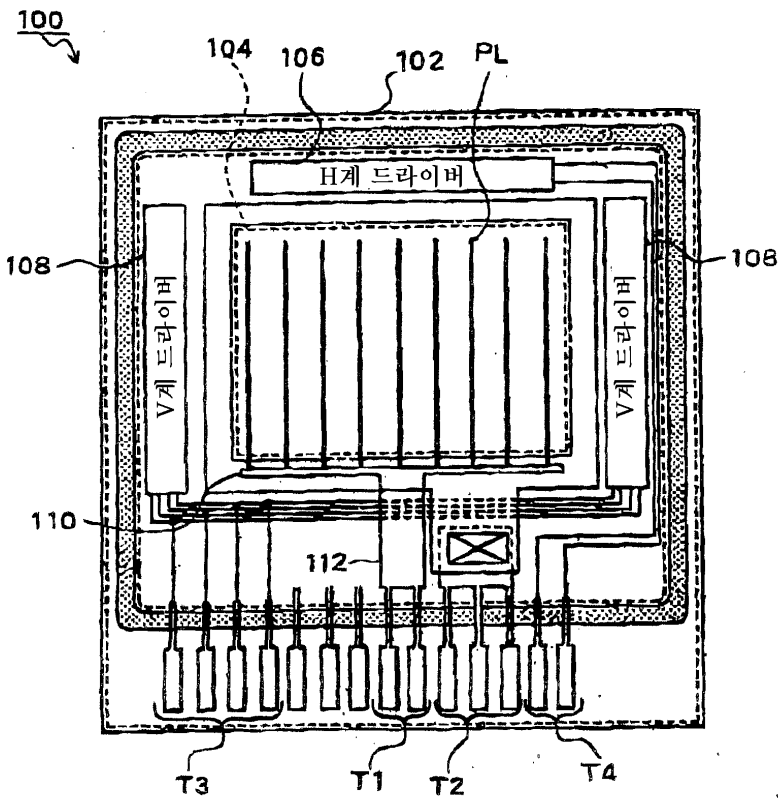
도면

도면1

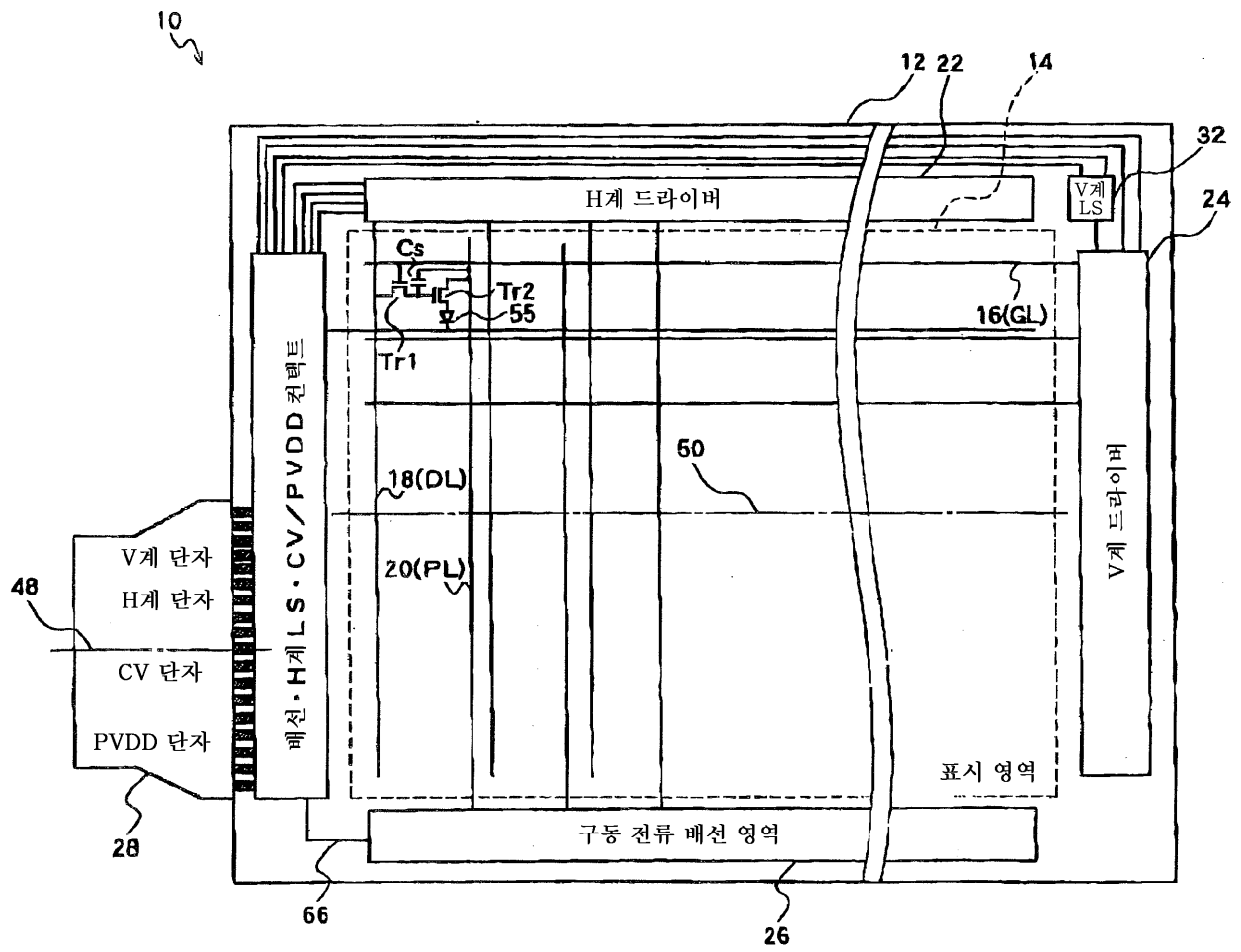
(종래 기술)



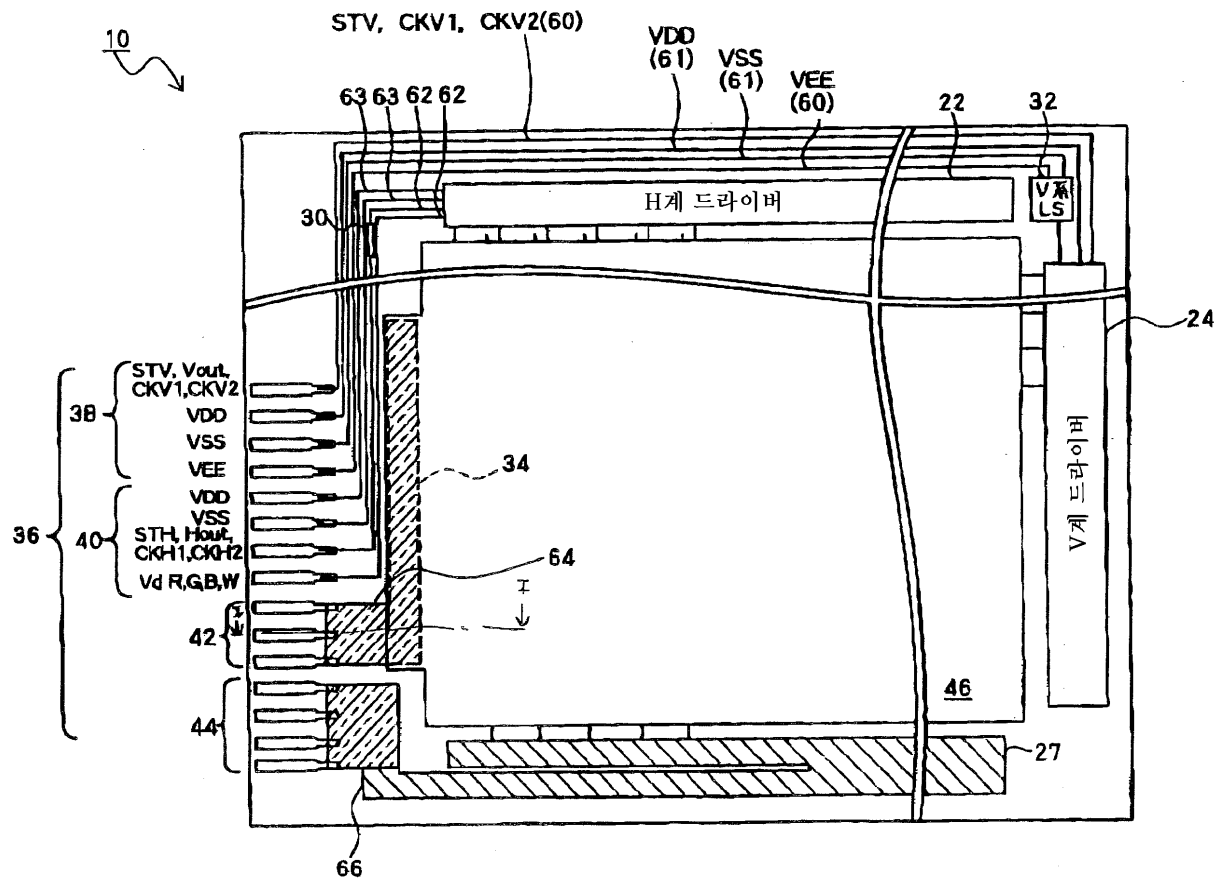
도면2



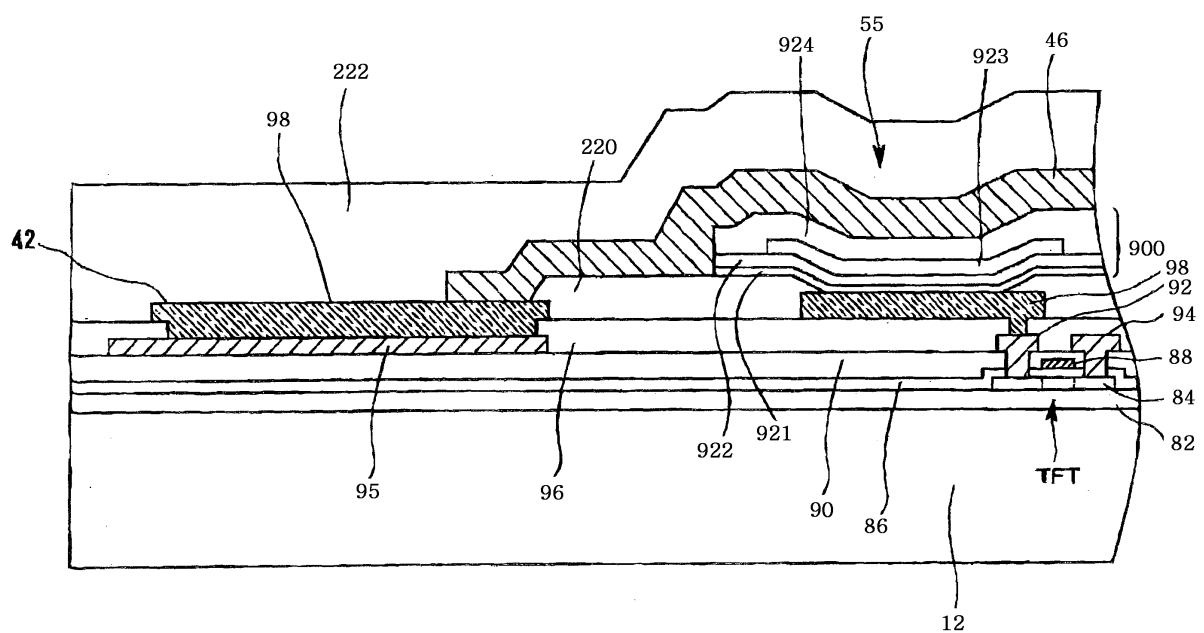
도면3



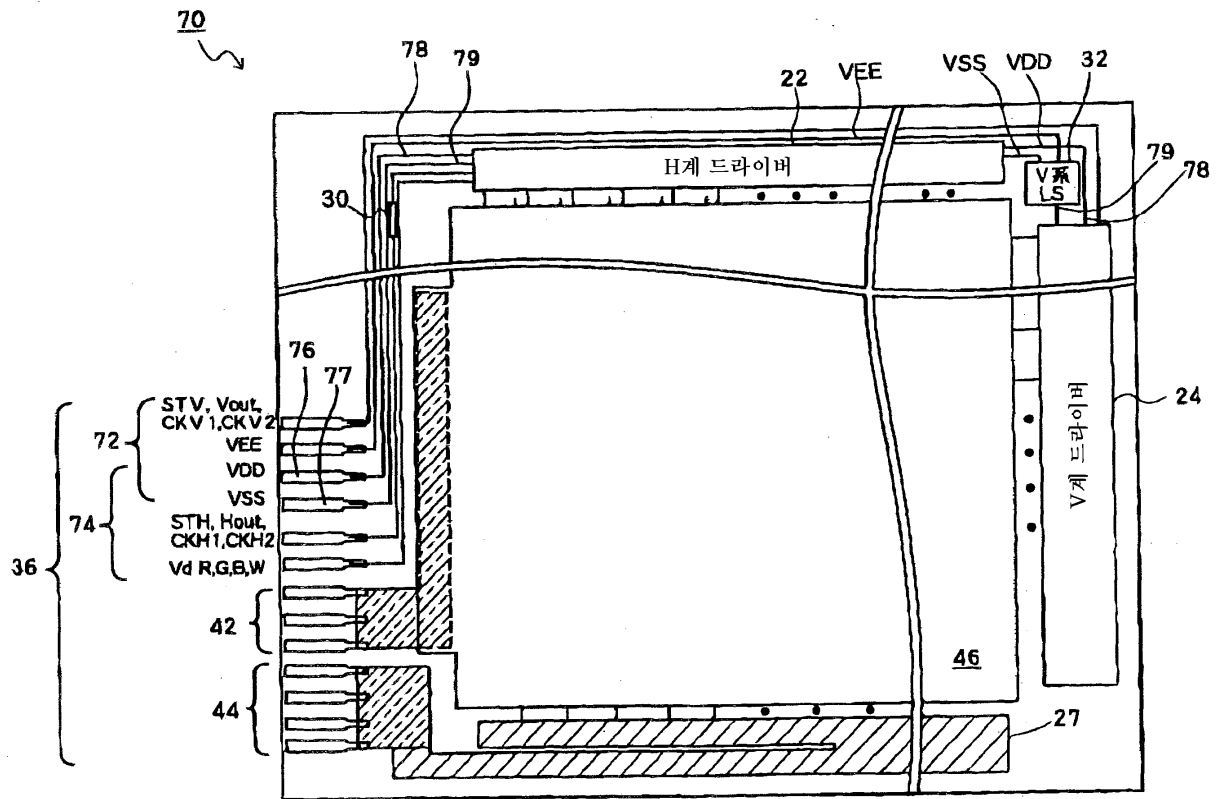
도면4



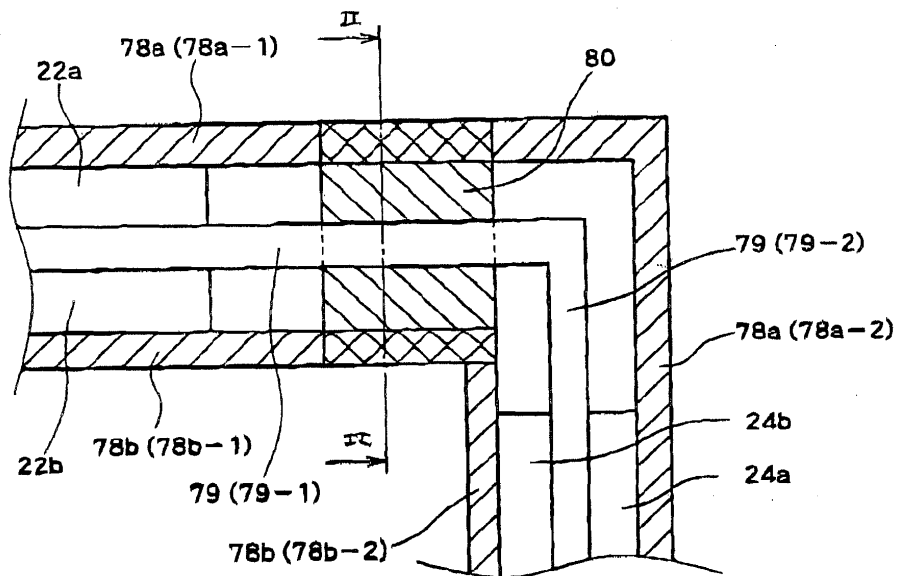
도면5



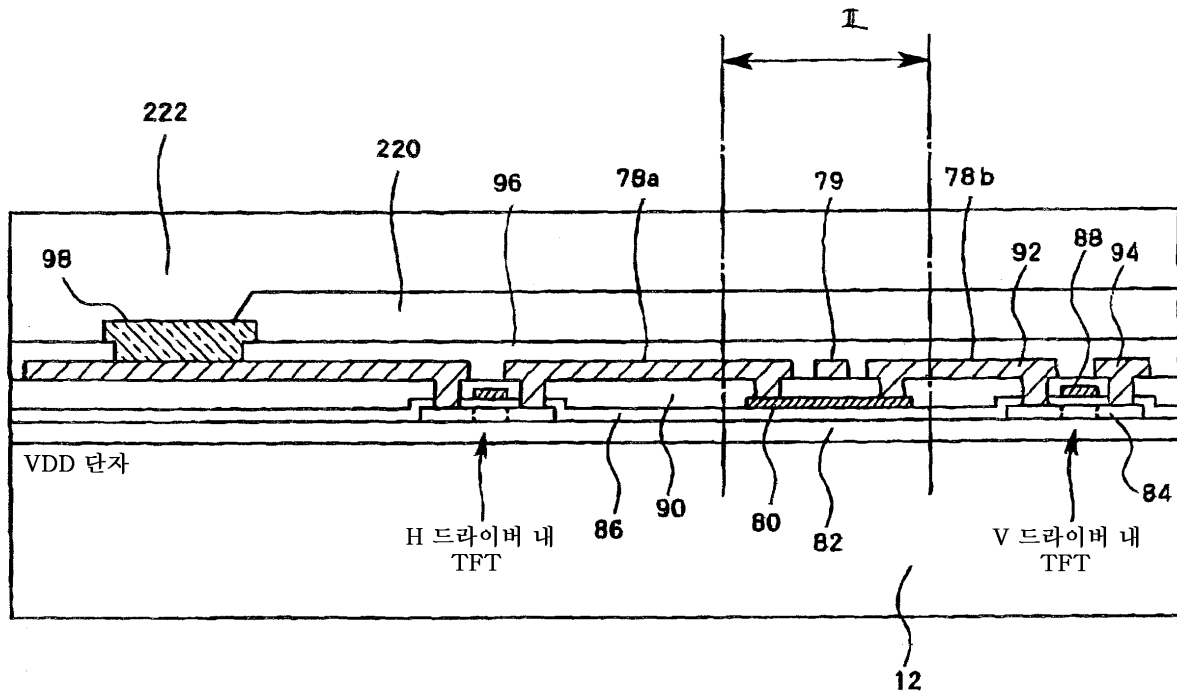
도면6



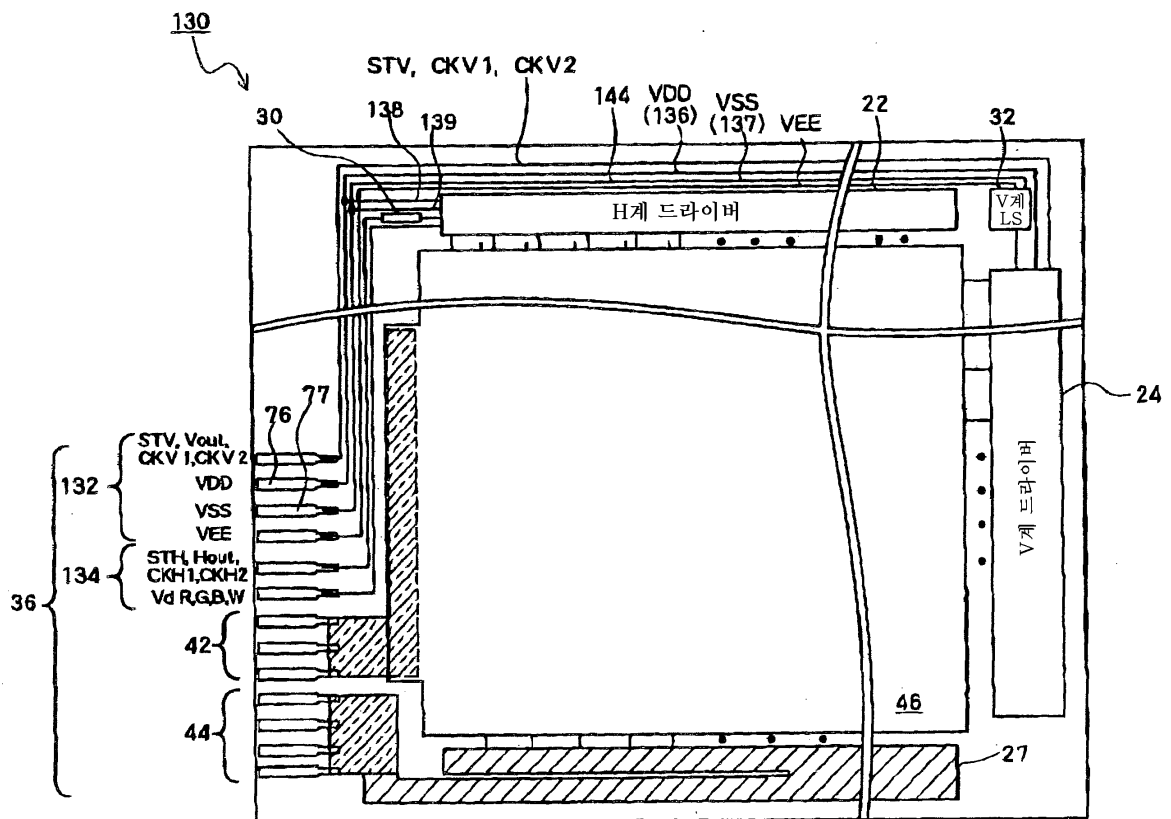
도면7



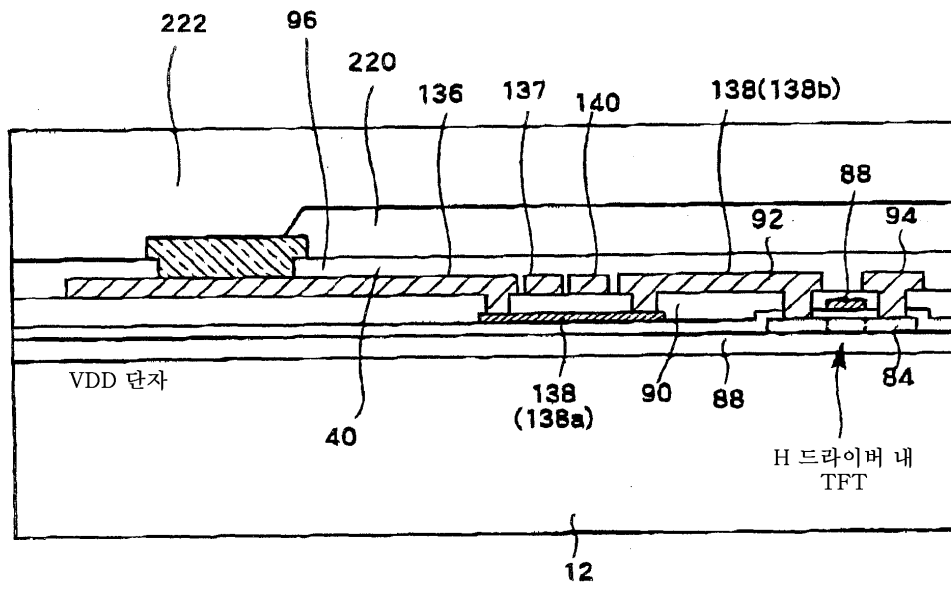
도면8



도면9



도면10



专利名称(译)	电致发光显示装置		
公开(公告)号	KR100778619B1	公开(公告)日	2007-11-22
申请号	KR1020060064986	申请日	2006-07-11
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	MATSUMOTO SHOICHIRO 마쯔모토쇼이찌로		
发明人	마쯔모토쇼이찌로		
IPC分类号	H05B33/26 H05B33/22		
CPC分类号	H01L27/3276		
代理人(译)	Jangsugil Yijunghui		
优先权	2005202992 2005-07-12 JP 2005202993 2005-07-13 JP 2005230129 2005-08-08 JP		
其他公开文献	KR1020070008423A		
外部链接	Espacenet		

摘要(译)

用途：电子发光显示器通过在框架上安排每个电路和布线具有高平衡，有效利用面板基板，提高显示质量，降低功耗和成本。结构：在电致发光显示器中，显示面板包括像素以矩阵形状排列的显示单元，水平扫描驱动电路和形成在显示单元附近的垂直扫描驱动电路以驱动像素。外部连接端子放置在显示面板的第一侧上。水平扫描驱动电路和垂直扫描驱动电路中的一个布置在面向第一侧的第二侧上，而另一个布置在第三侧上，该第三侧是连接第一侧和第二侧的两侧之一。水平扫描驱动电路和垂直扫描驱动电路的电源线从外部连接端子布置到水平扫描驱动电路和垂直扫描驱动电路的形成区域，而不过除第一，第二之外的一侧和第三方。©KIPO 2007

