



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월17일
(11) 등록번호 10-0759663
(24) 등록일자 2007년09월11일

(51) Int. Cl.

H05B 33/22(2006.01) H05B 33/10(2006.01)

(21) 출원번호 10-2005-0106695

(22) 출원일자 2005년11월08일

심사청구일자 2005년11월08일

(65) 공개번호 10-2007-0049513

공개일자 2007년05월11일

(56) 선행기술조사문헌

JP11054286 A

(뒷면에 계속)

전체 청구항 수 : 총 5 항

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

천필근

경기 용인시 기흥읍 상갈리 주공3단지 금화마을 309동

(74) 대리인

신영무

심사관 : 손희수

(54) 유기 전계 발광표시장치 및 그 제조방법

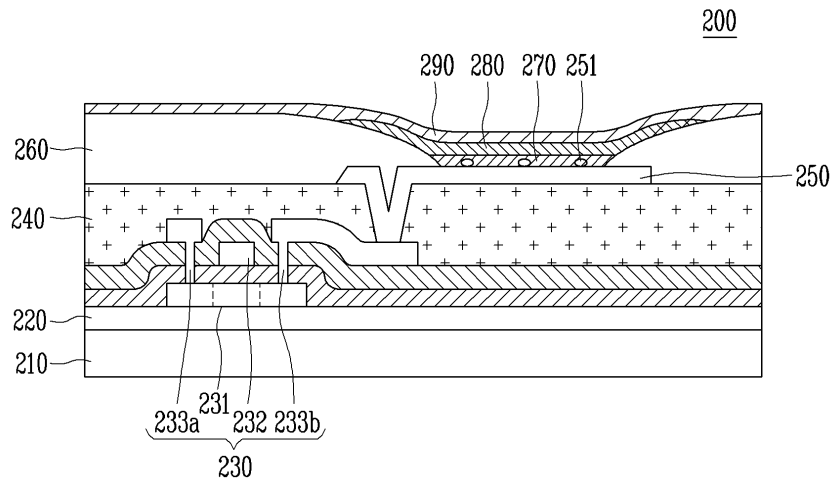
(57) 요약

본 발명은 유기 전계 발광표시장치의 제1 전극층 상에 형성되는 발광층 및 제2 전극층에 급격한 단차부가 형성되는 것을 방지할 수 있는 유기 전계 발광표시장치 및 그 제조방법에 관한 것이다.

본 발명의 유기 전계 발광표시장치는 제1 전극층, 발광층 및 제2 전극층을 포함하는 유기 전계 발광표시장치에 있어서, 상기 제1 전극층 상에 전도성 고분자층이 형성되는 것을 포함한다.

이에 따라, 유기 전계 발광표시장치의 암점 발현 및 누설전류 경로등이 발생하는 것을 방지한다.

대표도 - 도2



(56) 선행기술조사문헌
JP2004002740 A
JP64045084 A
KR1019990004159 A
KR1020050017169 A
KR1020050067947 A

특허청구의 범위

청구항 1

기관 상에 형성되는 제1 전극층, 발광층 및 제2 전극층을 포함하는 유기 전계 발광표시장치에 있어서, 상기 제1 전극층 및 상기 발광층 사이에 전도성 고분자층이 100Å 내지 500Å의 두께로 형성되는 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 2

제1 항에 있어서, 상기 전도성 고분자층은 폴리이미드 계열의 고분자, 아크릴레이트 계열의 고분자 및 산기를 포함하는 폴리이미드 공중합체 중 하나로 이루어지는 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 3

삭제

청구항 4

제1 항에 있어서, 상기 전도성 고분자층은 상기 제1 전극층 상에 형성되어 제1 전극층을 평평하게 형성하는 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 5

기관 상에 제1 전극층을 형성하는 단계와;

상기 제1 전극층 상에 형성되며, 상기 제1 전극층의 일영역이 부분적으로 노출되도록 개구부를 갖는 화소정의막을 형성하는 단계와;

상기 제1 전극층의 개구부 상에 100Å 내지 500Å의 두께로 전도성 고분자층을 형성하는 단계;

상기 화소정의막의 일 영역 및 상기 전도성 고분자층 상에 발광층을 형성하는 단계와;

상기 발광층과 상기 화소정의막 상에 제2 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광표시장치의 제조방법.

청구항 6

제5 항에 있어서, 상기 전도성 고분자층은 스핀코팅, 딥코팅, 분무코팅 및 롤코팅 중 하나의 공정방법을 이용하여 형성되는 것을 특징으로 하는 유기 발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 유기 전계 발광표시장치 및 그 제조방법에 관한 것으로, 보다 구체적으로는 유기 전계 발광표시장치의 제1 전극층 증착공정시 발생하는 파티클(particle)로 인한 발광층 및 제2 전극층에 급격한 단차부가 생기는 것을 방지함으로써 파티클의 단차부에서 발생하는 암점 발현 및 누설전류 경로등이 발생하는 것을 방지할 수 있는 유기 전계 발광표시장치 및 그 제조방법에 관한 것이다.
- <11> 최근에, 음극선관(CRT:Cathode Ray Tube)의 무게와 크기의 문제점을 해결하여 소형 경량화의 장점을 가지고 있는 평판표시장치(FPD:Flat Panel Display)가 주목받고 있다. 이러한 평판표시장치는 액정표시장치(LCD:Liquid Crystal Display), 발광표시장치(LED:Light Emitting Diode), 전계방출표시장치(FED:Field Emitter Display) 및 플라즈마 표시장치(PDP:Plasma Display Panel) 등이 있다.
- <12> 그리고, 이와 같은 평판표시장치 중에서도 발광표시장치는 다른 평판표시장치보다 사용온도 범위가 넓고, 충격

이나 진동에 강하며, 시야각이 넓고, 응답속도가 빨라 깨끗한 동화상을 제공할 수 있다는 등의 장점을 가지고 있어서 향후 차세대 평판표시장치로 주목받고 있다.

- <13> 이러한 발광표시장치로는 유기 발광소자를 이용한 유기 발광표시장치와 무기 발광소자를 이용한 무기 발광표시장치가 있다. 유기 발광소자는 애노드 전극, 캐소드 전극 및 이들 사이에 위치하여 전자와 정공의 결합에 의하여 발광하는 유기발광층을 포함한다. 무기 발광소자는 유기 발광소자와 달리 무기물인 발광층, 일례로 PN 접합된 반도체로 이루어진 발광층을 포함한다.
- <14> 이하에서는 도면을 참조하여 종래의 유기 발광표시장치를 구체적으로 설명한다.
- <15> 도 1은 종래 기술에 따른 유기 전계 발광 표시장치의 단면도이다.
- <16> 도 1을 참조하면, 유기 전계 발광 표시장치(100)는 기판(110) 상에 버퍼층(120)이 형성된다. 상기 버퍼층(120) 상에는 박막 트랜지스터(130)가 형성된다. 상기 박막 트랜지스터(130)는 반도체층(131), 게이트 전극(132) 및 소스/드레인 전극(133a, 133b)을 포함한다. 상기 박막 트랜지스터(130) 상에는 평탄화층(140)이 형성되고, 평탄화층(140) 상에는 상기 소스 또는 드레인 전극(133a, 133b)과 전기적으로 연결된 제1 전극층(150)이 형성된다. 그리고, 평탄화층(140) 및 상기 파티클(160)이 착상된 상기 제1 전극층(150) 상에는 상기 제1 전극층(150)의 적어도 일 영역을 노출시키는 개구부가 구비된 화소정의막(170)이 형성되어 있다. 상기 제1 전극층(150) 상에는 발광층(180)이 형성되고, 상기 발광층(180) 및 상기 화소정의막(170) 상에는 제2 전극층(190)이 형성하게 된다.
- <17> 그러나, 상기 제1 전극층 표면 상에는 상기 제1 전극층 증착공정시 발생하는 파티클이 착상되어, 상기 제1 전극층 상에 후 공정될 발광층 및 제2 전극층 증착시 상기 파티클과 발광층 및 상기 발광층과 제2 전극층의 단차부가 더 커지게된다. 이에 따라 발광소자 내에 진행성 암점이 발생되며, 누설전류의 경로가 발생하는 문제점을 갖는다.

발명이 이루고자 하는 기술적 과제

- <18> 따라서, 본 발명은 전술한 종래의 문제점들을 해소하기 위해 도출된 발명으로, 제1 전극층 상에 전도성 고분자층을 형성함으로써 암점 발현 및 누설전류 경로등의 발생을 억제시킬 수 있는 유기 전계 발광 표시장치 및 그의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <19> 전술한 목적을 달성하기 위한, 본 발명의 일 측면에 따르면, 본 발명의 유기 전계 발광소자는 제1 전극층, 발광층 및 제2 전극층을 포함하는 유기 전계 발광소자에 있어서, 상기 제1 전극층 상에 전도성 고분자층이 형성되는 것을 포함한다.
- <20> 바람직하게, 상기 전도성 고분자 물질은 폴리이미드 계열의 고분자, 아크릴레이트 계열의 고분자 및 산기를 포함하는 폴리이미드 공중합체 중 하나로 이루어지며, 상기 전도성 고분자 물질은 100Å 내지 500Å 두께이고, 상기 전도성 고분자층은 상기 제1 전극층 상에 형성되어 제1 전극층을 평평하게 형성한다.
- <21> 이하에서는, 본 발명의 실시예들을 도시한 도면을 참조하여, 본 발명을 보다 구체적으로 설명한다.
- <22> 도 2는 본 발명의 따른 유기 전계 발광소자의 개략적인 단면도이다.
- <23> 도 2를 참조하면, 유기 전계 발광소자(200)는 제1 전극층(250), 발광층(280) 및 제2 전극층(290)을 포함하는 유기 전계 발광소자에 있어서, 상기 제1 전극층(250) 상에 전도성 고분자층(270)이 포함된다.
- <24> 상기 기판(210)은 일례로 유리, 플라스틱, 실리콘 또는 합성수지와 같은 절연성을 띠는 재료로 이루어질 수 있으며, 유리 기판과 같은 투명 기판이 바람직하다.
- <25> 상기 버퍼층(220)은 상기 기판(210) 상에 형성된다. 상기 버퍼층(220)은 선택적 구성요소로, 질화막 또는 산화막 등을 이용하여 형성되며, 상기 기판(210)으로 부터 불순물이 후술 될 반도체층(231) 내의 활성채널(active channel)으로 확산되는 것을 방지하기 위해 형성된다.
- <26> 상기 박막 트랜지스터(230)는 상기 버퍼층(220) 상에 형성된다.
- <27> 이하에서는 상기 박막 트랜지스터(230)를 보다 구체적으로 설명한다.
- <28> 상기 박막 트랜지스터(230)의 반도체층(231)은 상기 기판(210) 상에 소정의 패턴으로 형성된다. 상기 반도체층

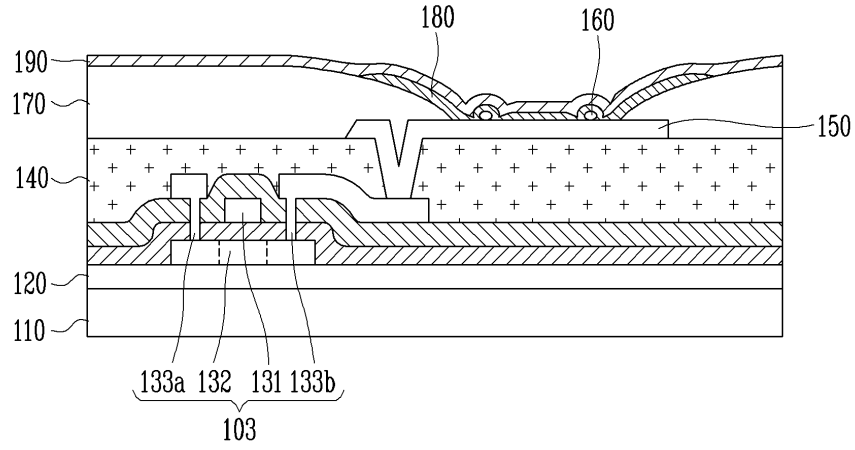
(231)은 상기 기판(210) 상에 증착된 비정질 실리콘을 레이저 등을 이용하여 결정화한 폴리실리콘(LTPS: low temperature poly silicon)을 이용할 수 있다.

- <29> 상기 박막 트랜지스터(230)의 게이트 절연층은 상기 반도체층(231) 상에 형성되며, 상기 게이트 절연층은 상기 게이트 전극(232)과 상기 반도체층(231) 사이를 절연시키는 역할을 한다.
- <30> 상기 박막 트랜지스터(230)의 게이트 전극(232)은 상기 게이트 절연층 상에 형성되며, 상기 게이트 전극(232)은 상기 반도체층(231)의 채널 영역의 상부에 소정의 패턴으로 형성된다. 상기 게이트 전극(232)은 도전성 금속 예컨대, 알루미늄(Al), MoW, 몰리브덴(Mo), 구리(Cu), 은(Ag), 은합금, 알루미늄 합금 또는 ITO 등과 같은 물질 중 하나로 이루어지며, 이들에 제한되지는 않는다.
- <31> 상기 박막 트랜지스터(230)의 층간 절연층은 상기 게이트 전극(233) 상에 형성되며, 상기 층간 절연층의 절연물질은 상기 게이트 절연층과 동일한 물질로 형성된다.
- <32> 상기 박막 트랜지스터(230)의 소스/드레인 전극(233a, 233b)은 상기 층간 절연층 상에 형성되며, 상기 게이트 절연층과 상기 층간 절연층에 형성된 콘택트 홀을 통하여 상기 반도체층(231)의 양측에 각각 전기적으로 연결된다.
- <33> 상기 평탄화층(240)은 상기 박막 트랜지스터(230) 상에 형성되며, 질화막, 산화막 중 하나로 이루어지며, 이들에 제한되지는 않는다.
- <34> 상기 제1 전극층(250)은 상기 평탄화층(240) 상에 형성된 비아홀을 통해 상기 소스 및 드레인 전극(233a, 233b) 중 어느 하나와 전기적으로 연결되어 형성되며, 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, MoW, 몰리브덴(Mo), 구리(Cu) 또는 ITO, IZO 등과 같은 도전성 금속 산화물로 이루어지며, 이들에 제한되지는 않는다.
- <35> 상기 화소정의막층(260)은 상기 제 1 전극층(250) 및 상기 평탄화층(240) 상에 형성되며, 상기 제1 전극층(250)을 적어도 부분적으로 노출시키는 개구부를 포함한다.
- <36> 상기 전도성 고분자층(270)은 제1 전극층(250)을 부분적으로 노출시키는 개구부 상에 형성된다. 상기 전도성 고분자층(270)은 폴리이미드 계열의 고분자, 아크릴레이트 계열의 고분자 및 산기를 포함하는 폴리이미드 공중합체 중 하나로 이루어진다. 상기 전도성 고분자층(270)은 제1 전극층(250) 증착공정시 발생된 상기 파티클(251)의 상부에 형성됨으로써, 상기 제1 전극층(250)을 평평하게 형성시키며 후 공정될 발광층(280) 및 제2 전극층(290)의 급격한 경사가 발생하는 것을 방지한다. 이에 따라 유기 발광소자의 단차부에서 발생하는 압점 발현 및 누설전류 경로등이 발생하는 것을 방지할 수 있다. 또한 상기 전도성 고분자층(270)은 고분자 물질에 불순물을 도핑하여 전기 전도도가 급격하게 증가하는 부도체-금속 상전이 현상을 이용한 것으로, 이러한 상기 고분자 물질에 화학적 또는 전기 화학적 방법으로 적절한 불순물을 도핑하면 전기 전도도가 부도체에서 금속에 이르게 되어 상기 발광층(280)의 홀수송층(HTL) 역할을 할 수도 있다.
- <37> 상기 발광층(280)은 상기 전도성 고분자층(270)상에 형성되며, 상기 발광층(280)은 정공 주입층, 정공수송층, 전자수송층 및 전자 주입층 중 일부를 더 포함할 수 있다. 이러한 상기 발광층(280)은 상기 제1 전극층(250)과 상기 제2 전극층(290)으로 부터 주입된 정공 및 전자가 결합하면서 빛을 발생한다.
- <38> 상기 제2 전극층(290)은 상기 발광층(280)과 상기 화소정의막(260) 상에 형성된다. 여기서, 상기 제2 전극층(290)은 상기 제1 전극층(250)과 동일한 금속으로 형성된다.
- <39> 도 3a 내지 도 3c 는 본 발명에 따른 유기 전계 발광표시장치 제조방법의 공정 순서도이다.
- <40> 먼저, 도 3a에 도시된 바와 같이, 상기 기판(210) 상부에 버퍼층(220)이 형성된다. 상기 버퍼층(220)은 질화막, 산화막 또는 투명 절연성 재료 중에서 선택된 적어도 하나를 예컨대, PECVD(Plasma Enhanced Chemical Vapor Deposition)법에 의해 대략 3000Å 정도의 두께로 도포한다.
- <41> 상기 박막 트랜지스터(230)는 상기 버퍼층(220) 상에 형성된다.
- <42> 상기 박막 트랜지스터(230)의 반도체층(231)은 상기 버퍼층(220) 상에 소정의 패턴으로 형성된다. 상기 반도체층(231)은, 실리콘 또는 유기 물질 중에서 선택된 적어도 하나를 예컨대 CVD(Chemical Vapor Deposition)에 의해 대략 300Å~2000Å 정도의 두께로 도포한 뒤, 이를 소정 형상, 예컨대 섬모양 형상으로 패터닝 한다.
- <43> 이어서 상기 박막 트랜지스터(230)의 게이트 절연층은 상기 반도체층(231) 상에 형성된다. 상기 게이트 절연층은 산화막 또는 질화막 중에서 선택된 적어도 하나를 PECVD(Plasma Enhanced Chemical Vapor Deposition)법에

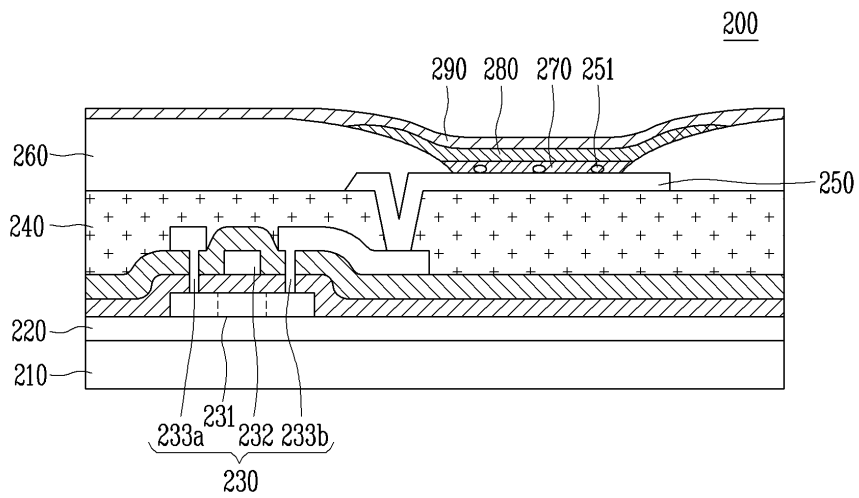
- <8> 260 : 화소정의막 270 : 전도성 고분자층
- <9> 280 : 발광층 290 : 제2 전극층

도면

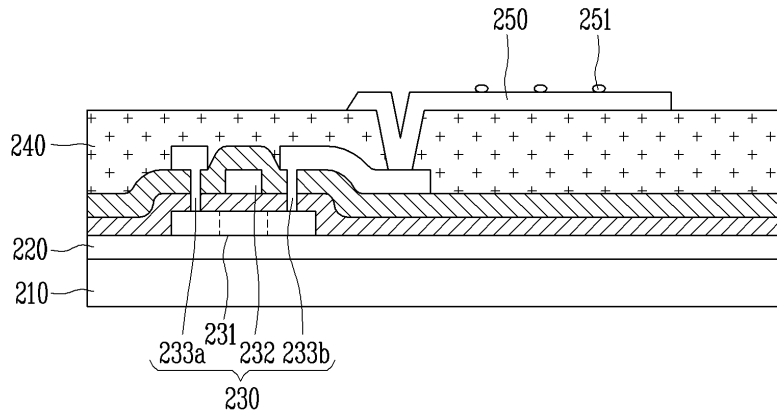
도면1



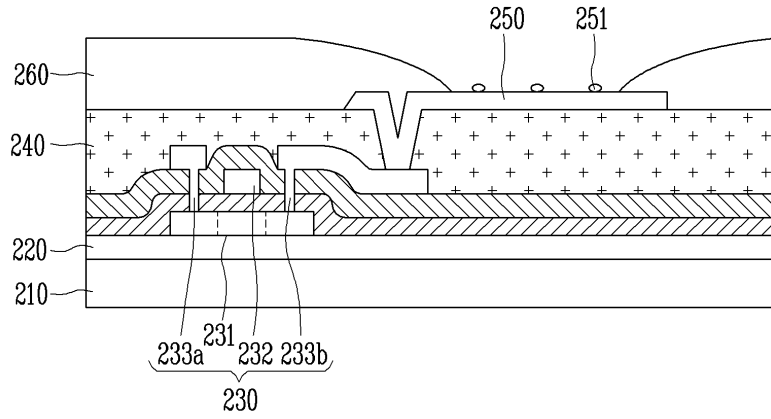
도면2



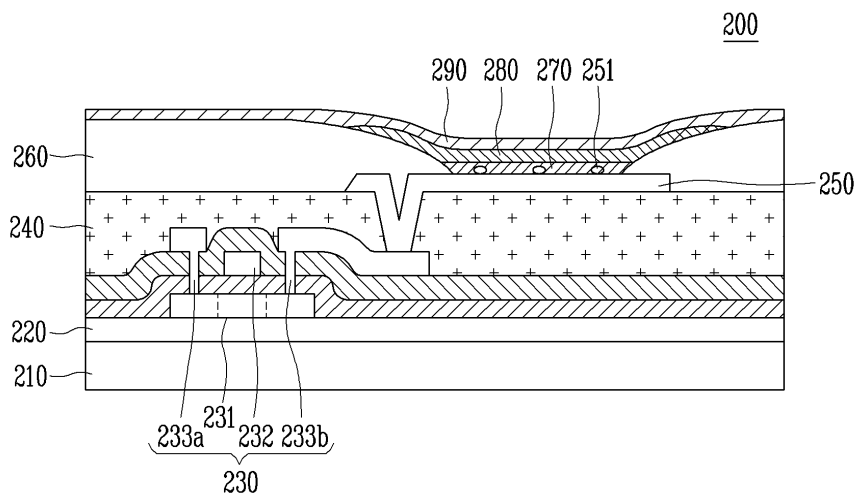
도면3a



도면3b



도면3c



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100759663B1	公开(公告)日	2007-09-17
申请号	KR1020050106695	申请日	2005-11-08
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PILGEUN CHUN		
发明人	PILGEUN CHUN		
IPC分类号	H05B33/22 H05B33/10		
CPC分类号	H01L27/3246 H01L51/5206 H01L51/5253 H01L51/56		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020070049513A		
外部链接	Espacenet		

摘要(译)

有机发光显示装置及其制造方法技术领域本发明涉及一种有机发光显示装置及其制造方法，其能够防止在有机发光显示装置的第一电极层上形成的发光层和第二电极层中形成尖锐的台阶。本发明的有机电致发光显示装置包括第一电极层，发光层和第二电极层，其中导电聚合物层形成在第一电极层上。因此，防止了有机电致发光显示装置的暗点和漏电流路径的发生。

