



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년06월22일
H05B 33/22 (2006.01)	(11) 등록번호	10-0731745
H05B 33/10 (2006.01)	(24) 등록일자	2007년06월18일

(21) 출원번호	10-2005-0054164	(65) 공개번호	10-2006-0134470
(22) 출원일자	2005년06월22일	(43) 공개일자	2006년12월28일
심사청구일자	2005년06월22일		

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 황의훈
 경기 안양시 동안구 관양동 1589-1번지 한가람신라아파트 405동603호

(74) 대리인 박상수

(56) 선행기술조사문헌	
JP2001053286 A	JP2002170960 A
JP2002246602 A	JP2003007716 A
KR1019950034848 A	

심사관 : 안준형

전체 청구항 수 : 총 16 항

(54) 유기전계발광표시장치 및 그 제조방법

(57) 요약

유기전계발광표시장치 및 그 제조방법을 제공한다. 상기 유기전계발광표시장치는 기관 및 상기 기관 상에 위치하는 박막 트랜지스터를 구비한다. 상기 박막트랜지스터 상에 제 1 무기보호막이 위치한다. 상기 제 1 무기보호막 상에 상기 제 1 무기보호막보다 수소함유량이 많은 제 2 무기보호막이 적층된다. 상기 제 2 무기보호막 상에 상기 박막트랜지스터와 전기적으로 연결되는 화소전극이 위치한다.

대표도

도 4

특허청구의 범위

청구항 1.

기관;

상기 기판 상에 위치하는 박막트랜지스터;

상기 박막트랜지스터 상에 위치하는 제 1 무기보호막;

상기 제 1 무기보호막 상에 적층되고, 상기 제 1 무기보호막보다 수소함유량이 많은 제 2 무기보호막; 및

상기 제 2 무기보호막 상에 위치하고, 상기 박막트랜지스터와 전기적으로 연결되는 화소전극을 포함하는 유기전계발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 제 2 무기보호막의 수소함유량과 상기 제 1 무기보호막의 수소함유량의 차이는 5 내지 10 원자%인 것을 특징으로 하는 유기전계발광표시장치.

청구항 3.

제 2 항에 있어서,

상기 제 2 무기보호막의 수소함유량은 15 내지 20원자%인 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 1 항에 있어서,

상기 제 1 무기보호막은 1000 내지 3000Å의 두께를 가지는 것인 유기전계발광표시장치.

청구항 5.

제 1 항에 있어서,

상기 제 2 무기보호막은 4000 내지 6000Å의 두께를 가지는 것인 유기전계발광표시장치.

청구항 6.

제 1 항에 있어서,

상기 박막트랜지스터의 반도체층은 수소 패시베이션된 다결정실리콘막으로 이루어진 것인 유기전계발광표시장치.

청구항 7.

제 1 항에 있어서,

상기 제 1 무기보호막, 제 2 무기보호막 또는 제 1 무기보호막과 제 2 무기보호막 모두는 실리콘질화막인 것인 유기전계발광표시장치.

청구항 8.

기판 상에 박막트랜지스터를 형성하는 단계;

상기 박막트랜지스터 상에 제 1 무기보호막을 형성하는 단계;

상기 제 1 무기보호막이 형성된 기판을 열처리하여, 상기 박막트랜지스터의 반도체층을 수소 패시베이션하는 단계;

상기 제 1 무기보호막 상에 상기 제 1 무기보호막보다 수소함유량이 많은 제 2 무기보호막을 적층하여 형성하는 단계; 및

상기 제 2 무기보호막 상에 상기 박막트랜지스터와 전기적으로 연결되도록 화소전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 제 1 무기보호막을 형성하는 것은 1000 내지 3000Å의 두께를 가지도록 형성하는 것인 유기전계발광표시장치의 제조방법.

청구항 10.

제 8 항에 있어서,

상기 제 2 무기보호막을 형성하는 것은 4000 내지 6000Å의 두께를 가지도록 형성하는 것인 유기전계발광표시장치의 제조방법.

청구항 11.

제 8 항에 있어서,

상기 제 1 무기보호막을 열처리하는 것은 350 내지 420℃의 온도에서 수행하는 것인 유기전계발광표시장치의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 제 1 무기보호막을 열처리하는 것은 380℃의 온도에서 수행하는 것인 유기전계발광표시장치의 제조방법.

청구항 13.

제 8 항에 있어서,

상기 제 1 무기보호막을 열처리하는 것은 로 또는 급속열처리(RTA)를 이용하여 수행하는 것인 유기전계발광표시장치의 제조방법.

청구항 14.

제 8 항에 있어서,

상기 제 1 무기보호막, 제 2 무기보호막 또는 제 1 무기보호막과 제 2 무기보호막 모두는 실리콘질화막으로 형성하는 것인 유기전계발광표시장치의 제조방법.

청구항 15.

제 8 항에 있어서,

상기 제 2 무기보호막의 수소함유량과 상기 제 1 무기보호막의 수소함유량의 차이는 5 내지 10 원자%인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 16.

제 15 항에 있어서,

상기 제 2 무기보호막의 수소함유량은 15 내지 20원자%인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것으로서, 보다 상세하게는 이중 패시베이션층을 구비하는 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

최근 들어 정보통신 기술의 급격한 발달로 인해, 이를 위한 표시 매체 산업도 또한 급속히 성장하고 있다. 표시 장치로서 기존의 CRT는 공간, 무게, 소비전력, 해상도 등의 제약으로 이동성이 결여되어 있어 신개념의 정보통신 매체로서 부적합하다. 따라서 기존의 CRT를 대체하는 TFT LCD(thin film transistor liquid crystal display), PDP(plasma display pannel), OLED(organic light emission display)등의 평판 표시 장치(flat pannel display) 산업이 급속히 성장하고 있다.

상기 평판표시장치 중 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 장치의 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 또한, 저온 제작이 가능하고, 기존의 반도체 공정 기술을 바탕으로 제조 공정이 간단하므로 향후 차세대 평판표시장치로 주목받고 있다.

상기 유기전계발광표시장치는 구동방법에 따라 능동구동형과 수동구동형이 있는데, 상기 능동구동형의 유기전계발광표시장치의 경우 박막트랜지스터들을 포함하는 어레이를 구비한다.

상기 박막트랜지스터들은 표시장치의 게조표시의 향상을 위하여 에스팩터(S-factor)값이 커야하고, 효과적인 회로 구동을 위해서는 이동도(mobility)를 높여주어야 한다. 즉, 유기전계발광표시장치의 화소 영역에 있어서, 박막 트랜지스터의 에스팩터 값이 클수록 인가되는 전압에 대하여 전류량이 미세하게 조절되어 게조 표현이 더욱 세부적으로 이루어질 수 있다. 또한, 상기 표시장치의 회로 영역에 있어서, 상기 박막트랜지스터가 높은 이동도 값을 가질수록 온오프 조절이 유리해지고, 표시 상태에 대해 응답속도가 빨라져 표시능력을 더욱 향상시킬 수 있게 된다.

그러나, SOP(system on pannel)처럼 하나의 기판에 화소 영역과 회로 영역의 박막트랜지스터들을 동시에 제조할 경우, 상기 박막트랜지스터들의 에스펙터와 이동도를 동시에 높이는 어려울 수 있다. 즉, 수소 패시베이션의 효과로 인해 회로 영역의 박막트랜지스터의 이동도는 높여줄 수 있으나, 화소영역의 박막트랜지스터의 에스펙터 값은 낮아져 제조 구현능력이 낮아질 수 있는 것이다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 회로영역의 박막트랜지스터의 이동도를 유지시키면서 그와 동시에 화소영역의 박막트랜지스터의 에스펙터를 향상시키는 유기전계발광표시장치의 제조방법을 제공함에 목적이 있다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명의 일 실시예는 유기전계발광표시장치를 제공한다. 상기 유기전계발광표시장치는 기판 및 상기 기판 상에 위치하는 박막트랜지스터를 구비한다. 상기 박막트랜지스터 상에 제 1 무기보호막이 위치한다. 상기 제 1 무기보호막 상에 상기 제 1 무기보호막보다 수소함유량이 많은 제 2 무기보호막이 적층된다. 상기 제 2 무기보호막 상에 상기 박막트랜지스터와 전기적으로 연결되는 화소전극이 위치한다.

상기 기술적 과제를 이루기 위하여 본 발명의 다른 실시예는 유기전계발광표시장치의 제조방법을 제공한다. 상기 제조방법은 기판 상에 박막트랜지스터를 형성하는 단계를 구비한다. 상기 박막트랜지스터 상에 제 1 무기보호막을 형성한다. 상기 제 1 무기보호막이 형성된 기판을 열처리하여, 상기 박막트랜지스터의 반도체층을 수소 패시베이션한다. 상기 제 1 무기보호막 상에 상기 제 1 무기보호막보다 수소함유량이 많은 제 2 무기보호막을 적층한다. 상기 제 2 무기보호막 상에 상기 박막트랜지스터와 전기적으로 연결되도록 화소전극을 형성한다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 4는 본 발명의 실시예에 따른 유기전계발광표시장치를 나타낸 단면도이다.

도면을 참조하면, 회로영역(A) 및 화소영역(B)을 구비하는 기판 상에 반도체층(110a, 110b), 게이트 전극(120), 및 소스/드레인 전극(130a, 130c/130b, 130d)을 구비하는 박막트랜지스터가 위치한다. 상기 박막트랜지스터의 반도체층(110a, 110b)은 수소화된 다결정실리콘막으로 이루어진 것일 수 있다. 상기 회로영역(A) 상에 위치하는 박막트랜지스터는 NMOS 박막트랜지스터일 수 있고, 상기 화소영역(B) 상에 위치하는 박막트랜지스터는 PMOS 박막트랜지스터일 수 있다.

상기 박막트랜지스터 상에는 제 1 무기보호막(135a)이 위치하고, 상기 제 1 무기보호막(135a) 상에는 제 2 무기보호막(135b)이 적층된다. 상기 제 1 무기보호막(135a) 및/또는 제 2 무기보호막(135b)은 실리콘질화막일 수 있다. 바람직하게는 상기 제 1 무기보호막(135a) 및 제 2 무기보호막(135b)은 실리콘질화막일 수 있다.

상기 제 2 무기보호막(135b)은 상기 제 1 무기보호막(135a)보다 수소를 많이 함유한다. 나아가서, 상기 제 2 무기보호막(135b)의 수소함유량과 상기 제 1 무기보호막(135a)의 수소함유량의 차이는 5 내지 10 원자%일 수 있다. 보다 자세하게는 상기 제 1 무기보호막(135a)의 수소함유량은 10원자%이하일 수 있고, 상기 제 2 무기보호막(135b)의 수소함유량은 15 내지 20원자%일 수 있다. 이러한 수소함유량의 차이는 상기 제 1 무기보호막(135a)에 함유된 수소가 상기 반도체층(110a, 110b)의 다결정 실리콘막의 수소 패시베이션에 기여를 하였기 때문이다.

이 때, 상기 수소 패시베이션 정도는 상기 제 1 무기보호막(135a)의 두께조절 및 상기 제 1 무기보호막(135a) 형성 후의 열처리 조건을 조절함으로써 조절할 수 있다. 따라서, 상기 수소 패시베이션에 기여하는 상기 제 1 무기보호막(135a)의 두께가 조절됨으로써 PMOS 박막트랜지스터의 에스펙터 및 NMOS 박막트랜지스터의 이동도 특성을 확보할 수 있다. 상기 제 1 무기보호막(135a)은 1000 내지 3000Å의 두께를 가질 수 있다. 상기 제 1 무기보호막(135a)이 1000Å 미만의 두께를 가질 경우 수소 패시베이션 효율이 저하되어 에스펙터 값이 너무 높게 되고, 3000Å 이상의 두께를 가질 경우 수소 패시베이션 효율이 증가되어 에스펙터 값이 너무 낮게 되어 제조 구현에 문제가 발생할 수 있으므로, 상기의 범위를 가지는 것이 바람직하다.

또한, 상기 제 2 무기보호막(135b)은 상기 소스/드레인 전극들(130a, 130c/130b, 130d)로 인한 표면 단차를 완전히 커버하기 위한 역할을 수행하며, 상기 제 2 무기보호막(135b)의 두께를 조절함으로써 상기 역할을 수행할 수 있다. 상기 제 2 무기보호막(135b)은 상기 제 1 무기보호막(135a)의 두께에 따라, 4000 내지 6000Å의 두께를 가질 수 있다. 시야각에 따라 유기발광소자의 색좌표가 변하는 현상을 방지하기 위해 상기 제 1 무기보호막 및 제 2 무기보호막의 두께의 합은 7000Å 이하를 가지는 것이 바람직하다.

따라서, 상기 무기보호막들(135)로 인해 NMOS 박막트랜지스터의 이동도는 유지되어 응답속도 및 온오프 특성의 저하를 방지하고, 그와 동시에 PMOS 박막트랜지스터의 에스펙터는 개선되어 계조표시 능력이 향상될 수 있다.

전면발광형 유기전계발광표시장치일 경우, 상기 제 2 무기보호막(135b) 상에는 평탄화막(140)이 위치할 수도 있다. 그리고, 상기 화소 영역(B) 상부에는 상기 평탄화막(140) 상에 상기 박막트랜지스터와 전기적으로 연결되는 화소전극(145)이 위치한다. 상기 화소 전극(145) 상에는 발광층(150)을 포함하는 유기층(155)이 위치하고, 그 상부에 대향전극(160)이 위치함으로써 유기전계발광표시장치가 이루어진다.

도 1 내지 도 4는 본발명의 실시예에 따른 유기전계발광표시장치의 제조방법을 나타낸 단면도들이다.

먼저 도 1을 참조하면, 회로영역(A) 및 화소영역(B)을 구비하는 기판(100) 상에 박막트랜지스터를 형성한다. 즉, 상기 기판(100) 상에 다결정 실리콘막을 형성한 후 패터닝하여 반도체층들(110a, 100b)을 형성한다. 상기 다결정 실리콘막을 형성하기 전에 상기 기판 상에 버퍼층(105)을 형성하여, 이후 진행되는 공정과정 중 상기 기판(100)으로부터 상기 반도체층(110a, 110b)으로 유입되는 불순물을 방지할 수 있다.

상기 반도체층들(110a, 100b) 상에 게이트 절연막(115)을 형성하고, 상기 게이트 절연막(115) 상에 도전막을 적층 후 패터닝함으로써, 상기 반도체층들(110a, 110b)과 대응되는 게이트 전극들(120)을 형성한다. 그리고, 상기 회로 영역(A) 상의 반도체층(110a)에는 n형의 고농도 불순물 및 저농도 불순물을 주입하여 소스/드레인 영역 및 저농도 도핑 영역을 형성한다. 또한, 상기 화소 영역(B) 상의 반도체층(110b)에는 p형의 고농도의 불순물을 주입하여 소스/드레인 영역을 형성한다.

상기 게이트 전극(120) 상에 층간 절연막(125)을 형성하고, 상기 층간 절연막(125) 내에 상기 반도체층들(110a, 110b)의 소스 영역 및 드레인 영역을 노출하는 콘택홀을 형성한다. 상기 콘택홀이 형성된 층간 절연막(125) 상에 도전막을 적층 후 패터닝하여 소스 전극(130a, 130c) 및 드레인 전극(130b, 130d)을 형성한다. 따라서, 상기 회로 영역(A)에는 NMOS 박막트랜지스터가 형성되고, 상기 화소 영역(B)에는 PMOS 박막트랜지스터가 형성될 수 있다.

도 2를 참조하면, 상기 박막트랜지스터들 상에 제 1 무기보호막(135a)을 형성한다. 상기 제 1 무기보호막(135a)을 형성하는 것은 1000 내지 3000Å의 두께를 가지도록 형성하는 것일 수 있다. 그리고, 상기 제 1 무기보호막(135a)을 열처리하여, 상기 박막트랜지스터의 반도체층들(110a, 110b)을 수소 패시베이션시킨다. 상기 제 1 무기보호막(135a)을 열처리하는 것은 350 내지 420°C의 온도에서 수행하는 것일 수 있다. 바람직하게는 상기 제 1 무기보호막(135a)을 열처리하는 것은 380°C의 온도에서 수행한다. 이로써, 상기 반도체층들(110a, 110b)을 가장 효과적으로 수소 패시베이션시킬 수 있다. 또한, 상기 제 1 무기보호막(135a)을 열처리하는 것은 로 또는 급속열처리(RTA)를 이용하여 수행하는 것일 수 있다.

상기 제 1 무기보호막(135a)이 1000Å 미만의 두께를 가질 경우 수소화 효율이 저하되어 에스펙터 값이 너무 높게 되고, 3000Å 이상의 두께를 가질 경우 수소화 효율이 증가되어 에스펙터 값이 너무 낮게 되어 계조 구현에 문제가 발생할 수 있으므로, 상기의 1000 내지 3000Å의 두께범위를 가지는 것이 바람직하다.

도 3을 참조하면, 상기 제 1 무기보호막(135a) 상에 제 2 무기보호막(135b)을 적층하여 형성한다. 상기 제 2 무기보호막(135b)을 형성하는 것은 4000 내지 6000Å의 두께를 가지도록 형성하는 것일 수 있다. 시야각에 따라 유기발광소자의 색좌표가 변하는 현상을 방지하기 위해 상기 제 1 무기보호막 및 제 2 무기보호막의 두께의 합은 7000Å 이하를 가지는 것이 바람직하다.

상기 제 2 무기보호막(135b)의 수소함유량은 상기 열처리 후의 제 1 무기보호막(135a)의 수소함유량보다 5 내지 10 원자% 많을 수 있다. 보다 자세하게는 상기 제 1 무기보호막(135a)의 수소함유량은 10원자% 이하일 수 있고, 상기 제 2 무기보호막(135b)의 수소함유량은 15 내지 20원자%일 수 있다. 상기 수소함유량의 차이는 상기 반도체층(110a, 110b)의 수

소화에 기여한 수소량이라 할 수 있으며, 상기 제 1 무기보호막(135a) 및 제 2 무기보호막(135b)의 두께에 따라 조절될 수 있다. 상기 제 1 무기보호막(135a) 및/또는 제 2 무기보호막(135b)은 실리콘질화막으로 형성하는 것일 수 있다. 바람직하게는 상기 제 1 무기보호막(135a) 및 제 2 무기보호막(135b)은 실리콘질화막으로 형성할 수 있다.

전면발광형 유기전계발광표시장치를 제조하기 위해, 상기 제 1 무기보호막(135a) 및 제 2 무기보호막(135b)을 포함하는 무기보호막(135) 상에 평탄화막(140)을 형성할 수도 있다.

도 4를 참조하면, 상기 평탄화막(140) 및 상기 무기보호막(135)을 식각하여 상기 화소 영역(B) 상의 드레인 전극(130d)을 부분적으로 노출하는 비아홀을 형성한다. 상기 비아홀이 형성된 평탄화막(140) 상에 도전막을 적층 후 패터닝함으로써 화소 전극(145)을 형성한다.

그리고, 상기 화소 전극(145) 상에 발광층(150)을 패터닝하여 형성한다. 상기 발광층(150)의 상부 또는 하부에는 공통층(151, 152)이 형성될 수 있다. 또한, 상기 공통층(151, 152)은 정공주입층, 정공수송층, 정공억제층, 및 전자주입층으로 이루어진 군에서 선택된 하나 이상의 층을 포함할 수 있다.

상기 발광층(150) 상에 대향전극(160)을 형성함으로써 유기전계발광표시장치를 완성한다.

이하, 본 발명에 따른 액정표시장치의 제조방법을 하기 실험예를 통해 설명하겠는 바, 하기 실험예는 본 발명을 설명하기 위한 예시일 뿐 본 발명이 이에 한정되는 것은 아니다.

실험예 1

본 발명에 따른 유기전계발광표시장치를 제작하기 위하여 기판 상에 NMOS 박막트랜지스터 및 PMOS 박막트랜지스터를 형성하였다. 상기 박막트랜지스터들이 형성된 기판 상에 실리콘질화막을 적층하여 제 1 무기보호막을 형성하였다. 이때, 상기 제 1 무기보호막의 두께는 1000Å으로 형성하였다. 그리고, 상기 제 1 무기보호막이 형성된 기판을 약 380℃, 약 2 시간 이내로 열처리를 수행하여 상기 박막트랜지스터들의 반도체층들을 수소화하였다. 상기 수소화는 N₂/H₂의 분위기에서 수행하였다. 상기 열처리를 종료한 후 실리콘질화막을 사용하여, 상기 제 1 무기보호막 상에 제 2 무기보호막을 형성하였다. 이때, 상기 제 2 무기보호막의 두께는 6000Å의 두께가 되었다.

실험예 2

제 1 무기보호막의 두께는 2000Å, 제 2 무기보호막의 두께는 5000Å이 되도록 형성하는 것을 제외하고 상기 실험예 1과 동일한 방법으로 유기전계발광표시장치를 제조하였다.

실험예 3

제 1 무기보호막의 두께는 3000Å, 제 2 무기보호막의 두께는 4000Å이 되도록 형성하는 것을 제외하고 상기 실험예 1과 동일한 방법으로 유기전계발광표시장치를 제조하였다.

비교예 1

기판 상에 NMOS 박막트랜지스터 및 PMOS 박막트랜지스터를 형성하였다. 상기 박막트랜지스터들이 형성된 기판 상에 실리콘질화막을 적층하여 무기보호막을 형성하였다. 이때, 상기 무기보호막의 두께는 7000Å으로 형성하였다. 그리고, 상기 무기보호막이 형성된 기판 상에 열처리를 수행하여 상기 박막트랜지스터들의 반도체층들을 수소화하였다.

시험예 1

상기 실험예 1, 실험예 2, 실험예 3 및 비교예 1 에서 얻어진 PMOS 박막트랜지스터들의 에스펙터 값에 대해 하기와 같은 결과를 얻었다.

[표 1]

	제 1 무기보호막	제 2 무기보호막	에스 팩터
--	-----------	-----------	-------

실험예 1	1000 Å	6000 Å	0.37
실험예 2	2000 Å	5000 Å	0.34
실험예 3	3000 Å	4000 Å	0.32
비교예 1	7000 Å	0 Å	0.27

시험예 2

상기 실험예 1, 실험예 2, 실험예 3 및 비교예 1 에서 얻어진 NMOS 박막트랜지스터들의 이동도 값에 대해 하기와 같은 결과를 얻었다.

[표 2]

	제 1 무기보호막	제 2 무기보호막	이동도
실험예 1	1000 Å	6000 Å	50.91
실험예 2	2000 Å	5000 Å	64.58
실험예 3	3000 Å	4000 Å	68.60
비교예 1	7000 Å	0 Å	88.12

상기 시험예 1 및 시험예 2에서 나타난 바와 같이, 동일한 물질로 동일한 두께를 가지도록 무기보호막을 형성한다하더라도, 1차적으로 제 1 무기보호막을 형성하여 수소 패시베이션을 수행하고, 2차적으로 제 2 무기보호막을 형성하는 것이 PMOS 박막트랜지스터의 에스팩터 값을 향상시킴을 알 수 있다. 또한, NMOS 박막트랜지스터의 이동도의 경우, 40cm²/Vs 이상이 되면 온오프 특성은 유지할 수 있음을 감안할 때, 회로 영역 박막트랜지스터의 기본적인 특성은 유지시킬 수 있음을 알 수 있다. 따라서,상기 무기보호막들로 인해 NMOS 박막트랜지스터의 온오프 특성은 유지시킴과 동시에 PMOS 박막트랜지스터의 에스팩터는 개선시킴으로써 제조표시 능력이 향상될 수 있다.

발명의 효과

본 발명에 따른 유기전계발광표시장치 및 그 제조방법은 수소함유량이 서로 다르도록 무기보호막을 적층하여 형성함으로써 회로영역의 박막트랜지스터의 온오프 특성을 유지시키면서, 그와 동시에 화소영역의 박막트랜지스터의 에스팩터는 향상시킬 수 있다. 따라서, 회로 동작에 영향을 최소화하면서 제조 표시능력이 개선된 유기전계발광표시장치를 제조할 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1 내지 도 4는 본발명의 실시예에 따른 유기전계발광표시장치의 제조방법을 나타낸 단면도들이다.

* 도면의 주요 부분에 대한 도면 부호의 설명 *

A : 회로 영역, B : 화소 영역,

110a, 110b : 반도체층, 120 : 게이트 전극,

130a, 130c : 소스 전극, 130b, 130d : 드레인 전극,

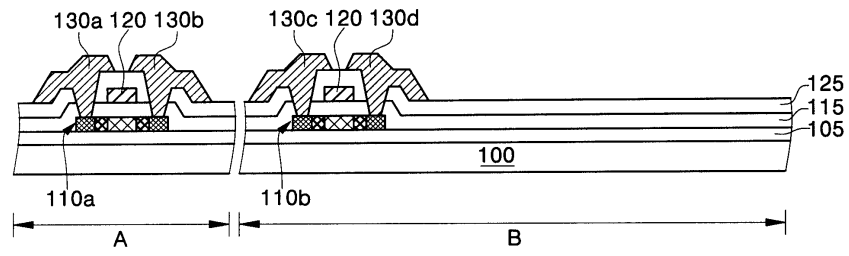
135a : 제 1 실리콘질화막, 135b : 제 2 실리콘질화막,

145 : 화소 전극, 155 : 유기막,

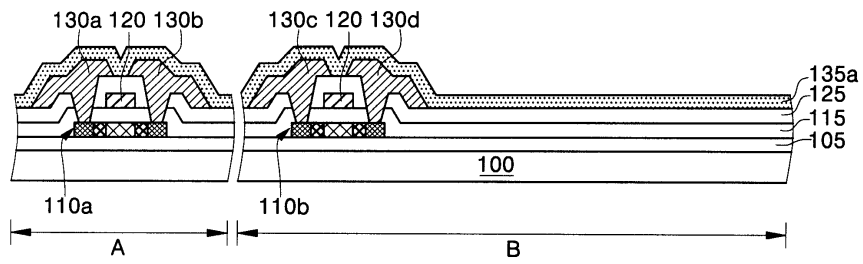
160 : 대향전극

도면

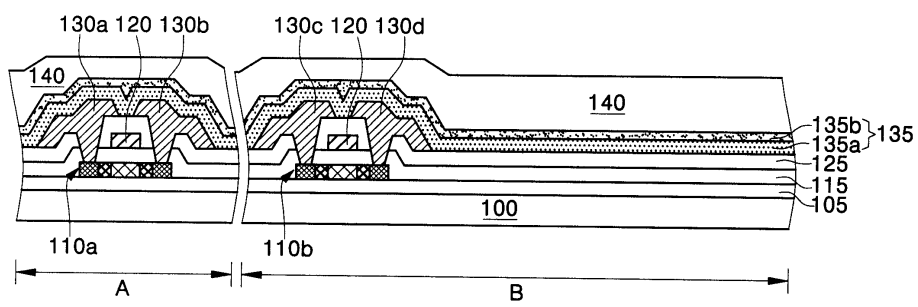
도면1



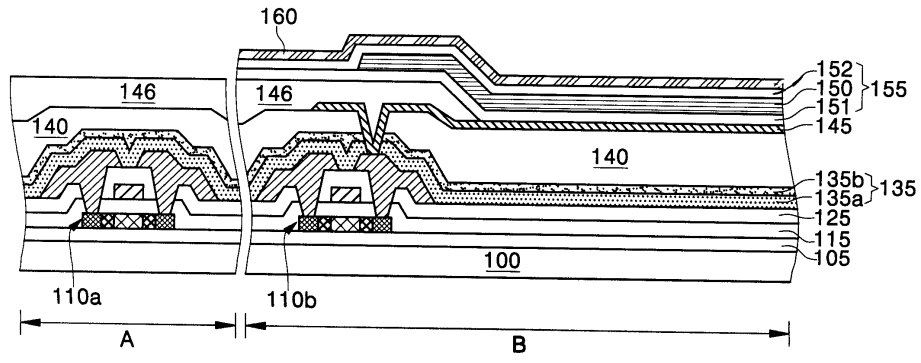
도면2



도면3



도면4



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100731745B1	公开(公告)日	2007-06-22
申请号	KR1020050054164	申请日	2005-06-22
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	HWANG EUI HOON		
发明人	HWANG,EUI HOON		
IPC分类号	H05B33/22 H05B33/10		
CPC分类号	H01L27/1214 H01L27/1248 Y10T428/1064 Y10T428/1068		
代理人(译)	PARK , 常树		
其他公开文献	KR1020060134470A		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示器 (OLED) 及其制造方法。 OLED包括基板和设置在基板上的薄膜晶体管。第一无机钝化层设置在薄膜晶体管上。在第一无机钝化层上形成第二无机钝化层，其氢含量高于第一无机钝化层的氢含量。与薄膜晶体管电连接的像素电极设置在第二无机钝化层上。

