



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월21일 10-0698245 2007년03월15일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0115735 2004년12월29일 2004년12월29일	(65) 공개번호 (43) 공개일자	10-2006-0076047 2006년07월04일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지		
(72) 발명자	김창연 경기 안양시 동안구 범계동 목련대우아파트 208동 404호		
(74) 대리인	김영호		
(56) 선행기술조사문헌	1020030017931 16318093 * 심사관에 의하여 인용된 문헌	1020040026362	

심사관 : 천대식

전체 청구항 수 : 총 9 항

(54) 유기발광다이오드 표시소자의 구동방법 및 장치

(57) 요약

본 발명은 모든 계조에서 데이터라인의 충/방전 부족을 방지하도록 한 유기발광다이오드 표시소자의 구동방법 및 장치에 관한 것이다.

이 유기발광다이오드 표시소자의 구동방법은 다수의 데이터라인들, 상기 데이터라인들과 교차되는 다수의 게이트라인들, 다수의 유기발광다이오드 소자들을 구비하는 유기발광다이오드 표시소자의 구동방법에 있어서, 스캔기간에 앞선 프리차징 기간 동안 프리차징 전류를 상기 데이터라인들에 공급하는 단계; 상기 프리차징 기간 동안 데이터 전류와 상기 프리차징 전류를 전류미러회로에 인가함으로써 상기 데이터 전류에 비례하여 상기 프리차징 전류를 제어하여 데이터의 계조에 따라 상기 프리차징 전류를 변화시키는 단계; 및 상기 프리차징 기간에 이어서, 스캔기간 동안 상기 데이터 전류를 상기 데이터라인들에 공급하는 단계를 포함한다.

대표도

도 9

특허청구의 범위

청구항 1.

다수의 데이터라인들, 상기 데이터라인들과 교차되는 다수의 게이트라인들, 다수의 유기발광다이오드 소자들을 구비하는 유기발광다이오드 표시소자의 구동방법에 있어서,

프리차징 기간 동안 프리차징 전류를 상기 데이터라인들에 공급하는 단계;

상기 프리차징 기간 동안 데이터 전류와 상기 프리차징 전류를 전류미러회로에 인가함으로써 상기 데이터 전류에 비례하여 상기 프리차징 전류를 제어하여 데이터의 계조에 따라 상기 프리차징 전류를 변화시키는 단계; 및

상기 프리차징 기간에 이어서, 스캔기간 동안 상기 데이터 전류를 상기 데이터라인들에 공급하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동방법.

청구항 2.

제 1 항에 있어서,

상기 프리차징 기간 동안 데이터의 계조에 따라 상기 프리차징 전류를 변화시키는 단계는,

상기 전류미러회로를 구성하는 박막트랜지스터들의 채널특성을 비대칭으로 하여 상기 데이터라인들에 공급되는 데이터 전류와 프리차징 전류를 크게 하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동방법.

청구항 3.

다수의 데이터라인들;

상기 데이터라인들과 교차되는 다수의 게이트라인들;

상기 데이터라인들과 상기 게이트라인들에 의해 정의된 화소 영역에 형성되는 다수의 유기발광다이오드 소자들;

데이터 전류를 발생하는 데이터 구동부;

상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동부;

프리차징 기간 동안 프리차징 전류를 상기 데이터라인들에 공급하는 프리차징 전류 발생부; 및

상기 프리차징 기간 동안 상기 데이터 전류에 비례하여 상기 프리차징 전류가 변화되도록 상기 데이터 전류와 상기 프리차징 전류가 인가되는 전류미러회로를 포함하여 데이터의 계조에 따라 상기 프리차징 전류를 변화시킨 후에, 스캔기간 동안 상기 데이터 전류를 상기 데이터라인들에 공급하는 샘플 & 홀더부를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 4.

제 3 항에 있어서,

상기 게이트라인으로부터의 스캔전압에 응답하여 턴-온되는 화소 스위치 박막트랜지스터와;

상기 화소 스위치 박막트랜지스터의 턴-온시 상기 데이터라인으로부터의 전압에 응답하여 고전위 구동전압이 공급되는 소스단자와 상기 유기발광다이오드소자에 접속된 드레인단자 사이의 전류패스를 형성하는 화소 구동 박막트랜지스터를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 5.

제 3 항에 있어서,

상기 프리차징기간을 지시하는 제1 제어신호, 반전된 제1 제어신호, 및 상기 반전된 제1 제어신호와 동위상의 제2 제어신호를 발생하고 상기 제어신호들을 이용하여 상기 프리차징 전류 발생부와 상기 샘플 & 홀더부를 제어하는 제어부를 더 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 6.

제 5 항에 있어서,

상기 프리차징 전류 발생부는,

상기 제1 제어신호에 응답하여 상기 고전위 구동전압이 공급되는 소스단자와 상기 데이터라인에 접속된 드레인단자 사이의 전류패스를 형성하여 상기 데이터라인들에 상기 프리차징 전류를 공급하는 스위치 박막트랜지스터와;

상기 고전위 구동전압을 상기 스위치 박막트랜지스터에 공급하는 소스 박막트랜지스터를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 7.

제 5 항에 있어서,

상기 샘플 & 홀더부는,

상기 데이터 구동부로부터 데이터전류를 공급받고 상기 제2 제어신호에 응답하여 절환되는 제1 스위치소자와;

제1 노드를 경유하여 상기 제1 스위치소자에 접속되는 제1 전류미러 박막트랜지스터와;

제2 노드를 경유하여 상기 제1 전류미러 박막트랜지스터의 게이트단자에 자신의 게이트단자가 접속된 제2 전류미러 박막트랜지스터와;

상기 제2 제어신호에 응답하여 상기 제1 노드와 상기 제2 노드 사이의 전류패스를 절환하는 제2 스위치소자와;

상기 제1 제어신호에 응답하여 상기 프리차징 기간 동안 상기 데이터라인에 접속된 제3 노드와 상기 제2 전류미러 박막트랜지스터의 소스단자 사이의 전류패스를 형성하는 제3 스위치소자와;

상기 제3 노드를 경유하여 상기 데이터라인에 접속됨과 아울러 상기 제2 노드를 경유하여 상기 제1 및 제2 전류미러 박막트랜지스터의 게이트단자에 자신의 게이트단자가 접속된 제3 전류미러 박막트랜지스터와;

상기 제2 노드와 기저전압원 사이에 접속된 커패시터를 구비하고,

상기 제1 및 제2 박막트랜지스터들은 채널특성이 실질적으로 동일하고, 상기 제3 박막트랜지스터는 상기 제1 및 제2 박막트랜지스터들의 채널특성과 다르게 하여 상기 데이터라인들에 공급되는 데이터 전류와 프리차징 전류를 크게 하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 8.

제 5 항에 있어서,

상기 샘플 & 홀더부는,

상기 데이터 구동부로부터 데이터전류를 공급받고 상기 제2 제어신호에 응답하여 절환되는 제1 스위치소자와;

제1 노드를 경유하여 상기 제1 스위치소자에 접속되는 제1 전류미러 박막트랜지스터와;

제2 노드를 경유하여 상기 제1 전류미러 박막트랜지스터의 게이트단자에 자신의 게이트단자가 접속된 제2 전류미러 박막트랜지스터와;

상기 제2 제어신호에 응답하여 상기 제1 노드와 상기 제2 노드 사이의 전류패스를 절환하는 제2 스위치소자와;

상기 제1 제어신호에 응답하여 상기 프리차징 기간 동안 상기 데이터라인과 상기 제2 전류미러 박막트랜지스터의 소스단자 사이의 전류패스를 형성하는 제3 스위치소자를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

청구항 9.

제 4 항에 있어서,

상기 샘플 & 홀더부는,

상기 데이터에 비례하여 상기 프리차징 전류를 변환시키는 것을 특징으로 하는 유기발광다이오드 표시소자의 구동장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기발광다이오드 표시소자에 관한 것으로 특히, 모든 계조에서 데이터라인의 충/방전 부족을 방지하도록 한 유기발광다이오드 표시소자의 구동방법 및 장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED) 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광소자(Electroluminescence Device) 등이 있다.

이들 중에 PDP는 구조와 제조공정이 단순하기 때문에 경박단소하면서도 대화면화에 가장 유리한 표시장치로 주목받고 있지만 발광효율과 휘도가 낮고 소비전력이 큰 단점이 있다. 스위칭 소자로 박막 트랜지스터(Thin Film Transistor : 이하 "TFT"라 한다)가 적용된 액티브 매트릭스 LCD는 반도체공정을 이용하기 때문에 대화면화에 어려움이 있지만 노트북 컴

퓨터의 표시소자로 주로 이용되면서 수요가 늘고 있다. 이에 비하여, 전계발광소자는 발광층의 재료에 따라 무기 전계발광소자와 유기발광다이오드소자로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

유기발광다이오드소자는 도 1과 같이 유리기판(1) 상에 투명전극패턴으로 애노드전극(2)을 형성하고, 그 위에 정공주입층(3), 발광층(4), 전자주입층(5)이 적층된다. 전자주입층(5) 상에는 금속전극으로 캐소드전극(6)이 형성된다.

애노드전극(2)과 캐소드전극(6)에 구동전압이 인가되면 정공주입층(3) 내의 정공과 전자주입층(5) 내의 전자는 각각 발광층(4) 쪽으로 진행하여 발광층(4)을 여기시켜 발광층(4)으로 하여금 가시광을 발산하게 한다. 이렇게 발광층(4)으로부터 발생하는 가시광으로 화상 또는 영상을 표시하게 된다.

도 2 및 도 3을 참조하면, 유기발광다이오드 표시소자는 교차되는 m 개의 데이터라인들(DL1 내지 DLm) 및 n 개의 게이트라인들(GL1 내지 GLn)과, 그 라인들(DL1 내지 DLm, GL1 내지 GLn)의 교차부들에 형성된 $m \times n$ 개의 화소들(P)을 구비한다.

또한, 유기발광다이오드 표시소자는 스위치 TFT(SW_TFT), 구동 TFT(DRV_TFT), 및 스토리지 커패시터(Cst)를 구비한다. 스위치 TFT(SW_TFT)와 구동 TFT(DRV_TFT)는 P 타입 MOS-FET로 구현된다.

스위치 TFT(SW_TFT)는 게이트라인(GL1 내지 GLn)으로부터의 스캔전압에 응답하여 턴-온됨으로써 자신의 소스단자와 드레인단자 사이의 전류패스를 도통시키고, 게이트라인(GL1 내지 GLn) 상의 전압이 자신의 문턱전압(Threshold Voltage : V_{th}) 이하일 때 오프 상태를 유지하게 된다. 이 스위치 TFT(SW_TFT)의 온타임기간에 데이터라인들(DL)로부터의 데이터전압(VDL)은 스위치 TFT(SW_TFT)의 소스단자와 드레인단자를 경유하여 구동 TFT(DRV_TFT)의 게이트단자에 인가된다. 이와 반대로, 스위치 TFT(SW_TFT)의 오프타임기간에는 스위치 TFT(SW_TFT)의 소스단자와 드레인단자 사이의 전류패스가 개방되어 데이터전압(VDL)이 구동 TFT(DRV_TFT)에 인가되지 않는다.

구동 TFT(DRV_TFT)는 자신의 게이트단자에 공급되는 데이터전압에 따라 소스단자와 드레인단자간의 전류양을 조절하여 데이터전압에 대응하는 밝기로 유기발광다이오드소자(OLED)를 발광시킨다.

스토리지 커패시터(Cst)는 데이터전압과 고전위 구동전압(VDD) 사이의 차전압을 저장하여 구동 TFT(DRV_TFT)의 게이트단자에 인가되는 전압을 한 프레임기간동안 일정하게 유지시킨다.

유기발광다이오드소자(OLED)는 구동 TFT(DRV_TFT)의 드레인단자에 접속된 애노드단자와 저전위 구동전압(VSS)이 공급되는 캐소드단자를 포함한다. 이 유기발광다이오드소자(OLED)는 구동 TFT(DRV_TFT)로부터의 전류에 의해 발광한다.

도 4는 도 2 및 도에 도시된 유기발광다이오드소자에 인가되는 스캔전압과 데이터전압을 나타낸다.

도 4를 참조하면, 게이트라인들(GL1 내지 GLn)에는 스캔펄스(SC)가 순차적으로 인가되며 데이터라인들(DL1 내지 DLn)에는 스캔펄스에 동기되는 데이터전압이 인가된다.

그런데 유기발광 다이오드 표시소자는 데이터라인(DL1 내지 DLm)이 스캔기간 동안 원하는 계조전압까지 충전 또는 방전되지 않기 때문에 화질이 저하되는 문제점이 있다. 이러한 문제점을 해결하고자 최근에는 도 5와 같이 데이터라인(DL1 내지 DLm)에 선충전압(Pre-charging Voltage, V_{pre})을 인가한 후에 데이터전압(V_{hdata} , V_{ldata})을 인가하는 방법이 개발된 바 있다. 그러나 이러한 선충전 방법은 선충전전압이 계조를 고려하지 않고 고정되기 때문에 데이터전압(V_{hdata} , V_{ldata})이 도 5와 같이 고계조에서 저계조로 혹은 저계조에서 고계조로 변할 때 스캔기간 동안 목표전압($V_{htarget}$, $V_{ltarget}$)까지 데이터라인(DL1 내지 DLm)을 충전시키지 못한다. 예컨대, 도 5에서와 같이 저계조를 표현하려면 데이터라인(DL1 내지 DLm)이 스캔기간 동안 저계조 목표전압($V_{ltarget}$)까지 충전되어야 하나, 종래의 선충전 방법은 데이터라인(DL1 내지 DLm)을 미리 선충전전압(V_{pre})으로 충전시켜도 스캔기간 동안 저계조 목표전압($V_{ltarget}$)까지 충전 또는 방전시키지 못한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 모든 계조에서 데이터라인의 충/방전 부족을 방지하도록 한 유기발광다이오드 표시소자의 구동 방법 및 장치를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 유기발광다이오드 표시소자의 구동방법은 다수의 데이터라인들, 상기 데이터라인들과 교차되는 다수의 게이트라인들, 다수의 유기발광다이오드 소자들을 구비하는 유기발광다이오드 표시소자의 구동방법에 있어서, 스캔기간에 앞선 프리차징 기간 동안 프리차징 전류를 상기 데이터라인들에 공급하는 단계; 상기 프리차징 기간 동안 데이터 전류와 상기 프리차징 전류를 전류미러회로에 인가함으로써 상기 데이터 전류에 비례하여 상기 프리차징 전류를 제어하여 데이터의 계조에 따라 상기 프리차징 전류를 변화시키는 단계; 및 상기 프리차징 기간에 이어서, 스캔기간 동안 상기 데이터 전류를 상기 데이터라인들에 공급하는 단계를 포함한다.

상기 프리차징 기간 동안 데이터의 계조에 따라 상기 프리차징 전류를 변화시키는 단계는 상기 전류미러회로를 구성하는 박막트랜지스터들의 채널특성을 비대칭으로 하여 상기 데이터라인들에 공급되는 데이터 전류와 프리차징 전류를 크게 한다.

본 발명에 따른 유기발광다이오드 표시소자의 구동장치는 다수의 데이터라인들; 상기 데이터라인들과 교차되는 다수의 게이트라인들과; 상기 데이터라인들과 상기 게이트라인들에 의해 정의된 화소 영역에 형성되는 다수의 유기발광다이오드 소자들; 데이터 전류를 발생하는 데이터 구동부; 상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동부와; 스캔기간에 앞선 프리차징 기간 동안 프리차징 전류를 상기 데이터라인들에 공급하는 프리차징 전류 발생부; 및 상기 프리차징 기간 동안 상기 데이터 전류에 비례하여 상기 프리차징 전류가 변화되도록 데이터 전류와 상기 프리차징 전류가 인가되는 전류미러회로를 포함하여 데이터의 계조에 따라 상기 프리차징 전류를 변화시킨 후에, 스캔기간 동안 상기 데이터 전류를 상기 데이터라인들에 공급하는 샘플 & 홀더부를 구비한다.

상기 유기발광다이오드 표시소자의 구동장치는 상기 게이트라인으로부터의 스캔전압에 응답하여 턴-온되는 화소 스위치 박막트랜지스터와; 상기 화소 스위치 박막트랜지스터의 턴-온시 상기 데이터라인으로부터의 전압에 응답하여 고전위 구동전압이 공급되는 소스단자와 상기 유기발광다이오드소자에 접속된 드레인단자 사이의 전류패스를 형성하는 화소 구동 박막트랜지스터를 구비한다.

상기 유기발광다이오드 표시소자의 구동장치는 상기 프리차징기간을 지시하는 제1 제어신호, 반전된 제1 제어신호, 및 상기 반전된 제1 제어신호와 동위상의 제2 제어신호를 발생하고 상기 제어신호들을 이용하여 상기 프리차징 전류 발생부와 상기 샘플 & 홀더부를 제어하는 제어부를 더 구비한다.

상기 프리차징 전류 발생부는 상기 제1 제어신호에 응답하여 상기 고전위 구동전압이 공급되는 소스단자와 상기 데이터라인에 접속된 드레인단자 사이의 전류패스를 형성하여 상기 데이터라인들에 상기 프리차징 전류를 공급하는 스위치 박막트랜지스터와; 상기 고전위 구동전압을 상기 스위치 박막트랜지스터에 공급하는 소스 박막트랜지스터를 구비한다.

상기 샘플 & 홀더부는 상기 데이터 구동부로부터 데이터전류를 공급받고 상기 제2 제어신호에 응답하여 절환되는 제1 스위치소자와; 제1 노드를 경유하여 상기 제1 스위치소자에 접속되는 제1 전류미러 박막트랜지스터와; 제2 노드를 경유하여 상기 제1 전류미러 박막트랜지스터의 게이트단자에 자신의 게이트단자가 접속된 제2 전류미러 박막트랜지스터와; 상기 제2 제어신호에 응답하여 상기 제1 노드와 상기 제2 노드 사이의 전류패스를 절환하는 제2 스위치소자와; 상기 제1 제어신호에 응답하여 상기 프리차징 기간 동안 상기 데이터라인에 접속된 제3 노드와 상기 제2 전류미러 박막트랜지스터의 소스단자 사이의 전류패스를 형성하는 제3 스위치소자와; 상기 제3 노드를 경유하여 상기 데이터라인에 접속됨과 아울러 상기 제2 노드를 경유하여 상기 제1 및 제2 전류미러 박막트랜지스터의 게이트단자에 자신의 게이트단자가 접속된 제3 전류미러 박막트랜지스터와; 상기 제2 노드와 기저전압원 사이에 접속된 커패시터를 구비한다.

상기 샘플 & 홀더부는 상기 데이터 구동부로부터 데이터전류를 공급받고 상기 제2 제어신호에 응답하여 절환되는 제1 스위치소자와; 제1 노드를 경유하여 상기 제1 스위치소자에 접속되는 제1 전류미러 박막트랜지스터와; 제2 노드를 경유하여 상기 제1 전류미러 박막트랜지스터의 게이트단자에 자신의 게이트단자가 접속된 제2 전류미러 박막트랜지스터와; 상기 제2 제어신호에 응답하여 상기 제1 노드와 상기 제2 노드 사이의 전류패스를 절환하는 제2 스위치소자와; 상기 제1 제어신호에 응답하여 상기 프리차징 기간 동안 상기 데이터라인과 상기 제2 전류미러 박막트랜지스터의 소스단자 사이의 전류패스를 형성하는 제3 스위치소자를 구비한다.

상기 샘플 & 홀더부는 상기 데이터에 비례하여 상기 프리차징 전류를 변환시킨다.

이하, 도 6 내지 도 12을 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.

도 6 및 도 7을 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시소자의 구동장치는 m 개의 데이터라인들(DL1 내지 DL m)과 n 개의 게이트라인들(GL1 내지 GL n)이 형성되고 그 교차부들에 매트릭스 타입으로 배치되는 $m \times n$ 개의 픽셀들이 형성되는 표시패널(60)과, 데이터라인들(DL1 내지 DL m)에 프리차징전류를 공급하기 위한 프리차징전류 발생부(64)와, 데이터라인들(DL1 내지 DL m)에 데이터를 공급하기 위한 데이터 구동부(62)와, 데이터의 계조에 따라 프리차징 전류를 다르게 제어하는 샘플 & 홀더부(65)와, 게이트라인들(GL1 내지 GL n)에 스캔펄스를 순차적으로 공급하기 위한 게이트 구동부(63)와, 데이터 구동부(62), 샘플 & 홀더부(65) 및 게이트 구동부(63)를 제어하기 위한 타이밍 콘트롤러(61)를 구비한다.

표시패널(60)에 형성된 각 픽셀들(P) 각각은 전류 구동형 스위치 구성을 갖는다. 일 예로 픽셀들(P) 각각은 도 7과 같이 제1 내지 제4 TFT(T1 내지 T4), 스토리지 커패시터(Cst), 및 유기발광다이오드소자(OLED)를 구비한다. 제1 내지 제4 TFT(T1 내지 T4)는 도 7과 같이 P 타입 MOS-FET로 구현되거나 N 타입 MOS-TFT로 구현된다.

제1 TFT(T1)의 소스단자는 고전압 구동전압원(VDD)과 스토리지 커패시터(Cst)의 일측단자에 접속되고, 드레인단자는 유기발광다이오드소자(OLED)의 애노드단자에 접속되며, 게이트단자는 제2 TFT(T2)의 게이트단자와 스토리지 커패시터(Cst)의 타측단자에 접속된다. 이 제1 TFT(T1)는 제3 및 제4 TFT(T3, T4)가 턴-온되는 동안 제2 TFT(T2)와 함께 전류미러회로를 구성하여 유기발광다이오드소자(OLED)에 구동 전류를 공급하는 역할을 한다.

제2 TFT(T2)의 소스단자는 고전압 구동전압원(VDD)과 스토리지 커패시터(Cst)의 일측단자에 접속되고, 드레인단자는 제3 TFT(T3)의 드레인단자와 제4 TFT(T4)의 소스단자에 접속되며, 게이트단자는 제1 TFT(T1)의 게이트단자와 스토리지 커패시터(Cst)의 타측단자에 접속된다. 이 제2 TFT(T2)는 제3 및 제4 TFT(T3, T4)가 턴-온되는 동안 제1 TFT(T1)와 함께 전류미러회로를 구성하여 데이터에 따라 변화하는 소스-드레인 간 전류에 의해 제1 TFT(T1)의 소스-드레인 간 전류를 제어하는 역할을 한다.

제3 TFT(T3)의 소스단자는 데이터라인(DL)에 접속되고, 드레인단자는 제4 TFT(T4)의 소스단자에 접속되며, 게이트단자는 게이트라인(GL)에 접속된다. 이 제3 TFT(T3)는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 턴-온되어 데이터라인(DL)을 제2 및 제4 TFT(T2, T4)에 접속시킨다.

제4 TFT(T4)의 소스단자는 제3 TFT(T3)의 드레인단자와 제2 TFT(T2)의 드레인단자에 접속되고, 드레인단자는 제1 및 제2 TFT(T1, T2)의 게이트단자들과 스토리지 커패시터(Cst)의 타측단자에 접속되며, 게이트단자는 게이트라인(GL)에 접속된다. 이 제4 TFT(T4)는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 턴-온되어 제2 TFT(T2)의 드레인단자와 게이트단자를 접속시킴으로써 제1 및 제2 TFT(T1, T2)를 전류 미러 회로로 구성하는 역할을 한다.

스토리지 커패시터(Cst)는 고전위 구동전압(VDD)과 제1 및 제2 TFT(T1, T2)의 게이트단자 전압의 차전압을 저장하여 한 프레임 기간 동안 유기발광다이오드소자(OLED)에 흐르는 전류를 일정하게 유지시키는 역할을 한다.

한편, 픽셀들(P)은 도 7과 같은 전류 구동형 픽셀 뿐만 아니라 공지의 어떠한 전류 구동형 픽셀 구성으로 구현 가능하다.

데이터 구동부(62)는 표시패널(60)의 상단에 형성되어 타이밍 콘트롤러(61)로부터의 제어신호(DDC)에 응답하여 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하고, 그 아날로그 감마보상전압을 데이터전압으로써 샘플 & 홀더부(65)에 공급한다.

프리차징 전류 발생부(64)는 표시패널(60)의 하단에 형성되어 고전위 구동전압(VDD)을 입력받아 타이밍 콘트롤러(61)의 제어 하에 데이터 공급 전 프리차징기간 동안 프리차징 전류를 발생한다.

샘플 & 홀더부(65)는 데이터 구동부(62)와 데이터라인들(DL1 내지 DL m) 사이에 설치되어 타이밍 콘트롤러(61)로부터의 제어 하에 데이터 구동부(62)로부터의 데이터 전류에 따라 프리차징 전류를 제어한다.

게이트 구동부(63)는 타이밍 콘트롤러(61)로부터의 제어신호(GDC)에 응답하여 스캔펄스를 발생하고 그 스캔펄스를 게이트라인들(GL1 내지 GL n)에 순차적으로 공급하여 데이터신호가 공급될 표시패널(60)의 수평라인을 선택한다.

타이밍 콘트롤러(60)는 디지털 비디오 데이터(RGB)를 데이터 구동부(62)에 공급하고 동기신호와 메인클럭을 이용하여 게이트 구동부(63), 데이터 구동부(62), 프리차징 전류 발생부(64) 및 샘플 & 홀더부(65)를 제어하기 위한 제어신호들(DDC, GDC, Ven_pre, V_gate)을 발생한다. 게이트 구동부(63)의 제어신호(DDC)에는 게이트 스타트 펄스(Gate Start Pulse :

GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 신호(Gate Output Enable : GOE) 등이 포함되며, 데이터 구동회로(62)의 제어신호(DDC)에는 소스 스타트 펄스(Source Start Pulse : GSP), 소스 쉬프트 클럭(Source Shift Clock : SSC) 등이 포함된다. 프리차징 전류 발생부(64)와 샘플 & 홀더부(65)의 제어신호들(Ven_pre, V_gate)은 데이터 공급전 프리차징 전류가 데이터라인들(DL1 내지 DLm)에 공급되는 기간을 지시하는 제1 제어신호(Ven_pre)와, 반전된 제1 제어신호(/Ven_pre)와 동위상의 제2 제어신호(V_gate)를 포함한다.

도 8은 프리차징 전류 발생부(64)에서 제1 데이터라인(DL1)에 프리차징 전류를 공급하기 위한 한 채널 회로를 상세히 나타낸다. 도 9는 프리차징 전류 발생부(64)와 샘플 & 홀더부(65)의 제어신호, 제1 데이터라인(DL1)의 전압(VDL1), n-1 번째 및 n 번째 게이트라인(GLn-1, GLn)에 공급되는 전압(VGLn-1, VGLn)을 나타내는 파형도이다. 도 9에 있어서, "SC"는 게이트라인들(GLn-1, GLn)에 공급되는 스캔펄스들이고, "VDL1"은 프리차징 전압에 의해 실제로 제1 데이터라인(DL1)에 공급되는 전압이다.

도 8 및 도 9를 참조하면, 프리차징 전류 발생부(64)는 고전위 구동전압(VDD)이 공급되는 소스 TFT(Source TFT)와, 제1 제어신호(Ven_pre)에 응답하여 프리차징전류(Ipre)를 발생하는 프리차징 스위치 TFT(PRESW TFT)를 구비한다.

소스 TFT(Source TFT)와 프리차징 스위치 TFT(PRESW TFT)는 화소 내의 TFT들과 마찬가지로, P 타입 MOS-FET로 구현된다.

소스 TFT(Source TFT)의 소스단자는 고전위 구동전압원(VDD)에 접속되고, 게이트단자와 드레인단자는 서로 접속된다. 이 소스 TFT(Source)는 다이오드와 같이 동작하여 고전위 구동전압(VDD)을 프리차징 스위치 TFT(PRESW TFT)에 공급한다.

프리차징 스위치 TFT(PRESW TFT)의 게이트단자에는 타이밍 컨트롤러(61)로부터의 제1 제어신호(Ven_pre)가 공급된다. 그리고 프리차징 스위치 TFT(PRESW TFT)의 소스단자는 소스 TFT(Source TFT)의 게이트단자 및 드레인단자에 접속되고, 드레인단자는 제1 데이터라인(DL1)에 접속된다. 제1 제어신호(Ven_pre)는 도 9와 같이 스캔기간(Tsc)에 앞선 프리차징기간(Tpre) 동안 로우논리전압으로 발생하는 반면에 스캔기간(Tsc) 동안 하이논리전압을 유지한다. 따라서, 프리차징 스위치 TFT(PRESW TFT)는 프리차징기간(Tpre) 동안 턴-온되어 소스-드레인간 채널을 형성하여 제1 데이터라인(DL1)에 프리차징 전류(Ipre)를 공급하는 반면에, 스캔기간(Tsc) 동안 턴-오프되어 제1 데이터라인(DL1)에 데이터전류만 흐르게 한다.

도 10은 샘플 & 홀더부(65)에서 제1 데이터라인(DL1)에 흐르는 프리차징 전류(Ipre)를 제어하고 제1 데이터라인(DL1)에 데이터전류(Idata)를 공급하기 위한 한 채널 회로의 제1 실시예를 나타낸다.

도 10을 참조하면, 샘플 & 홀더부(65)는 제1 내지 제3 TFT(TFT1, TFT2, TFT3)와, 제2 제어신호(V_gate)에 응답하여 절환되는 제1 및 제2 스위치소자(S1, S2)와, 반전된 제1 제어신호(/Ven_pre)에 응답하여 절환되는 제3 스위치소자(S3)와, 제1 및 제2 TFT들(TFT1, TFT2)의 게이트단자와 기저전압원(GND) 사이에 접속된 커패시터(C)를 구비한다. 제1 내지 제3 스위치소자들(S1, S2, S3), 및 제1 내지 제3 TFT들(TFT1, TFT2, TFT3)은 N 타입 MOS-FET로 구현된다.

제1 스위치소자(S1)는 데이터 구동부(62)의 출력단자와 제1 노드(n1) 사이에 접속되어 제2 제어신호(V_gate)의 하이논리구간에서 턴-온되어 데이터 구동부(62)의 출력단을 제1 노드(n1)에 접속시켜 제1 노드(n1)에 데이터 전류(Idata)를 공급한다.

제2 스위치소자(S2)는 제1 노드(n1)와 제2 노드(n2) 사이에 접속되어 제2 제어신호(V_gate)의 하이논리구간에서 턴-온되어 제1 노드(n1)와 제2 노드(n2)를 접속시킴으로써 제1 내지 제3 TFT들(TFT1, TFT2, TFT3)을 포함한 전류미러 회로를 형성한다.

제3 스위치소자(S3)는 반전된 제1 제어신호(/Ven_pre)의 하이논리구간 즉, 프리충전기간(Tpre) 동안 턴-온되어 제3 노드(n3)를 제2 TFT(TFT2)의 소스단자에 접속시킨다.

제1 TFT(TFT1)의 소스단자는 제1 노드(n1)에 접속되고, 드레인단자는 기저전압원(GND)에 접속된다. 그리고 제1 TFT(TFT1)의 게이트단자는 제2 노드(n2)에 접속된다.

커패시터(C)는 제2 노드(n2)와 기저전압원(GND) 사이에 접속되어 제1 및 제2 스위치소자(S1, S2)가 턴-온될 때 데이터 전류(Idata)를 충전하여 제2 노드(n2) 상의 전압을 안정화한다.

제2 TFT(TFT2)의 소스단자는 제3 스위치소자(S3)에 접속되고, 드레인단자는 기저전압원(GND)에 접속된다. 그리고 제2 TFT(TFT2)의 게이트단자는 제2 노드(n2)에 접속된다. 이 제2 TFT(TFT2)는 제1 및 제2 스위치소자(S1, S2)가 턴-온될 때 제1 TFT(TFT1)와 전류미러를 형성한다.

제3 TFT(TFT3)의 소스단자는 제3 노드(n3)에 접속되고, 드레인단자는 기저전압원(GND)에 접속된다. 그리고 제3 TFT(TFT3)의 게이트단자는 제2 노드(n2)에 접속된다. 이 제3 TFT(TFT3)는 제1 및 제2 스위치소자(S1, S2)가 턴-온될 때 제1 TFT(TFT1)와 전류미러를 형성한다.

제1 및 제2 TFT(TFT1, TFT2)의 채널특성은 실질적으로 동일하다. 제3 TFT(TFT3)의 채널특성은 프리차징 전류(Ipre)와 데이터전류(Idata)를 크게 하기 위하여 제1 및 제2 TFT(TFT1, TFT2)의 채널특성과 다르게 되거나(비대칭 채널특성) 제1 및 제2 TFT(TFT1, TFT2)의 채널특성과 동일하게(대칭 채널특성) 제작될 수 있다.

이러한 샘플 & 홀더부(65)의 동작을 도 9 및 도 11을 결부하여 설명하면 다음과 같다. 도 11에 있어서, "Vdata"는 데이터 구동부(62)로부터 출력되는 전압이고 "VDL1"은 프리차징 전압에 의해 실제로 제1 데이터라인(DL1)에 공급되는 전압이다.

도 9 내지 도 11을 참조하면, 프리차징기간(Tpre) 동안 제1 및 제2 스위치소자(S1, S2)는 제2 제어신호(V_{gate})의 하이논리에 응답하여 턴-온됨과 동시에, 제3 스위치소자(S3)는 반전된 제1 제어신호(/Ven_{pre})의 하이논리에 응답하여 턴-온된다. 이러한 스위치소자들(S1, S2, S3)의 턴-온 동작에 따라 제1 TFT(TFT1)에는 데이터 구동부(62)로부터 데이터 전류(Idata)가 공급되고 제1 및 제2 TFT(TFT1, TFT2), 그리고 제1 및 제3 TFT(TFT1, TFT3)는 전류미러를 형성한다. 이 프리차징 기간(Tpre) 동안, 커패시터(C)는 데이터전류(Idata)를 충전하며, 제2 TFT(TFT2)에 흐르는 제2 전류(I2)는 제1 TFT(TFT1)의 소스-드레인 간 전류 즉, 데이터전류(Idata)에 비례하여 변하게 되고, 제3 TFT(TFT3)에 흐르는 전류 역시 제1 TFT(TFT1)에 흐르는 데이터전류(Idata)에 비례하여 변하게 된다. 그 결과, 데이터전류(Idata)에 비례하여 프리차징 전류(Ipre)가 변한다.

n-1 번째 수평라인을 스캔할 때, 프리차징 기간 동안(Tpre) 데이터전류(Idata)에 비례하여 변하는 프리차징 전류(Ipre)에 의해 도 9 및 도 11과 같이 프리차징 기간 동안(Tpre) 낮은 프리차징 전압으로 제1 데이터라인(DL1)이 충전된 후, 스캔기간(Tsc) 동안 저계조의 데이터전압(Vdata)이 제1 데이터라인(DL2)이 공급된다.

이어서, n 번째 수평라인을 스캔할 때, 프리차징 기간 동안(Tpre) 데이터전류(Idata)에 비례하여 변하는 프리차징 전류(Ipre)에 의해 도 9 및 도 11과 같이 프리차징 기간 동안(Tpre) 상대적으로 높은 프리차징 전압으로 제1 데이터라인(DL1)이 충전된 후, 스캔기간(Tsc) 동안 고계조의 데이터전압(Vdata)이 제1 데이터라인(DL2)이 공급된다.

도 12는 샘플 & 홀더부(65)에서 제1 데이터라인(DL1)에 흐르는 프리차징 전류(Ipre)를 제어하고 제1 데이터라인(DL1)에 데이터전류(Idata)를 공급하기 위한 한 채널 회로의 다른 실시예를 나타낸다.

도 12를 참조하면, 샘플 & 홀더부(65)는 제1 및 제2 TFT(TFT111, TFT112)와, 제2 제어신호(V_{gate})에 응답하여 절환되는 제1 및 제2 스위치소자(S111, S112)와, 반전된 제1 제어신호(/Ven_{pre})에 응답하여 절환되는 제3 스위치소자(S113)와, 제1 및 제2 TFT들(TFT111, TFT112)의 게이트단자와 기저전압원(GND) 사이에 접속된 커패시터(C)를 구비한다. 제1 내지 제3 스위치소자들(S111, S112, S113), 그리고 제1 및 제2 TFT들(TFT111, TFT112)은 N 타입 MOS-FET로 구현된다.

제1 스위치소자(S111)는 데이터 구동부(62)의 출력단자와 제1 노드(n1) 사이에 접속되어 제2 제어신호(V_{gate})의 하이논리구간에서 턴-온되어 데이터 구동부(62)의 출력단을 제1 노드(n11)에 접속시켜 제1 노드(n11)에 데이터 전류(Idata)를 공급한다.

제2 스위치소자(S112)는 제1 노드(n11)와 제2 노드(n112) 사이에 접속되어 제2 제어신호(V_{gate})의 하이논리구간에서 턴-온되어 제1 노드(n11)와 제2 노드(n112)를 접속시킴으로써 제1 및 제2 TFT들(TFT111, TFT112)을 포함한 전류미러 회로를 형성한다.

제3 스위치소자(S113)는 반전된 제1 제어신호(/Ven_{pre})의 하이논리구간 즉, 프리충전기간(Tpre) 동안 턴-온되어 제1 데이터라인(DL1)을 제2 TFT(TFT2)의 소스단자에 접속시킨다.

제1 TFT(TFT111)의 소스단자는 제1 노드(n111)에 접속되고, 드레인단자는 기저전압원(GND)에 접속된다. 그리고 제1 TFT(TFT1)의 게이트단자는 제2 노드(n112)에 접속된다.

커패시터(C)는 제2 노드(n112)와 기저전압원(GND) 사이에 접속되어 제1 및 제2 스위치소자(S111, S112)가 턴-온될 때 데이터전류(Idata)를 충전하여 제2 노드(n112) 상의 전압을 안정화한다.

제2 TFT(TFT112)의 소스단자는 제3 스위치소자(S113)에 접속되고, 드레인단자는 기저전압원(GND)에 접속된다. 그리고 제2 TFT(TFT112)의 게이트단자는 제2 노드(n112)에 접속된다. 이 제2 TFT(TFT112)는 제1 및 제2 스위치소자(S111, S112)가 턴-온될 때 제1 TFT(TFT111)와 전류미러를 형성한다.

제1 및 제2 TFT(TFT111, TFT112)의 채널특성은 실질적으로 동일하게 제작되거나 프리차징 전류(Ipre)와 데이터전류(Idata)를 크게 하기 위하여 제2 TFT(TFT112)의 채널특성을 제1 채널특성보다 크게 할 수도 있다.

이러한 샘플 & 홀더부(65)의 동작을 도 9 내지 도 11을 결부하여 설명하면 다음과 같다.

도 9 내지 도 11을 참조하면, 프리차징기간(Tpre) 동안 제1 및 제2 스위치소자(S111, S112)는 제2 제어신호(V_{gate})의 하이논리에 응답하여 턴-온됨과 동시에, 제3 스위치소자(S113)는 반전된 제1 제어신호(/Ven_{pre})의 하이논리에 응답하여 턴-온된다. 이러한 스위치소자들(S111, S112, S113)의 턴-온 동작에 따라 제1 TFT(TFT111)에는 데이터 구동부(62)로부터 데이터 전류(Idata)가 공급되고 제1 및 제2 TFT(TFT111, TFT112)는 전류미러를 형성한다. 이 프리차징 기간(Tpre) 동안, 커패시터(C)는 데이터전류(Idata)를 충전하며, 제2 TFT(TFT112)에 흐르는 제2 전류는 제1 TFT(TFT111)의 소스-드레인 간 전류 즉, 데이터전류(Idata)에 비례하여 변하게 된다. 그 결과, n-1 번째 수평라인을 스캔할 때 도 9 및 도 11과 같이 낮은 프리차징 전압으로 제1 데이터라인(DL1)이 충전된 후, 스캔기간(Tsc) 동안 저계조의 데이터전압(Vdata)이 제1 데이터라인(DL2)이 공급된다. 이어서, n 번째 수평라인을 스캔할 때, 상대적으로 높은 프리차징 전압으로 제1 데이터라인(DL1)이 충전된 후, 스캔기간(Tsc) 동안 고계조의 데이터전압(Vdata)이 제1 데이터라인(DL2)이 공급된다.

본 발명에 따른 프리차징 제어방법 및 장치는 실시예에서 유기발광다이오드 표시소자를 중심으로 설명되었지만, 그와 다른 평판표시장치 예를 들면, 액정표시장치에도 적용 가능하다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 유기발광다이오드 표시소자의 구동방법 및 장치는 데이터의 계조에 따라 프리차징 전류를 다르게 제어하여 모든 계조에서 데이터라인의 충/방전 부족을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 통상의 유기발광다이오드 표시소자의 단면구조를 개략적으로 나타내는 단면도이다.

도 2는 통상의 유기발광다이오드 표시소자의 화소배치를 개략적으로 나타내는 평면도이다.

도 3은 도 2에 도시된 픽셀의 등가회로도이다.

도 4 및 도 5는 도 2 및 도 3에 도시된 데이터라인과 게이트라인에 공급되는 신호를 나타내는 파형도이다.

도 6은 본 발명의 실시예에 따른 유기발광다이오드 표시소자의 구동장치를 나타내는 블록도이다.

도 7은 도 6에 도시된 픽셀을 상세히 나타내는 회로도이다.

도 8은 도 6에 도시된 프리차징 전류 발생부를 상세히 나타내는 회로도이다.

도 9은 프리차징 전류 발생부와 샘플 & 홀더부의 제어신호, 게이트라인전압, 및 데이터라인 전압을 나타내는 파형도이다.

도 10는 도 6에 도시된 샘플 & 홀더부의 제1 실시예를 나타내는 회로도이다.

도 11은 데이터 구동부로부터 출력되는 전압과 데이터라인의 전압을 나타내는 파형도이다.

도 12은 도 6에 도시된 샘플 & 홀더부의 제2 실시예를 나타내는 회로도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 유리기판 2 : 애노드전극

3 : 정공주입층 4 : 발광층

5 : 전자주입층 6 : 캐소드전극

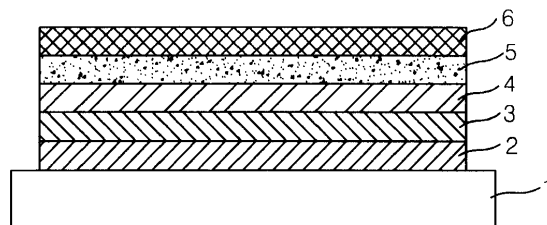
60 : 표시패널 61 : 타이밍 콘트롤러

62 : 데이터 구동부 63 : 게이트 구동부

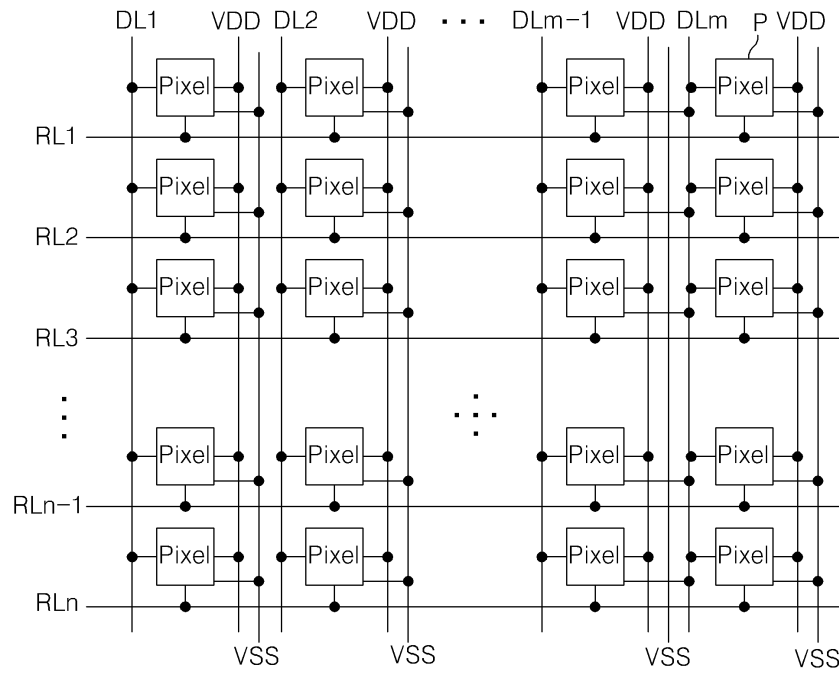
64 : 프리차징 전류 발생부 65 : 샘플 & 홀더부

도면

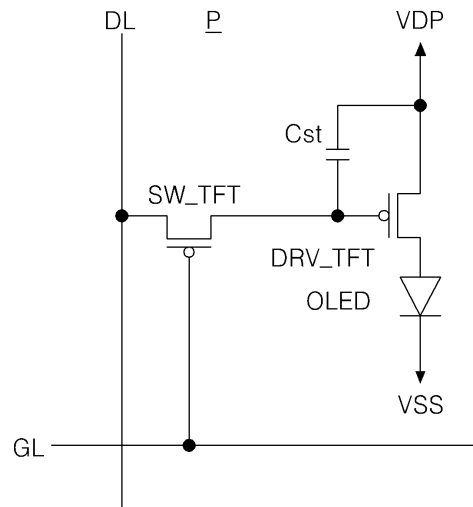
도면1



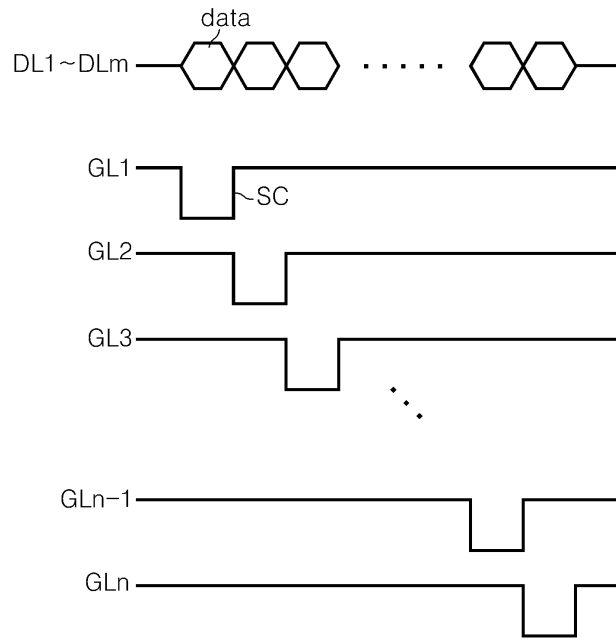
도면2



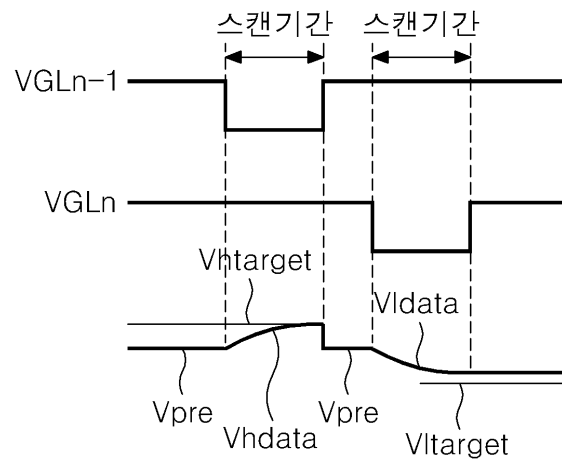
도면3



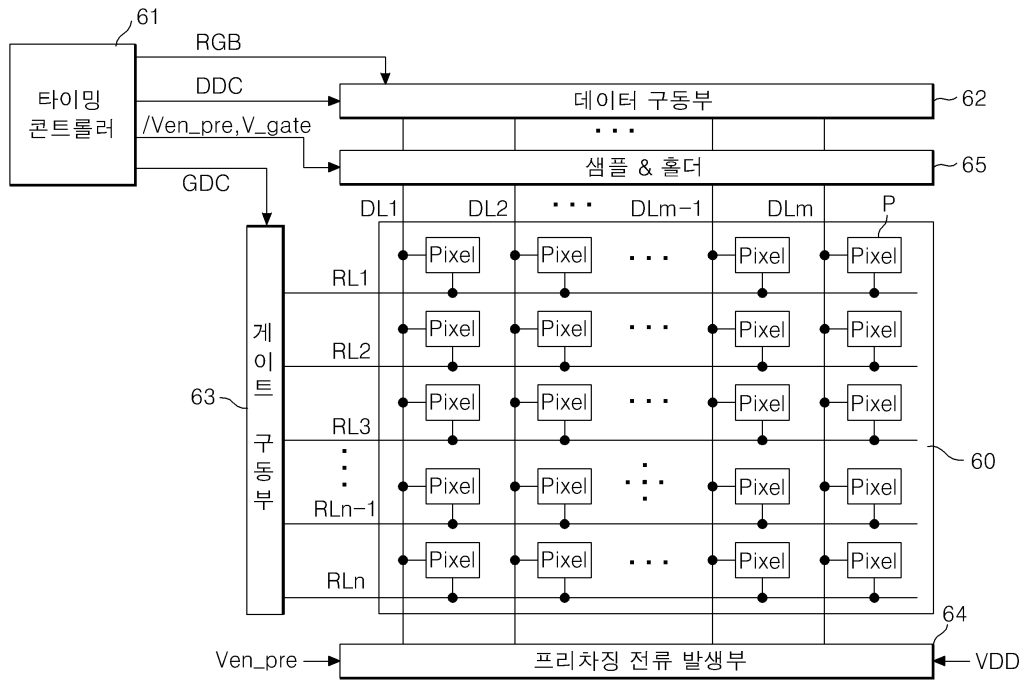
도면4



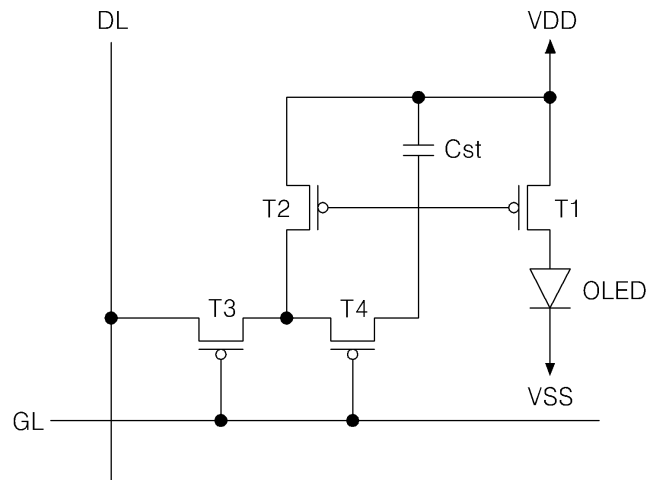
도면5



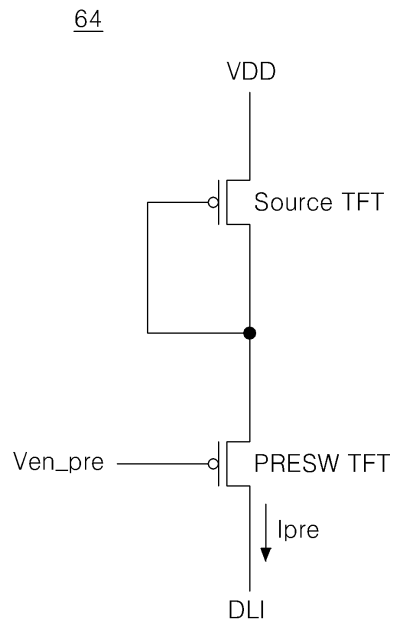
도면6



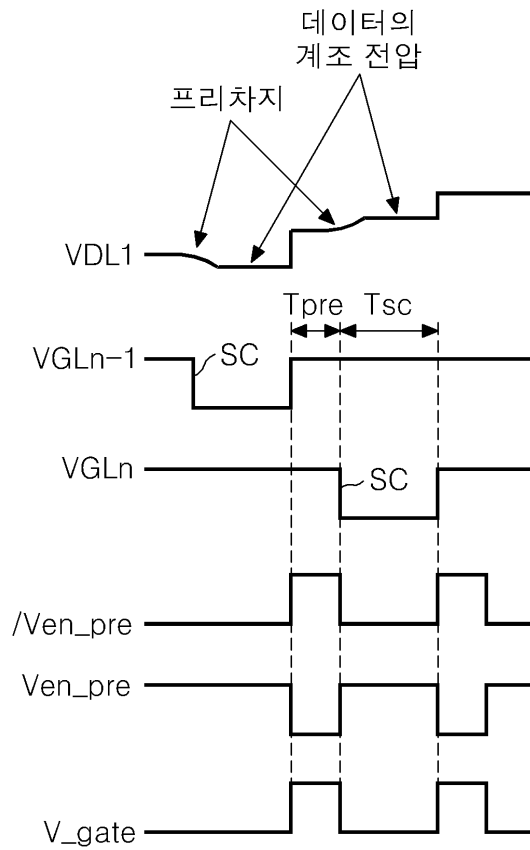
도면7



도면8

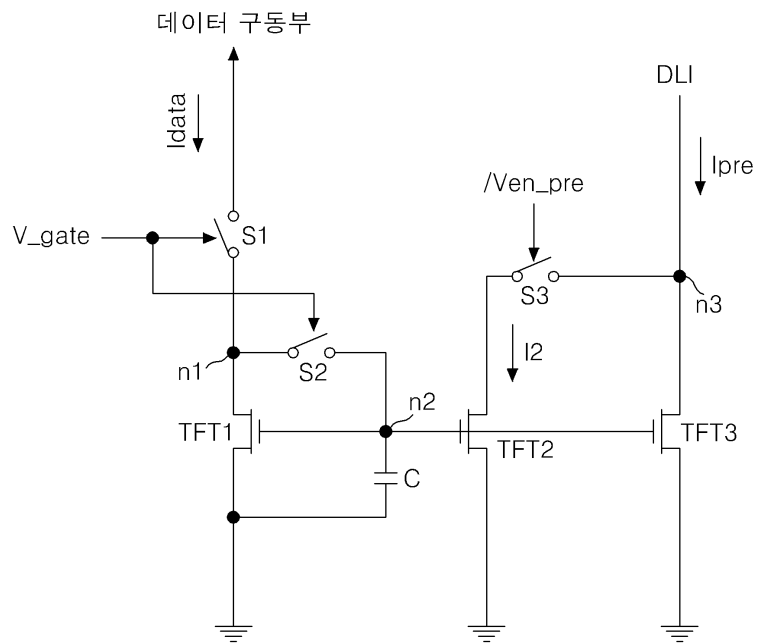


도면9

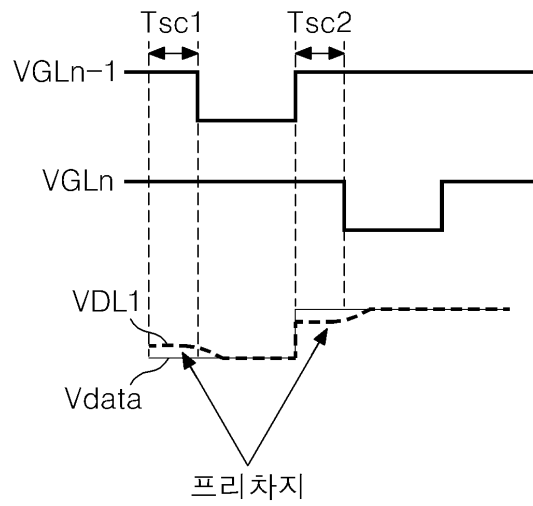


도면10

65

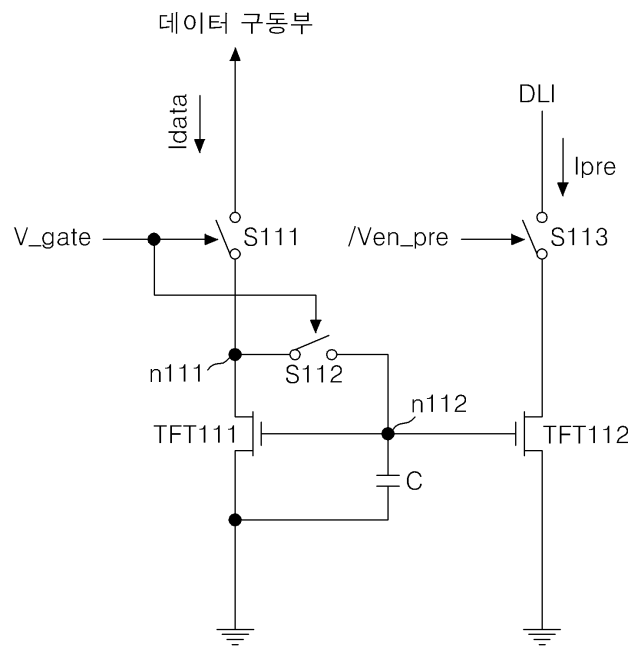


도면11



도면12

65



专利名称(译)	用于驱动有机发光二极管显示元件的方法和设备		
公开(公告)号	KR100698245B1	公开(公告)日	2007-03-21
申请号	KR1020040115735	申请日	2004-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM CHANGYEON		
发明人	KIM,CHANGYEON		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3241 G09G3/3266 G09G2310/0248		
代理人(译)	KIM , YOUNG HO		
其他公开文献	KR1020060076047A		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于驱动有机发光二极管显示装置的方法和装置，通过根据数据的灰度级不同地控制预充电电压来限制所有灰度级的数据线的充电/放电缺乏。

