

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년08월11일
<i>H05B 33/22</i> (2006.01)	(11) 등록번호	10-0611651
<i>H05B 33/10</i> (2006.01)	(24) 등록일자	2006년08월04일

(21) 출원번호	10-2004-0048552	(65) 공개번호	10-2005-0122894
(22) 출원일자	2004년06월25일	(43) 공개일자	2005년12월29일

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	이홍로 경기도 수원시 팔달구 영통동 1016-5번지 301호
(74) 대리인	박상수

심사관 : 손희수

(54) 유기전계발광 표시장치와 그 제조방법

요약

유기전계발광 표시장치와 그 제조방법에 관한 것이다. 커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기판; 상기 박막 트랜지스터 영역 상에 위치하는 반도체층과 상기 커패시터 영역 상에 위치하는 커패시터 제 1 전극; 상기 반도체층 및 상기 커패시터 제 1 전극 상에 위치하고 Al₂O₃막 또는 HfO₂막을 포함하는 제 1 절연막; 및 상기 커패시터 영역의 제 1 절연막 상에 위치하는 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 위치하는 게이트 전극을 포함하는 것을 특징으로 하는 유기전계발광 표시장치와 그 제조방법을 제공한다.

대표도

도 3

색인어

커패시터, 유전막, 유기전계발광 표시장치

명세서

도면의 간단한 설명

도 1 내지 도 3은 본발명의 실시예에 따른 유기전계발광 표시장치를 나타낸 단면도들이다.

(도면의 주요 부분에 대한 부호의 설명)

A : 커패시터 영역 B : 박막 트랜지스터 영역

100 : 기관 120 : 제 1 절연막

110a : 커패시터 제 1 전극 110b : 반도체층

130a : 커패시터 제 2 전극 130b : 게이트 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광 표시장치와 그 제조방법에 관한 것으로, 더욱 상세하게는 커패시터와 박막 트랜지스터를 포함하는 유기전계발광 표시장치와 그 제조방법에 관한 것이다.

평판 표시 장치 중 유기 전계 발광 표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 장치의 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 또한, 저온 제작이 가능하고, 기존의 반도체 공정 기술을 바탕으로 제조 공정이 간단하므로 향후 차세대 평판 표시 장치로 주목받고 있다.

유기 전계 발광 표시장치는 구동 방법에 따라 수동 구동(passive matrix)방식과 능동 구동(active matrix)방식으로 나뉜다. 수동 구동방식에 있어서 배선의 저항문제, 소비 전력 문제, 구동 전압의 문제로 인해 현재까지는 대화면의 표시 장치에는 부적합하다. 능동 구동방식은 한 유기발광소자 당 한 개 이상의 박막 트랜지스터를 사용하여 각 단위화소 별로 On/Off를 조절하며 저장용량을 이용하여 정보를 저장하기 때문에 수동 구동방식에 비해 소비전력이 작아진다. 또한, 단위화소 형성 공정이 수동 구동방식에 비해 간단하고, 고해상도의 패널을 제작할 수 있는 장점이 있다.

상기의 능동 구동방식에 있어서, 하나의 단위화소 구동을 위해 박막 트랜지스터를 비롯한 여러 소자들과 배선들이 단위화소를 구성하게 되며, 그로 인해 발광영역의 크기는 제약을 받게 된다. 따라서, 단위화소 내의 박막 트랜지스터 및 커패시터와 같은 소자들의 특성을 개선함으로써 개구율을 향상시킬 기술 개발이 필요하다.

또한 향후 SOP(system on panel)의 응용에 있어서 낮은 구동 전압과 빠른 신호처리 속도가 필요하므로, 유기전계발광 표시장치 내의 박막 트랜지스터의 게이트 절연막이나 커패시터의 유전막으로 사용하는 기존의 SiO_2 절연막이나 SiNx 절연막으로는 상기의 조건을 해결하는데 한계가 있다. 왜냐하면, SiO_2 및 SiNx 로 이루어진 절연막은 두께가 낮아지는 만큼 커패시턴스 향상에는 도움이 되지만, 박막 트랜지스터에 있어서 누설전류가 증가하게 되고, 얇은 게이트 절연막으로 인해 소자의 항복전압이 낮아지게 되는 문제가 발생하기 때문이다. 따라서 박막 트랜지스터의 게이트 절연막 및 커패시터의 유전막 형성에 대한 개선이 필요하다.

발명이 이루고자 하는 기술적 과제

상기한 문제를 해결하기 위해 본 발명은 유전상수가 높은 Al_2O_3 또는 HfO_2 를 게이트 절연막과 커패시터 유전막으로 사용하여 커패시터와 박막 트랜지스터의 특성이 향상된 유기전계발광 표시소자와 그 제조방법을 제공하는 것에 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명은 커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기관; 상기 박막 트랜지스터 영역 상에 위치하는 반도체층과 상기 커패시터 영역 상에 위치하는 커패시터 제 1 전극; 상기 반도체층 및 상기 커패시터 제 1 전극 상에 위치하고 Al_2O_3 막 또는 HfO_2 막을 포함하는 제 1 절연막; 및 상기 커패시터 영역의 제 1 절연막 상에 위치하는 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 위치하는 게이트 전극을 포함하는 것을 특징으로 하는 유기전계발광 표시장치를 제공한다.

상기 제 1 절연막은 Al_2O_3 막 또는 HfO_2 막 하부에 SiO_2 막을 더욱 구비할 수 있다.

상기 제 1 절연막은 상기 Al_2O_3 막 또는 HfO_2 막 상에 SiO_2 막을 더욱 구비할 수 있다.

상기 유기전계발광 표시장치는 상기 커패시터 제 2 전극과 상기 게이트 전극상에 위치하는 제 2 절연막; 및 상기 커패시터 영역의 제 2 절연막 상에 위치하는 커패시터 제 3 전극과 상기 박막 트랜지스터 영역의 제 2 절연막 상에 위치하고 상기 제 2 절연막과 상기 제 1 절연막을 관통하여 상기 반도체층과 접속하는 소스/드레인 전극을 더욱 포함할 수 있다.

또한 상기한 목적을 달성하기 위해 본 발명은 커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기판상에 커패시터 영역과 박막 트랜지스터 영역에 대응되도록 커패시터 제 1 전극과 반도체층을 형성하는 단계; 상기 커패시터 제 1 전극과 반도체층 상에 Al_2O_3 막 또는 HfO_2 막을 형성하는 것을 포함하는 제 1 절연막을 형성하는 단계; 및 상기 제1 절연막 상에 도전막을 적층하고 패터닝함으로써 상기 커패시터 영역의 제 1 절연막 상에 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 유기전계발광 표시장치의 제조방법을 제공한다.

상기 Al_2O_3 막 또는 HfO_2 막을 형성하는 것은 ALD(atomic layer deposition), PECVD(plasma enhanced chemical vapor deposition) 및 LPCVD(low pressure chemical vapor deposition)로 이루어진 군에서 선택된 하나의 방법을 사용하는 것일 수 있다.

상기 제 1 절연막을 형성하는 것은 상기 Al_2O_3 막 또는 HfO_2 막을 형성하기 전에 상기 제 1 전극과 반도체층 상에 SiO_2 막을 형성하는 것을 더욱 포함할 수 있다.

상기 제 1 절연막을 형성하는 것은 상기 Al_2O_3 막 또는 HfO_2 막 상에 SiO_2 막을 형성하는 것을 더욱 포함할 수 있다.

상기 유기전계발광 표시장치의 제조방법은 상기 커패시터 제 2 전극과 게이트 전극 상에 제 2 절연막을 형성하는 단계; 및 상기 제 2 절연막 상에 도전막을 형성하고 패터닝하여, 상기 커패시터 영역에 커패시터 제 3 전극을 형성하고, 상기 박막 트랜지스터 영역에 소스 전극 및 드레인 전극을 형성하는 단계를 포함할 수 있다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 3은 본 발명의 실시예에 따른 유기전계발광 표시장치의 단면도를 나타낸 것이다.

도면을 참조하면, 기판상에 커패시터 영역(A)과 박막 트랜지스터 영역(B)이 구비된다. 상기 커패시터 영역(A)의 커패시터 제 1 전극(110a) 및 상기 박막 트랜지스터 영역의 반도체층(110b)의 상부에 Al_2O_3 막 또는 HfO_2 막을 포함하는 제 1 절연막(120)이 위치한다.

상기 Al_2O_3 는 유전 상수가 약 10이고, 상기 HfO_2 는 약 20의 유전상수를 가진다. 따라서 상기 물질을 유전막으로 사용하는 커패시터의 경우 유전상수가 약 3.8인 SiO_2 보다 낮은 전압으로 커패시턴스를 향상시킬 수 있다. 따라서, 유기전계발광 표시장치에 있어서, 동일 정전 용량을 가지면서 크기가 작아진 커패시터를 구비할 수 있으므로, 그로 인해 개구율을 향상시킬 수 있다.

또한, 박막 트랜지스터의 경우 게이트 절연막으로 상기의 물질을 사용할 경우, SiO_2 막 보다 절연특성이 향상됨으로써, 박막 트랜지스터의 항복 전압의 증가와 누설전류의 감소와 같은 효과를 얻을 수 있다.

상기 제 1 절연막(120)은 Al_2O_3 막 또는 HfO_2 막의 상부 또는 하부에 SiO_2 막을 포함하여 이중막을 구비할 수 있고, 상하부 모두에 SiO_2 를 포함하여 삼중막을 구비할 수 있다.

상기 제 1 절연막(120)상에는 커패시터 제 2 전극(130a)과 게이트 전극(130b)이 위치한다. 상기 커패시터 제 2 전극(130a)과 게이트 전극(130b)은 금속막 또는 도전성 물질로 이루어진 막일 수 있다.

상기 커패시터 제 2 전극(130a)과 게이트 전극(130b) 상에 제 2 절연막(140)이 위치한다. 상기 제 2 절연막(140) 상에 소스 전극 및 드레인 전극(153, 156)이 위치한다. 따라서, 상기 커패시터 영역(A)에는 상기 커패시터 제 1 전극(110a), 제 1 절연막(120) 및 커패시터 제 2 전극(130a)으로 이루어진 커패시터가 위치한다. 또한, 상기 박막 트랜지스터 영역(B)에 위치하는 박막 트랜지스터는 NMOS 또는 PMOS일 수 있다.

상기 커패시터 상에 또 다른 커패시터를 구비할 수도 있다. 즉, 커패시터 제 2 전극(130a)을 하부전극으로 구비하고, 그 상에 위치하는 제 2 절연막(140)을 커패시터 유전막으로 구비한다. 또한, 상기 제 2 절연막(140) 상에 커패시터 제 3 전극(도면에 표시하지 않음)이 위치한다. 상기 커패시터 제 3 전극은 상기 커패시터 제 1 전극(110a)과 연결이 될 수 있으며, 두 개의 커패시터가 병렬 연결된 구조를 가지게 된다. 따라서, 커패시터의 병렬 연결로 인해 커패시턴스는 더욱 증가되는 효과가 있다.

도 1 내지 도 3은 본발명의 실시예에 따른 유기전계발광 표시장치를 나타낸 단면도들이다.

도 1을 참조하면, 커패시터 영역(A)과 박막 트랜지스터 영역(B)이 구비된 기판 상에 비정질 실리콘막을 형성한다. 상기 비정질 실리콘막을 패터닝하여 상기 커패시터 영역(A)과 박막 트랜지스터 영역(B)에 대응되도록 형성한다. 상기 비정질 실리콘막을 결정화를 수행하여 폴리 실리콘막으로 형성한다. 상기 결정화는 SPC, MIC, MILC, SLS 및 ELA로 이루어진 군에서 선택된 하나인 것이 바람직하다.

상기 커패시터 영역의 폴리 실리콘막은 커패시터 제 1 전극(110a)이 되고, 상기 박막 트랜지스터 영역의 폴리 실리콘막은 박막 트랜지스터의 반도체층(110b)이 된다.

커패시터 제 1 전극(110a) 및 반도체층(110b) 상에 Al_2O_3 막 또는 HfO_2 막을 사용하여 제 1 절연막(120)을 형성한다. 상기 Al_2O_3 막 또는 HfO_2 막은 ALD(atomic layer deposition), PECVD(plasma enhanced chemical vapor deposition) 및 LPCVD(low pressure chemical vapor deposition)로 이루어진 군에서 선택된 하나의 방법을 사용하여 형성할 수 있다. 상기 제 1 절연막(120)은 커패시터 영역에서는 커패시터 유전막의 역할을 하고, 박막 트랜지스터 영역에서는 게이트 절연막의 역할을 하게 된다.

상기 Al_2O_3 는 유전 상수가 약 10이고, 상기 HfO_2 는 약 20의 유전상수를 가진다. 따라서 상기 물질을 유전막으로 사용하는 커패시터의 경우 유전상수가 약 3.8인 SiO_2 보다 낮은 전압으로 커패시턴스를 향상시킬 수 있다. 따라서, 유기전계발광 표시장치에 있어서, 동일 정전 용량을 가지면서 크기가 작아진 커패시터를 구비할 수 있으므로, 그로 인해 개구율을 향상시킬 수 있다. 또한, 박막 트랜지스터의 경우 게이트 절연막으로 상기의 물질을 사용할 경우, SiO_2 막 보다 절연특성이 향상됨으로써, 박막 트랜지스터의 항복 전압의 증가와 누설전류의 감소와 같은 효과를 얻을 수 있다.

상기 제 1 절연막(120)은 상기 Al_2O_3 막 또는 HfO_2 막의 상부 또는 하부 내지는 상하부에 SiO_2 막을 포함한 이중막 또는 삼중막으로 형성할 수 있다. ALD, PECVD, 및 LPCVD를 이용하여 상기 Al_2O_3 막 또는 HfO_2 막을 증착할 경우, 금속간 클러스터(cluster)가 형성되거나, 금속-실리콘 간의 이종 계면(hetero-interface)이 형성될 수 있다. 그로 인해 상기 Al_2O_3 막 또는 HfO_2 막으로 이루어진 절연막과 실리콘막의 계면에는 계면열화가 발생할 수 있다. 따라서, 계면열화를 방지하고 소자의 특성을 향상시키기 위해 실리콘막과 계면특성이 우수한 SiO_2 막을 먼저 증착하고, 이후에 Al_2O_3 막 또는 HfO_2 막을 형성하는 것이 바람직하다.

도 2를 참조하면, 상기 제 1 절연막(120) 상에 도전층을 형성한다. 상기 도전층을 패터닝하여, 커패시터 제 2 전극(130a)과 게이트 전극(130b)을 형성한다. 상기 도전층은 금속막, 도핑된 폴리 실리콘막 및 투명 도전막으로 이루어진 군에서 선택되는 하나의 물질을 사용하여 형성할 수 있다. 따라서, 상기 커패시터 영역(A)에는 커패시터 제 1 전극(110a), 제 1 절연층(120) 및 커패시터 제 2 전극(130a)으로 이루어진 커패시터가 형성된다.

상기 박막 트랜지스터 영역에 상기 게이트 전극(130b)을 마스크로 하여 상기 반도체층(110b)으로 이온을 주입한다. 상기 이온주입으로 인해 반도체층에는 소스 영역 및 드레인 영역이 형성되고, 그로 인해 상기 반도체층(110b)은 소스 영역, 드레인 영역 및 채널 영역으로 구성된다.

그리고, 상기 커패시터 제 2 전극(130a)과 상기 게이트 전극(130b)이 형성된 기판 상부에 제 2 절연막(140)을 형성한다. 상기 제 2 절연막(140)은 통상적인 절연물질, 예를 들면 산화실리콘막(SiO_2) 또는 질화실리콘막(SiN_x)을 사용하여 형성할 수 있다.

도 3을 참조하면, 상기 제 2 절연막(140) 내에 상기 반도체층(110b)의 소스 영역 및 드레인 영역들을 각각 노출시키는 콘택홀을 형성한다. 상기 제 2 절연막(140) 상에 도전층을 적층하고 패터닝함으로써, 상기 노출된 소스 영역 및 드레인 영역들과 각각 접하는 소스 전극(153) 및 드레인 전극(156)을 형성한다. 상기 도전층은 금속막, 도핑된 폴리 실리콘막 및 투명 도전막으로 이루어진 군에서 선택되는 하나의 물질을 사용하여 수행할 수 있다. 따라서, 박막 트랜지스터가 완성이 되고, 상기 박막 트랜지스터는 PMOS 또는 NMOS일 수 있다.

상기 기판 전체에 걸쳐 제 3 절연막(160)을 형성한다. 상기 제 3 절연막(160)은 무기 보호막, 유기 평탄화막 및 무기 보호막과 유기 평탄화막의 이중층일 수 있다. 상기 제 3 절연막(160) 내부에 소스 전극(153) 또는 드레인 전극(156) 중 하나를 노출시키는 비아홀을 형성하고, 상기 박막 트랜지스터의 화소 전극(170)과 연결한다. 상기 화소전극(170) 상에 발광층(도면에 도시하지 않음)을 형성하고, 발광층 상부로 대향 전극(도면에 도시하지 않음)을 형성함으로써 유기전계발광 표시장치를 완성한다.

또한 상기 실시예에 있어서, 상기 커패시터 상부에 제 3의 커패시터 전극을 형성하여 또 다른 커패시터를 형성할 수 있다.

이 경우, 상기 제 2 절연막(140) 내에 상기 반도체층(110b)의 소스 영역 및 드레인 영역들을 각각 노출시키는 콘택홀을 형성함과 동시에 상기 제 2 절연막 내(140)에 제 1 커패시터 하부전극(110a)을 노출시키는 콘택홀을 형성한다.

상기 층간 절연막(140) 상에 도전층을 적층하고 패터닝함으로써, 상기 노출된 소스 영역 및 드레인 영역들과 각각 접하는 소스 전극(153) 및 드레인 전극(156)을 형성함과 동시에 커패시터 제 3 전극을 형성한다. 상기 커패시터 제 3 전극은 상기 커패시터 제 1 전극과 콘택이 되어, 두 개의 커패시터가 병렬 연결이 되어, 소자 전체의 커패시턴스는 증가하는 효과를 가질 수 있다.

발명의 효과

본 발명에 따른 유기전계발광 표시장치는 Al_2O_3 또는 HfO_2 로 이루어진 절연막을 커패시터 절연막으로 사용함으로써 단위 면적당 커패시턴스를 향상시켜 표시장치의 개구율을 향상시킬 수 있는 특징이 있다.

또한, Al_2O_3 또는 HfO_2 로 이루어진 절연막을 게이트 절연막으로 사용함으로써 박막 트랜지스터의 누설전류를 감소시켜 소자의 특성을 향상시킬 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기판;

상기 박막 트랜지스터 영역 상에 위치하는 반도체층과 상기 커패시터 영역 상에 위치하는 커패시터 제 1 전극;

상기 반도체층 및 상기 커패시터 제 1 전극 상에 위치하고 Al_2O_3 막 또는 HfO_2 막을 포함하는 제 1 절연막; 및

상기 커패시터 영역의 제 1 절연막 상에 위치하는 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 위치하는 게이트 전극을 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 절연막은 Al_2O_3 막 또는 HfO_2 막 하부에 SiO_2 막을 더욱 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 제 1 절연막은 상기 Al_2O_3 막 또는 HfO_2 막 상에 SiO_2 막을 더욱 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 4.

제 1 항에 있어서,

상기 커패시터 제 2 전극과 상기 게이트 전극상에 위치하는 제 2 절연막; 및

상기 커패시터 영역의 제 2 절연막 상에 위치하는 커패시터 제 3 전극과 상기 박막 트랜지스터 영역의 제 2 절연막 상에 위치하고 상기 제 2 절연막과 상기 제 1 절연막을 관통하여 상기 반도체층과 접촉하는 소스/드레인 전극을 더욱 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 5.

커패시터 영역 및 박막 트랜지스터 영역을 구비하는 기판상에 커패시터 영역과 박막 트랜지스터 영역에 대응되도록 커패시터 제 1 전극과 반도체층을 형성하는 단계;

상기 커패시터 제 1 전극과 반도체층 상에 Al_2O_3 막 또는 HfO_2 막을 형성하는 것을 포함하는 제 1 절연막을 형성하는 단계; 및

상기 제 1 절연막 상에 도전막을 적층하고 패터닝함으로써 상기 커패시터 영역의 제 1 절연막 상에 커패시터 제 2 전극과 상기 박막 트랜지스터 영역의 제 1 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 6.

제 5 항에 있어서,

상기 Al_2O_3 막 또는 HfO_2 막을 형성하는 것은 ALD(atomic layer deposition), PECVD(plasma enhanced chemical vapor deposition) 및 LPCVD(low pressure chemical vapor deposition)로 이루어진 군에서 선택된 하나의 방법을 사용하여 형성하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 7.

제 5 항에 있어서,

상기 제 1 절연막을 형성하는 것은 상기 Al_2O_3 막 또는 HfO_2 막을 형성하기 전에 상기 제 1 전극과 반도체층 상에 SiO_2 막을 형성하는 것을 더욱 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 8.

제 5 항 또는 제 7항에 있어서,

상기 제 1 절연막을 형성하는 것은 상기 Al_2O_3 막 또는 HfO_2 막 상에 SiO_2 막을 형성하는 것을 더욱 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

청구항 9.

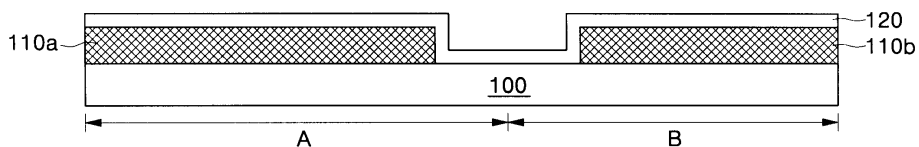
제 5 항에 있어서,

상기 커패시터 제 2 전극과 게이트 전극 상에 제 2 절연막을 형성하는 단계; 및

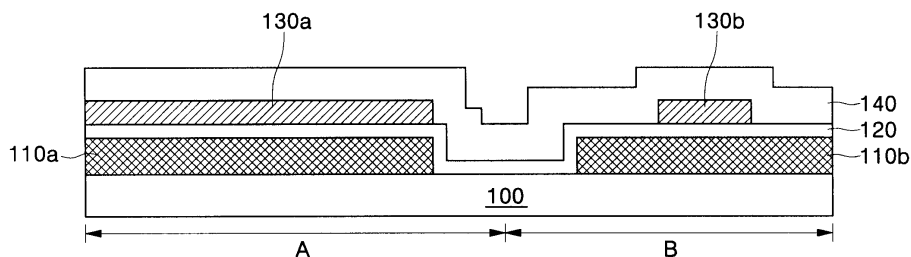
상기 제 2 절연막 상에 도전막을 형성하고 패터닝하여, 상기 커패시터 영역에 커패시터 제 3 전극을 형성하고, 상기 박막 트랜지스터 영역에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시장치의 제조방법.

도면

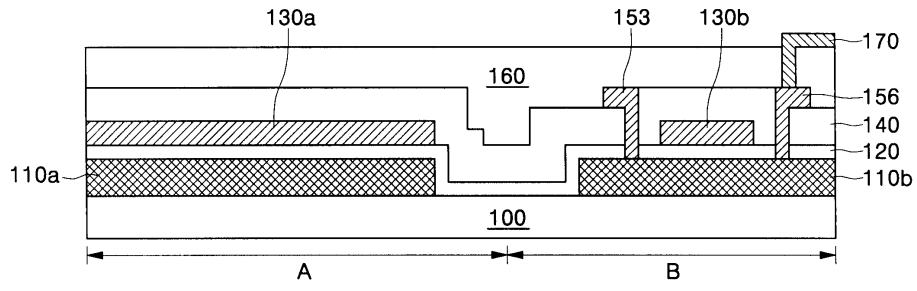
도면1



도면2



도면3



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100611651B1	公开(公告)日	2006-08-11
申请号	KR1020040048552	申请日	2004-06-25
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	LEE HONGRO		
发明人	LEE,HONGRO		
IPC分类号	H05B33/22 H05B33/10 H05B		
代理人(译)	PARK , 常树		
其他公开文献	KR1020050122894A		
外部链接	Espacenet		

摘要(译)

一种有机电致发光显示装置及其制造方法。一种基板，具有电容器区域和薄膜晶体管区域；位于电容器区域上的电容器第一电极和位于薄膜晶体管区域上的半导体层；在半导体层和电容器第一电极上的Al₂O₃膜或Al₂O₃膜含的HfO₂膜的第一绝缘膜；并提供了一个电容器的第二电极和包括设置在所述第一绝缘膜的显示装置上的栅电极及其制造方法，其位于所述电容器区域的第一绝缘膜的有机电致发光的薄膜晶体管区域。3 指数方面 电容器，电介质，有机电致发光

