



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0063745
(43) 공개일자 2012년06월18일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 29/786 (2006.01)
H01L 51/56 (2006.01)</p> <p>(21) 출원번호 10-2010-0124861</p> <p>(22) 출원일자 2010년12월08일
심사청구일자 없음</p> | <p>(71) 출원인
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)</p> <p>(72) 발명자
이준우
경기도 용인시 기흥구 삼성2로 95 (농서동)</p> <p>(74) 대리인
리엔목특허법인</p> |
|--|--|

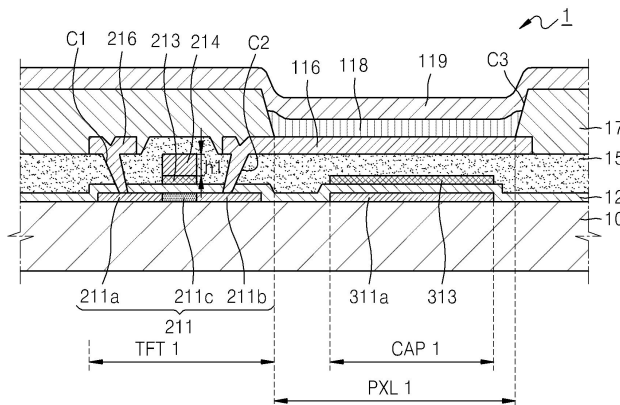
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 화소 전극을 소스 및 드레인 전극 중 하나에서 연장하여 일체로 형성하고, 화소 전극 하부에 두께가 얇은 상부 전극을 구비한 커패시터를 형성하고, 커패시터를 MIM CAP으로 형성함으로써, 제조 공정이 단순하고, 개구율이 향상되고, 전압 설계 마진이 향상된 유기 발광 표시 장치를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 상에 형성된 박막 트랜지스터의 활성층과, 상기 활성층과 동일층에 형성되고 이온불순물이 도핑된 반도체 물질을 포함하는 커패시터 하부 전극;

상기 활성층 및 하부 전극을 덮는 제1 절연층;

상기 제1절연층 상에 형성된 제1게이트 전극 및 상기 제1게이트 전극 상에 형성되고 상기 제1게이트 전극과 에칭 선택비가 다른 도전물을 포함하는 제2게이트 전극과, 상기 제1게이트 전극과 동일층에 동일물질로 형성된 커패시터 상부 전극;

상기 제1 및 제2게이트 전극 및 상기 상부 전극을 덮는 제2절연층;

상기 제2절연층 상에 형성되고, 상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극과, 상기 소스 및 드레인 전극 중 하나가 연장되어 상기 상부 전극이 형성된 영역을 모두 포함하도록 형성된 화소 전극;

상기 화소 전극 상에 위치하는 발광층; 및

상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제2절연층은 하부에 상기 게이트 전극 및 상기 상부 전극과 직접 접촉하고, 상부에 상기 소스 및 드레인 전극 및 상기 화소 전극과 직접 접촉하는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제1게이트 전극 및 상부 전극은 ITO, IZO, ZnO 및 In2O3로 이루어지는 군으로부터 선택된 어느 하나를 포함하는 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 제1게이트 전극 및 상부 전극의 두께는 1000Å 이하인 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제2게이트 전극은 저저항 도전물을 포함하고, 상기 화소 전극은 상기 제2게이트 전극이 형성된 영역을 포함하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 제1게이트 전극의 두께는 1000Å 이하인 유기 발광 표시 장치.

청구항 7

제 5 항에 있어서,

상기 저저항 도전물은 Cu를 포함하는 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서,
상기 화소 전극은 상기 소스 전극 및 드레인 전극과 동일층에 형성된 유기 발광 표시 장치.

청구항 9

제 1 항에 있어서,
상기 화소 전극은 상기 소스 전극 및 드레인 전극과 동일물질로 형성된 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서,
상기 화소 전극은 제1도전층, 제2도전층, 및 제3도전층이 순차로 적층된 유기 발광 표시 장치.

청구항 11

제 10 항에 있어서,
상기 제1도전층은 Ti를 포함하는 유기 발광 표시 장치.

청구항 12

제 10 항에 있어서,
상기 제2도전층은 Ag 또는 Al을 포함하는 유기 발광 표시 장치.

청구항 13

제 10 항에 있어서,
상기 제3도전층은 ITO, IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택된 어느 하나를 포함하는 유기 발광 표시 장치.

청구항 14

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1마스크 공정;

상기 기판 상에 상기 활성층 및 하부 전극을 덮도록 제1절연층을 형성하고, 상기 제1절연층 상에 제1도전물 및 상기 제1도전물과 에칭 선택비가 다른 제2도전물을 차례로 적층하고, 상기 제1도전물 및 제2도전물을 포함하는 게이트 전극, 및 제1도전물을 포함하는 커패시터 상부 전극을 형성하는 제2마스크 공정;

제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 활성층의 일부를 노출시키는 콘택홀을 형성하는 제3마스크 공정;

상기 제3마스크 공정의 결과물 상에 제3도전물을 형성하고, 상기 제3도전물을 패터닝하여 상기 활성층과 연결되는 소스 및 드레인 전극을 형성하고, 상기 소스 및 드레인 전극 중 하나를 연장하여 상기 상부 전극이 형성된 영역을 모두 포함하도록 화소 전극을 형성하는 제4마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제 14 항에 있어서,
상기 제4마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 제3절연층이 상기 화소 전극을 개구시키는 제5마스크 공정;을 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 제5마스크 공정 후, 상기 화소 전극 상부에 발광층, 및 대향전극을 더 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제 14 항에 있어서,

상기 제2마스크 공정은 하프톤 마스크를 이용하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 14 항에 있어서,

상기 제2마스크 공정 결과물 상에 상기 활성층 및 상기 하부 전극을 타겟으로 하여 이온불순물을 도핑하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제 14 항에 있어서,

상기 제2마스크 공정에서 상기 제2도전물은 저저항 도전물로 형성하고,

상기 제4마스크 공정에서 상기 제2게이트 전극이 형성된 영역을 포함하도록 상기 화소 전극을 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제 14 항에 있어서,

상기 제4마스크 공정에서 상기 화소 전극은 상기 제2절연층 상에 직접 접촉하도록 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 21

제 14 항에 있어서,

상기 제4마스크 공정에서, 상기 제3도전물은 Ti를 포함하는 제1층, Ag 또는 Al를 포함하는 제2층, ITO, IZO, ZnO 및 In2O3로 이루어지는 군으로부터 선택된 어느 하나를 포함하는 제3층으로 형성되는 유기 발광 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 경량 박형이 가능할 뿐만 아니라, 넓은 시야각, 빠른 응답속도 및 적은 소비 전력 등의 장점으로 인하여 차세대 표시 장치로서 주목 받고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 제조 공정이 단순하고, 소자 특성 및 개구율이 우수한 박형의 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0004] 본 발명의 일 측면에 의하면, 기판 상에 형성된 박막 트랜지스터의 활성층과, 상기 활성층과 동일층에 형성되고 이온불순물이 도핑된 반도체 물질을 포함하는 커패시터 하부 전극; 상기 활성층 및 하부 전극을 덮는 제 1 절연층; 상기 제1절연층 상에 형성된 제1게이트 전극 및 상기 제1게이트 전극 상에 형성되고 상기 제1게이

트 전극과 에칭 선택비가 다른 도전물을 포함하는 제2게이트 전극과, 상기 제1게이트 전극과 동일층에 동일물질로 형성된 커패시터 상부 전극; 상기 제1 및 제2게이트 전극 및 상기 상부 전극을 덮는 제2절연층; 상기 제2절연층 상에 형성되고, 상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극과, 상기 소스 및 드레인 전극 중 하나가 연장되어 상기 상부 전극이 형성된 영역을 모두 포함하도록 형성된 화소 전극; 상기 화소 전극 상에 위치하는 발광층; 및 상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

- [0005] 본 발명의 다른 특징에 의하면, 상기 제2절연층은 하부에 상기 게이트 전극 및 상기 상부 전극과 직접 접촉하고, 상부에 상기 소스 및 드레인 전극 및 상기 화소 전극과 직접 접촉할 수 있다.
- [0006] 본 발명의 또 다른 특징에 의하면, 상기 제1게이트 전극 및 상부 전극은 ITO, IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택된 어느 하나를 포함할 수 있다.
- [0007] 본 발명의 또 다른 특징에 의하면, 상기 제1게이트 전극 및 상부 전극의 두께는 1000Å 이하일 수 있다.
- [0008] 본 발명의 또 다른 특징에 의하면, 상기 제2게이트 전극은 저저항 도전물을 포함하고, 상기 화소 전극은 상기 제2게이트 전극이 형성된 영역을 포함할 수 있다.
- [0009] 본 발명의 또 다른 특징에 의하면, 상기 제1게이트 전극의 두께는 1000Å 이하일 수 있다.
- [0010] 본 발명의 또 다른 특징에 의하면, 상기 저저항 도전물은 Cu를 포함할 수 있다.
- [0011] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극은 상기 소스 전극 및 드레인 전극과 동일층에 형성될 수 있다.
- [0012] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극은 상기 소스 전극 및 드레인 전극과 동일물질로 형성될 수 있다.
- [0013] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극은 제1도전층, 제2도전층, 및 제3도전층이 순차로 적층될 수 있다.
- [0014] 본 발명의 또 다른 특징에 의하면, 상기 제1도전층은 Ti를 포함할 수 있다.
- [0015] 본 발명의 또 다른 특징에 의하면, 상기 제2도전층은 Ag 또는 Al을 포함할 수 있다.
- [0016] 본 발명의 또 다른 특징에 의하면, 상기 제3도전층은 ITO, IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택된 어느 하나를 포함할 수 있다.
- [0017] 본 발명의 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1마스크 공정; 상기 기판 상에 상기 활성층 및 하부 전극을 덮도록 제1절연층을 형성하고, 상기 제1절연층 상에 제1도전물 및 상기 제1도전물과 에칭 선택비가 다른 제2도전물을 차례로 적층하고, 상기 제1도전물 및 제2도전물을 포함하는 게이트 전극, 및 제1도전물을 포함하는 커패시터 상부 전극을 형성하는 제2마스크 공정; 제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 활성층의 일부를 노출시키는 콘택홀을 형성하는 제3마스크 공정; 상기 제3마스크 공정의 결과물 상에 제3도전물을 형성하고, 상기 제3도전물을 패터닝하여 상기 활성층과 연결되는 소스 및 드레인 전극을 형성하고, 상기 소스 및 드레인 전극 중 하나를 연장하여 상기 상부 전극이 형성된 영역을 모두 포함하도록 화소 전극을 형성하는 제4마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0018] 본 발명의 다른 특징에 의하면, 상기 제4마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 제3절연층이 상기 화소 전극을 개구시키는 제5마스크 공정을 더 포함할 수 있다.
- [0019] 본 발명의 또 다른 특징에 의하면, 상기 제5마스크 공정 후, 상기 화소 전극 상부에 발광층, 및 대향전극을 더 형성할 수 있다.
- [0020] 본 발명의 또 다른 특징에 의하면, 상기 제2마스크 공정은 하프톤 마스크를 이용할 수 있다.
- [0021] 본 발명의 또 다른 특징에 의하면, 상기 제2마스크 공정 결과물 상에 상기 활성층 및 상기 하부 전극을 타겟으로 하여 이온불순물을 도핑할 수 있다.
- [0022] 본 발명의 또 다른 특징에 의하면, 상기 제2마스크 공정에서 상기 제2도전물은 저저항 도전물로 형성하고, 상

기 제4마스크 공정에서 상기 제2게이트 전극이 형성된 영역을 포함하도록 상기 화소 전극을 형성할 수 있다.

[0023] 본 발명의 또 다른 특징에 의하면, 상기 제4마스크 공정에서 상기 화소 전극은 상기 제2절연층 상에 직접 접촉하도록 형성될 수 있다.

[0024] 본 발명의 또 다른 특징에 의하면, 상기 제4마스크 공정에서, 상기 제3도전물은 Ti를 포함하는 제1층, Ag 또는 Al를 포함하는 제2층, ITO, IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택된 어느 하나를 포함하는 제3층으로 형성될 수 있다.

발명의 효과

[0025] 상기와 같은 본 발명에 따른 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.

[0026] 첫째, 별도의 화소 전극 형성을 위한 공정을 필요로 하지 않으므로 제조 공정을 단순화할 수 있다.

[0027] 둘째, MIM CAP 구조를 형성하므로 회로의 전압 설계 마진을 향상시킬 수 있다.

[0028] 셋째, 고비용의 도핑공정을 1번의 동일 공정에서 수행함으로써 도핑공정에 대한 비용을 절감할 수 있다.

[0029] 넷째, 화소 전극을 커패시터가 형성된 영역 상부에 형성할 수 있기 때문에 개구율을 높일 수 있다.

[0030] 다섯째, 별도의 평탄화막을 형성할 필요가 없기 때문에 제조 공정을 단순화하고 박형의 표시 장치를 제공할 수 있다.

[0031] 여섯째, 5마스크 공정으로 상기와 같은 유기 발광 표시 장치를 제조할 수 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소 전극, 트랜지스터 영역, 및 커패시터 영역의 위치 관계를 개략적으로 도시한 평면도이다.

도 3 내지 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 도시한 단면도들이다.

도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.

도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소 전극, 트랜지스터 영역, 및 커패시터 영역의 위치 관계를 개략적으로 도시한 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

[0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이고, 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 화소 전극, 트랜지스터 영역, 및 커패시터 영역의 위치 관계를 개략적으로 도시한 평면도이다.

[0035] 도 1 및 2를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 기판(10) 상에는 발광층(118)이 구비된 픽셀 영역(PXL1), 박막 트랜지스터가 구비된 트랜지스터 영역(TFT1), 및 커패시터가 구비된 커패시터 영역(CAP1)이 형성된다.

[0036] 본 발명의 일 실시예에 따른 트랜지스터 영역(TFT1)에는 기판(10) 상에 박막 트랜지스터의 활성층(211)이 구비된다.

[0037] 기판(10)은 다양한 재료로 형성할 수 있다. 예를 들어, 글라스재, 플라스틱재, 또는 금속재로도 형성 가능하다.

[0038] 상기 도면에는 도시되어 있지 않으나, 기판(10)의 상부에 평활한 면을 형성하고 기판(10)상부로 불순 원소가 침투하는 것을 차단하기 위하여 기판(10)의 상부에 버퍼층(미도시)을 더 형성할 수 있다. 버퍼층은 SiO₂ 및/또는 SiNx 등으로 형성할 수 있다.

[0039] 활성층(211)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있으며, 채널

영역(211c)과, 채널 영역(211c) 외측에 이온 불순물이 도핑된 소스 및 드레인 영역(211a, 211b)을 포함한다. 소스 및 드레인 영역(211a, 211b)은 3족 원소로 도핑하여 p-type, 5족 원소로 도핑하여 n-type 반도체로 형성할 수 있다.

- [0040] 활성층(211) 상에는 게이트 절연막인 제1절연층(12)을 사이에 두고 활성층(211)의 채널 영역(211c)에 대응되는 위치에 제1게이트 전극(213), 및 제2게이트 전극(214)이 차례로 구비된다.
- [0041] 제1절연층(12)은 활성층(211)과 제1 및 제2 게이트 전극(213, 214)을 절연하는 것으로 SiNx 및/또는 SiO₂와 같은 무기막으로 형성할 수 있다.
- [0042] 제1게이트 전극(213)과 제2게이트 전극(214)는 에칭 선택비가 서로 다른 도전물로 구비된다. 예를 들어, 제1 및 제2 게이트 전극(213,214)는, ITO와 같은 투명도전물, Ti, Mo, Al, Ag, Cu 및 이들의 합금에서 선택된 하나 이상의 에칭 선택비가 다른 물질로 선택될 수 있다. 본 실시예에서 제1게이트 전극(214)으로 투명도전물인 ITO가 사용되었고, 제2게이트 전극으로 두께 h1의 삼중층의 Mo/Al/Mo이 사용되었다. 한편, 제1게이트 전극(214)의 투명도전물로는 ITO 이외에도 IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택될 수 있다.
- [0043] 상기 도면에는 상세히 도시되어 있지 않으나, 제1 및 제2 게이트 전극(213, 214)은 박막 트랜지스터에 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다.
- [0044] 제1 및 제2 게이트 전극(213, 214) 상에는 콘택홀(C1, C2)을 구비한 제2절연층(15)이 구비된다. 제2절연층(15)은 제1 및 제2게이트 전극(213, 214)과 소스 및 드레인 전극(216)을 절연하는 층간 절연막으로 기능하고, 후술할 화소 전극(116)의 하부에 직접 형성되는 평탄화막으로 기능한다.
- [0045] 제2절연층(15)은 다양한 절연 물질로 형성할 수 있다. 예를 들어 산화물, 질화물과 같은 무기물로도 형성이 가능하고 유기물로도 형성이 가능하다. 제2절연층(15)을 형성하는 무기 절연막으로는 SiO₂, SiNx, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 등이 포함될 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), pheno그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다. 또한, 제2절연층(15)은 무기 절연막과 유기 절연막의 복합 적층체로도 형성될 수 있다.
- [0046] 콘택홀(C1, C2)을 통해 소스 및 드레인 전극(216)이 활성층(211)의 소스 및 드레인 영역(211a, 211b)에 접속한다. 이때, 소스 및 드레인 전극(216)의 하나는 화소 전극의 역할을 하도록 제2절연층(15) 상부에 길게 연장되며, 별도의 화소 전극 형성을 위한 공정을 필요로 하지 않는다. 따라서, 제조 공정을 단순화 할 수 있다. 상기 도면에는 소스 및 드레인 전극(216)이 하나의 층으로 도시되어 있으나, 본 발명은 이에 한정되지 않으며 소스 및 드레인 전극(216)은 복수의 층으로 형성될 수 있다. 이에 대하여는 후술한다.
- [0047] 본 발명의 일 실시예에 따른 커패시터 영역(CAP1)에는 기판(10) 상에 박막 트랜지스터의 활성층(211)과 동일 재료로 형성된 커패시터의 하부 전극(311a)이 구비된다. 커패시터의 하부 전극(311a)은 박막 트랜지스터의 활성층(211)의 소스 및 드레인 영역(211a, 211b)과 동일 재료로서, 이온 불순물이 도핑된 반도체를 포함할 수 있다. 만약, 하부 전극을 이온 불순물 도핑이 안된 진성 반도체로 형성할 경우, 커패시터는 상부 전극(314)과 함께 MOS(Metal Oxide Semiconductor) CAP 구조가 된다. 그러나, 하부 전극을 본 실시예와 같이 이온 불순물이 도핑된 반도체로 형성할 경우, 커패시터는 상부 전극(314)과 함께 MIM(Metal-Insulator-Metal) CAP 구조가 된다. MIM CAP 구조는 MOS CAP 구조에 비하여 폭넓은 전압 범위에서 일정한 정전용량을 유지할 수 있다. 따라서, 회로 설계시 전압 설계 마진을 향상시킬 수 있다.
- [0048] 후술하겠지만, 커패시터 하부전극(311a)에 대한 이온 불순물의 도핑은 박막 트랜지스터의 활성층(211)의 소스 및 드레인 영역(211a, 211b)에 대한 이온 불순물의 도핑과 동일 공정에서 수행된다. 따라서, 고비용의 도핑공정을 1번의 동일 공정에서 수행함으로써 도핑공정에 대한 비용을 절감할 수 있다.
- [0049] 커패시터의 하부 전극(311a) 상부에는 게이트 절연막이자 유전막 역할을 하는 제1절연층(12)이 형성되고, 제1절연층(12) 상부에는 커패시터의 상부 전극(313)이 구비된다.
- [0050] 상부 전극(313)은 제1게이트 전극(213)과 동일층에 동일물질로 형성된다. 이때, 상부 전극(313)은 가능한 얇게 형성되는 것이 바람직하다. 이는 후술할 화소 전극(116)이 상부 전극(313)이 형성된 영역을 모두 포함하도록 제2절연층(15) 상부에 직접 형성됨으로써, 평탄화막 역할을 하는 제2절연층(15)의 단차를 최대한 줄이기 위함이다. 따라서, 상부 전극(313)의 두께는 1000Å이하인 것이 바람직하다.
- [0051] 1 및 제2 게이트 전극(213, 214) 및 상부 전극(313) 상에는 평탄화막 역할을 하는 제2절연층(15)이 구비된다.

- [0052] 제2절연층(15) 상에는 소스 및 드레인 전극(216)의 하나에서 연장된 화소 전극(116)이 형성되고, 화소 전극(116)은 제2절연층(15) 하부의 커패시터의 상부 전극(313)이 형성된 영역을 모두 포함하도록 형성된다.
- [0053] 만약 상부 전극(313)의 두께가 두껍게 형성될 경우, 그 두께에 때문에 상부 전극(313)의 가장자리에 대응되는 영역의 제2절연층(15)의 단차가 커지게 되고, 단차가 큰 제2절연층(15) 상에 형성되는 화소 전극(116) 및 발광층(118)에도 단차를 유발하여 암점 불량과 같은 문제를 야기할 수 있다. 따라서, 상부 전극(313)의 두께가 두껍게 형성될 경우, 화소 전극(116)은 상부 전극(313)이 형성된 영역을 벗어난 평탄한 영역에 형성되어야 한다. 그 경우, 화소 전극(116)이 형성될 수 있는 범위가 좁아지므로 개구율이 줄어들 수 있다.
- [0054] 그러나, 본 실시예에 따른 유기 발광 표시 장치(1)는 상부 전극(313)의 두께를 얇게 형성함으로써, 별도 추가의 평탄화막 형성 없이 제2절연층(15)만으로 화소 전극(116) 하부를 평탄화시킬 수 있다. 그 결과, 화소 전극(116)을 상부 전극(313)이 형성된 영역 상부의 제2절연층(15) 상부에 직접 형성할 수 있기 때문에 개구율을 높일 수 있다.
- [0055] 본 발명의 일 실시예에 따른 픽셀 영역(PXL1)에는 제2절연층(15) 상에 소스 및 드레인 전극(216)의 어느 하나로부터 연장된 화소 전극(116)이 구비된다. 전술한 바와 같이 화소 전극(116)은 소스 및 드레인 전극(216)과 동일층에 동일물질로 형성된다. 이때, 화소 전극은 반사전극으로 기능할 수 있다. 또한, 화소 전극(116)은 상부 전극(313)이 형성된 영역을 모두 포함하도록 형성된다.
- [0056] 제2절연층(15) 상부에 화소 전극(116)의 상면을 개구시키는 개구(C3)를 구비한 제3절연층(17)이 구비된다. 제3절연층(17)은 유기물 또는 무기물로 형성될 수 있다.
- [0057] 상기 개구(C3) 내부에 발광층(118)이 형성된다. 발광층(118)은 유기물 또는 고분자 유기물일 수 있다.
- [0058] 발광층(118)이 저분자 유기물일 경우, 발광층(118)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0059] 한편, 발광층(118)이 고분자 유기물일 경우, 발광층(118) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0060] 발광층(118) 상에는 공통 전극으로 대향 전극(119)이 구비된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소 전극(116)은 애노드로 사용되고, 대향 전극(119)은 캐소드로 사용되었으나, 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0061] 상술한 바와 같이 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)에 따르면, 별도의 화소 전극 형성을 위한 공정을 필요로 하지 않으므로 제조 공정을 단순화할 수 있고, MIM CAP 구조를 형성하므로 회로 설계시 전압 설계 마진을 향상시킬 수 있다. 또한, 고비용의 도핑공정을 1번의 동일 공정에서 수행함으로써 도핑공정에 대한 비용을 절감할 수 있으며, 화소 전극(116)을 상부 전극(313)이 형성된 영역 상부의 제2절연층(15) 상부에 직접 형성할 수 있기 때문에 개구율을 높일 수 있다.
- [0062] 이하, 도 3 내지 도 8을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0063] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제1마스킹 공정의 결과를 개략적으로 도시한 단면도이다.
- [0064] 도 3을 참조하면, 기판(10) 상에 박막 트랜지스터의 활성층(211), 및 커패시터 하부 전극(311c)이 형성된다.
- [0065] 상기 도면에는 도시되어 있지 않지만, 기판(10) 상에는 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된다. 제1포토마스킹(미도시)을 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝되어, 박막 트랜지스터의 활성층(211), 및 커패시터 하부 전극(311c)이 동시에 형성된다.
- [0066] 포토리소그래피에 의한 제1마스킹 공정은 제1포토마스킹(미도시)에 노광장치(미도시)로 노광 후, 현상

(developing), 식각(etching), 및 스트리핑(striping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.

- [0067] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0068] 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정 과정을 개략적으로 도시한 단면도이다.
- [0069] 도 4를 참조하면, 도 3의 제1마스크 공정의 결과물 상에 제1절연층(12)이 적층되고, 제1절연층(12) 상에 제1도전물(13) 및 상기 제1도전물(13)과 에칭 선택비가 다른 제2도전물(14)이 순차로 적층되고, 그 위에 포토레지스터(PR)가 도포된다.
- [0070] 상기 구조물 상에 제2포토마스크(M)를 이용한 제2포토마스크 공정을 실시한다. 제2포토마스크(M)는 광차단부(M1), 반투과부(M2), 광투과부(M3)를 구비한 하프톤 마스크로 준비된다.
- [0071] 제1도전물(13) 및 제2도전물(14)은 에칭 선택비가 서로 다른 도전물로 구비된다. 예를 들어, ITO, IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택될 수 있는 투명도전물, Ti, Mo, Al, Ag, Cu 및 이들의 합금에서 선택된 하나 이상의 에칭 선택비가 다른 물질로 선택될 수 있다.
- [0072] 도 5를 참조하면, 상기 제2포토마스크 공정의 결과, 상기 제1도전물(13) 및 제2도전물(14)은 각각 박막 트랜지스터의 제1게이트 전극(213) 및 제2 게이트 전극(214)으로 패터닝되고, 동시에 상기 제1도전물(13)은 커패시터의 상부 전극(313)으로 패터닝된다.
- [0073] 상기와 같은 구조물 위에 이온 불순물을 도핑한다. 이온 불순물은 전술한 바와 같이 3족 또는 5족의 이온으로 도핑할 수 있으며, 1×10^{15} atoms/cm² 이상의 농도로 박막 트랜지스터의 활성층(211) 및 커패시터의 하부 전극(311c)를 타겟으로 하여 도핑한다.
- [0074] 이때, 제1 및 제2게이트 전극(213, 214)을 셀프 얼라인(self align) 마스크로 사용하여 활성층(211)에 이온 불순물을 도핑함으로써 활성층(211)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 제1 및 제2게이트 전극(213, 214)을 셀프 얼라인 마스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a, 212b)을 형성할 수 있다.
- [0075] 또한, 전술한 바와 같이 커패시터의 상부 전극(313)은 두께가 1000Å 이하로 얇게 형성되기 때문에 이온 불순물은 상부 전극(313)을 통과하여 하부 전극(311c)에 도핑된다. 그 결과 이온 불순물이 도핑된 하부 전극(311a)은 커패시터 상부 전극(313)과 함께 MIM CAP 구조를 형성하므로 회로 설계시 전압 설계 마진을 향상시킬 수 있다. 또한, 1회의 도핑 공정으로 활성층(211)과 하부 전극(311c)을 동시에 도핑함으로써 도핑 공정에 의한 제조 비용을 절감할 수 있다.
- [0076] 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0077] 도 6을 참조하면, 도 5의 제2마스크 공정의 결과물 상에 제2절연층(15)이 적층되고, 제2절연층(15)을 패터닝하여 활성층(211)의 소스 영역(211a) 및 드레인 영역(211b)의 일부를 노출시키는 콘택홀(C1, C2)이 형성된다.
- [0078] 전술한 바와 같이 제2절연층(15)은 제1 및 제2게이트 전극(213, 214)과 소스 및 드레인 전극(216)을 절연하는 층간 절연막으로 기능한다. 또한, 얇게 형성된 커패시터의 하부 전극(313) 상부를 덮어 후술할 화소 전극(116)의 하부에 직접 형성되는 평탄화막으로 기능한다.
- [0079] 도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0080] 도 7을 참조하면, 도 6의 제3마스크 공정의 결과물 상에 소스 및 드레인 전극(216)과, 소스 및 드레인 전극(216) 중 어느 하나에서 연장된 화소 전극(116)이 형성된다. 즉, 화소 전극(216)은 소스 및 드레인 전극(216)과 동일 물질로 형성된다.
- [0081] 소스 및 드레인 전극(216)과 화소 전극(116)은 단층 또는 복수의 층으로 형성될 수 있다. 상기 도면에

의하면, 본 실시예에서 소스 및 드레인 전극(216)과 화소 전극(116)은 제1층(116a), 제2층(116b), 및 제3층(116c)을 포함한다. 제1층(116a)은 내구성 및 전기적 특성이 우수하고, 평탄화막인 제2절연층(15)과의 접합성이 우수한 Ti를 함유하는 것이 바람직하고, 제2층(116b)은 반사형 도전막이 되도록 Ag 또는 Al을 함유하는 것이 바람직하고, 제3층(116c)은 투과형 도전막이 되도록 ITO, IZO, ZnO, 또는 In₂O₃로 이루어지는 군으로부터 선택된 어느 하나를 포함할 수 있다.

- [0082] 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0083] 도 8을 참조하면, 도 7의 제4마스크 공정의 결과물 상에 제3절연층(17)을 형성하고, 제5포토마스크 공정으로 제3절연층(17)에 화소 전극(116)의 상면을 개구시키는 개구(C3)를 형성한다. 개구(C3) 내부에 전술한 발광층(118, 도 1 참조)이 구비됨으로써, 화소 전극(116) 및 대향 전극(119, 도 1 참조)의 전압 인가에 의해 발광층(118)이 발광한다. 따라서, 발광 영역이 확대되어 개구율을 증가시킬 수 있다.
- [0084] 이하, 도 9 및 도 10을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 설명한다.
- [0085] 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이고, 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소 전극, 트랜지스터 영역, 및 커패시터 영역의 위치 관계를 개략적으로 도시한 평면도이다. 이하, 동일한 참조부호는 동일 구성요소를 나타내며, 전술한 실시예와의 차이점을 중심으로 본 실시예를 상세히 설명한다.
- [0086] 도 9 및 10을 참조하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)는 기관(10) 상에 발광층(118)이 구비된 픽셀 영역(PXL2), 박막 트랜지스터가 구비된 트랜지스터 영역(TFT2), 및 커패시터가 구비된 커패시터 영역(CAP2)이 형성된다.
- [0087] 본 실시예에 따른 트랜지스터 영역(TFT2)에는 기관(10) 상에 박막 트랜지스터의 채널 영역(211c), 소스 및 드레인 영역(211a, 211b)을 포함하는 활성층(211)이 형성된다. 활성층(211) 상에 제1절연층(12)이 형성되고, 채널 영역(211c)에 대응하는 위치에 제1게이트 전극(213) 및 제2게이트 전극(214')가 순차로 형성된다. 소스 및 드레인 영역(211a, 211b)은 이온 분순물이 도핑되어 있다.
- [0088] 제1게이트 전극(213)과 제2게이트 전극(214')은 애칭 선택비가 다른 도전물로 형성된다. 본 실시예에서, 특히 제2게이트 전극(214')은 저저항 도전물로 형성된다. 예를 들어 제2게이트 전극(214')은 Cu로 형성될 수 있다. 제2게이트 전극(214')이 저저항 도전물로 형성되기 때문에, 제2게이트 전극(214') 및 제2게이트 전극(214')에 연결되는 배선(예를 들어, 게이트 라인(미도시))의 두께(h2)를 전술한 실시예에 따른 제2게이트 전극(214)의 두께(h1)보다 얇게 형성할 수 있다. 따라서, 제2게이트 전극(214') 또는 제2게이트 전극(214')에 연결되는 배선 위에 형성되는 제2절연층(15)의 단차를 최소화할 수 있다. 평탄화막으로 기능하는 제2절연층(15)의 단차를 최소화 함으로써 화소 전극(116')을 제1 및 제2게이트 전극(213, 214') 상부까지 확대하여 형성할 수 있다. 이에 대하여 후술한다.
- [0089] 제1 및 제2 게이트 전극(213, 214') 상에는 콘택홀(C1', C2')이 형성된 제2절연층(15)이 구비된다. 제2절연층(15)은 제1 및 제2게이트 전극(213, 214')과 소스 및 드레인 전극(216)을 절연하는 층간 절연막으로 기능하고, 화소 전극(116')의 하부에 직접 형성되는 평탄화막으로 기능한다.
- [0090] 콘택홀(C1', C2')을 통해 소스 및 드레인 전극(216)이 활성층(211)의 소스 및 드레인 영역(211a, 211b)에 접속한다. 이때, 소스 및 드레인 전극(216)의 하나는 화소 전극의 역할을 하도록 제2절연층(15) 상부에 길게 연장되며, 별도의 화소 전극 형성을 위한 공정을 필요로 하지 않는다. 따라서, 제조 공정을 단순화 할 수 있다.
- [0091] 본 실시예에 따른 커패시터 영역(CAP2)에는 기관(10) 상에 박막 트랜지스터의 활성층(211)의 소스 및 드레인 영역(211a, 211b)와 동일하게 이온 불순물이 도핑된 커패시터의 하부 전극(311a)이 구비된다. 하부 전극(311a) 상부에는 게이트 절연막이자 유전막 역할을 하는 제1절연층(12)이 형성되고, 제1절연층(12) 상부에는 커패시터의 상부 전극(313)이 구비된다. 상부 전극(313)은 제1게이트 전극(213)과 동일층에 동일물질로 형성된다. 이때, 상부 전극(313)은 가능한 얇게 형성되는 것이 바람직하다. 이는 전술한 바와 같이 화소 전극(116')이 상부 전극(313)이 형성된 영역을 모두 포함하도록 제2절연층(15) 상부에 직접 형성됨으로써, 평탄화막 역할을 하는 제2절연층(15)의 단차를 최대한 줄이기 위함이다. 따라서, 상부 전극(313)의 두께는 1000Å 이하인 것이 바람직하다.
- [0092] 1 및 제2 게이트 전극(213, 214') 및 상부 전극(313) 상에는 평탄화막 역할을 하는 제2절연층(15)이

구비된다.

[0093] 제2절연층(15) 상에는 소스 및 드레인 전극(216)의 하나에서 연장된 화소 전극(116')이 형성되고, 화소 전극(116')은 제2절연층(15) 하부의 커패시터의 상부 전극(313)뿐만 아니라, 박막 트랜지스터의 제1 및 제2게이트 전극(213, 214') 상부를 덮도록 형성된다.

[0094] 본 실시예에서는 상부 전극(313)뿐만 아니라, 트랜지스터 영역(TFT2)의 제2게이트 전극(214')도 저저항 도전물로 형성되어 두께가 얇게 형성되기 때문에, 화소 전극(116')이 상부 전극(313)뿐만 아니라 제1 및 제2게이트 전극(213, 214')의 상부를 포함하는 영역을 덮도록 형성될 수 있다. 따라서, 개구율을 더욱 증가시킬 수 있다.

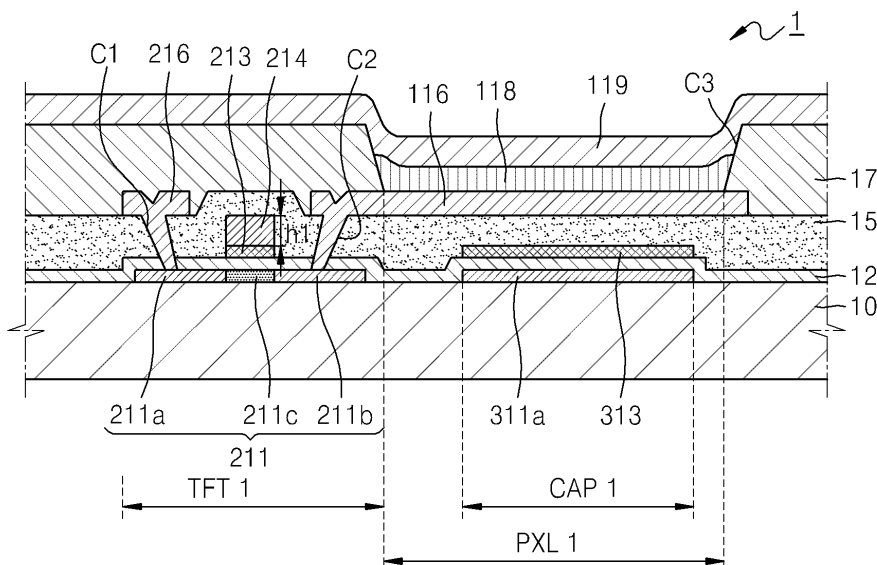
[0095] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

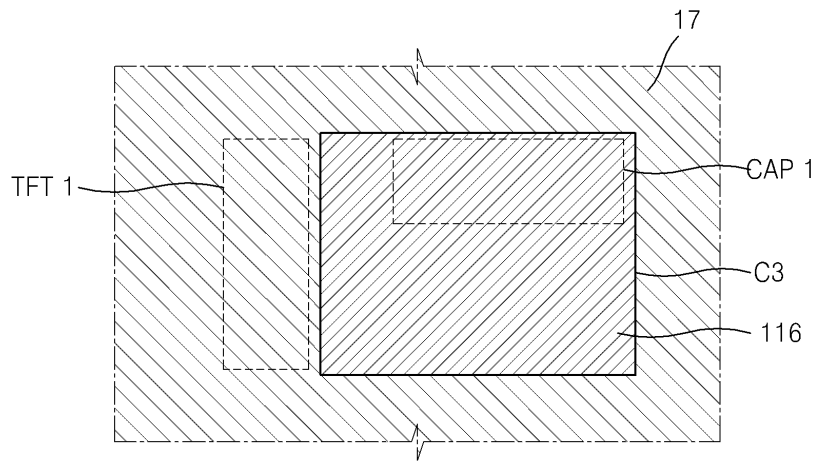
- [0096] 1: 유기 발광 표시 장치
- 10: 기판
- 12: 제1절연층
- 15: 제2절연층
- 17: 제3절연층
- 116: 화소 전극
- 118: 발광층
- 119: 대향 전극
- 211: 활성층
- 211a, 211b: 소스 및 드레인 영역 211c: 채널 영역
- 213: 제1게이트 전극
- 214: 제2게이트 전극
- 216: 소스 및 드레인 전극
- 311a: 하부 전극
- 313: 상부 전극
- PXL1: 픽셀 영역
- TFT1: 트랜지스터 영역
- CAP1: 커패시터 영역

도면

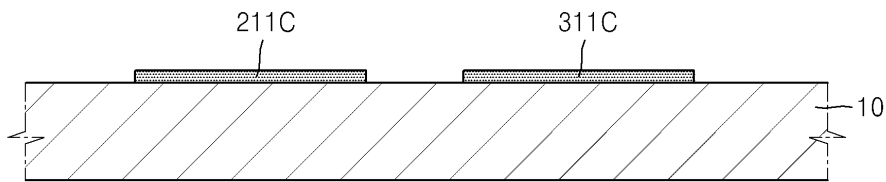
도면1



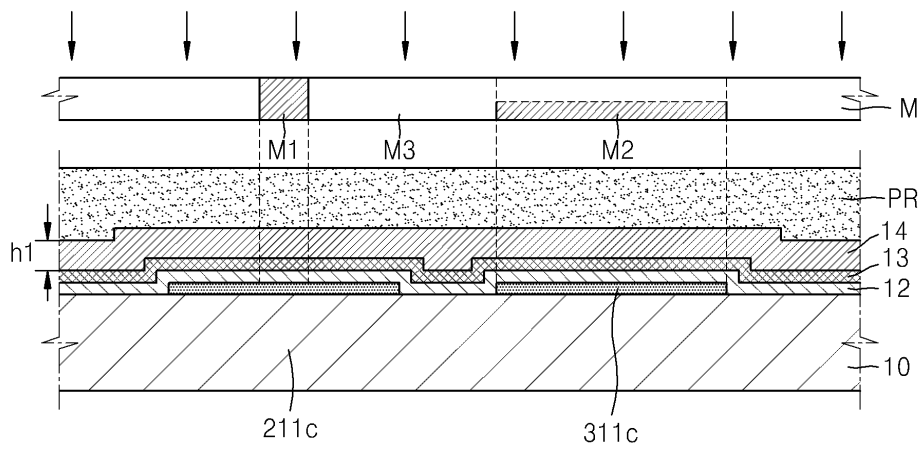
도면2



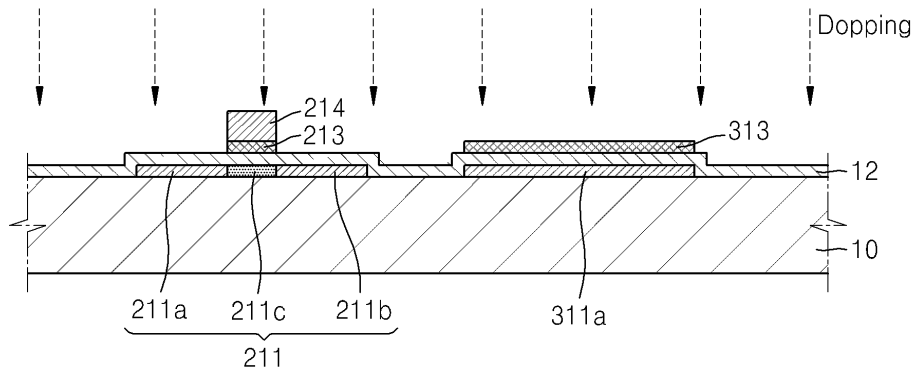
도면3



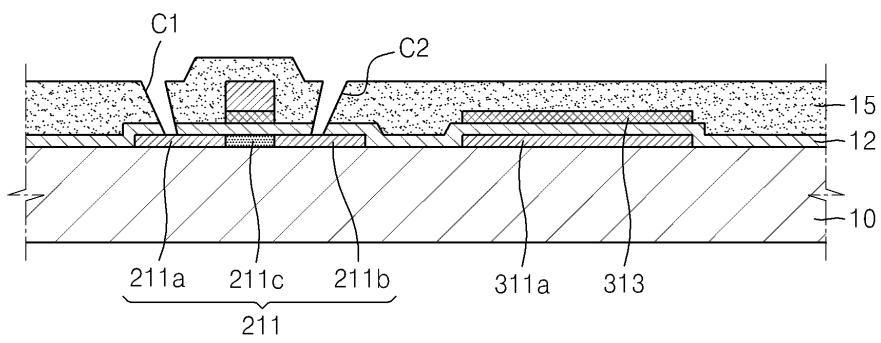
도면4



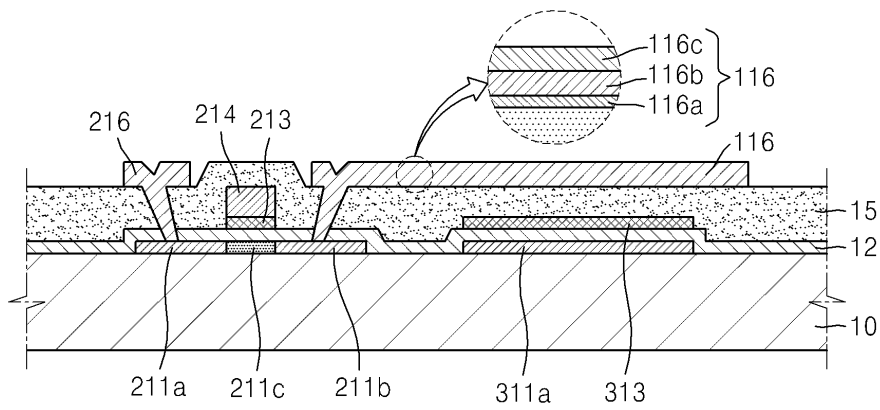
도면5



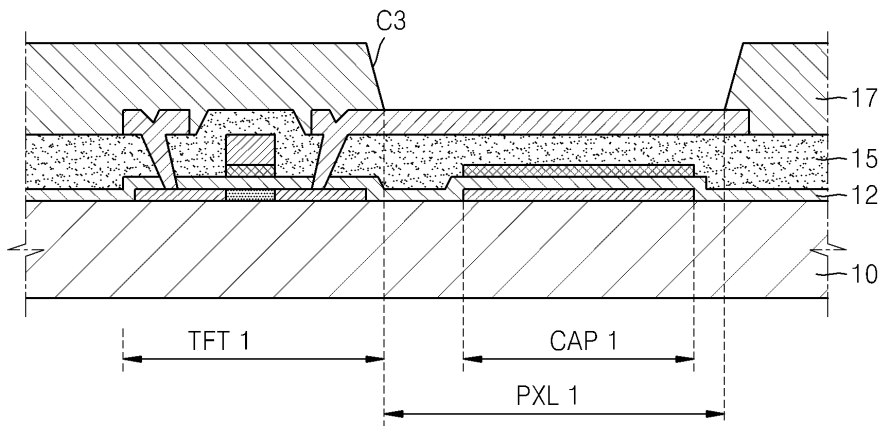
도면6



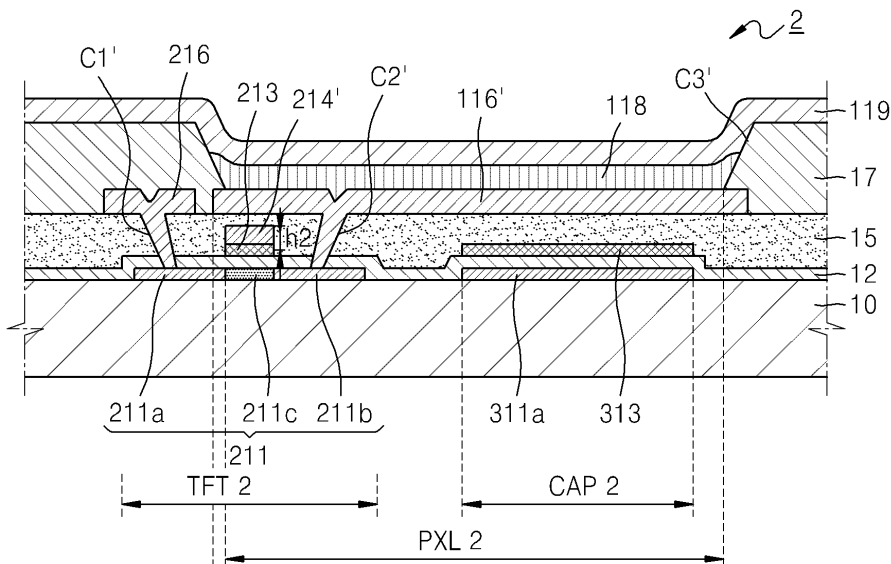
도면7



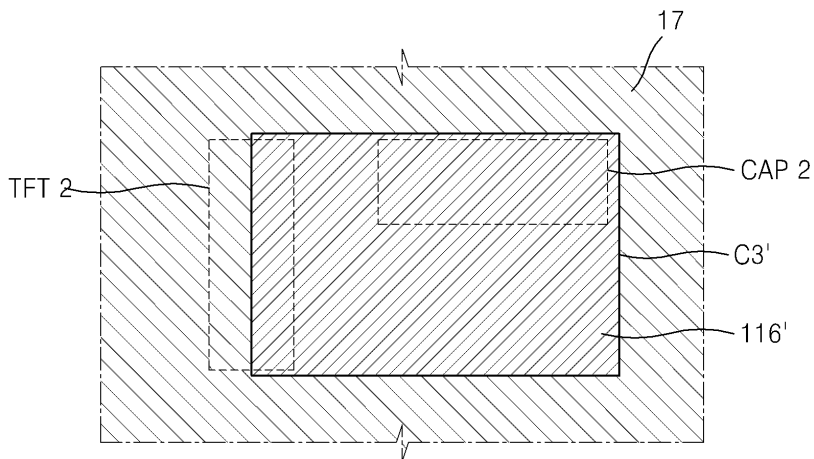
도면8



도면9



도면10



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020120063745A	公开(公告)日	2012-06-18
申请号	KR1020100124861	申请日	2010-12-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JUNE WOO 이준우		
发明人	이준우		
IPC分类号	H01L51/52 H01L29/786 H01L51/56		
CPC分类号	H01L27/3262 H01L27/3265 H01L27/3244 H01L51/0023 H01L27/1255 H01L29/4908 H01L51/56		
其他公开文献	KR101822563B1		
外部链接	Espacenet		

摘要(译)

用途：提供有机发光二极管及其制造方法，以通过不执行形成单独像素电极的工艺来简化制造工艺。组成：像素区域 (PXL1)，晶体管区域 (TFT1) 和电容器区域 (CAP1) 形成在基板 (10) 上。在晶体管区域中形成有源层 (211)。第一绝缘层 (12) 使第一栅电极 (213)，第二栅电极 (214) 和有源层绝缘。在第一栅电极和第二栅电极上形成配备有接触孔 (C1, C2) 的第二绝缘层 (15)。上电极 (313) 与第一栅电极形成在同一层上。像素电极形成在第二绝缘层上。薄膜晶体管的源电极和漏电极与有源层电连接。

