



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0053039
(43) 공개일자 2011년05월19일

(51) Int. Cl.

H05B 33/10 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0109835

(22) 출원일자 2009년11월13일

심사청구일자 2009년11월13일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

이동현

경기도 용인시 기흥구 농서동 산 24번지

이기용

경기도 용인시 기흥구 농서동 산 24번지

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 32 항

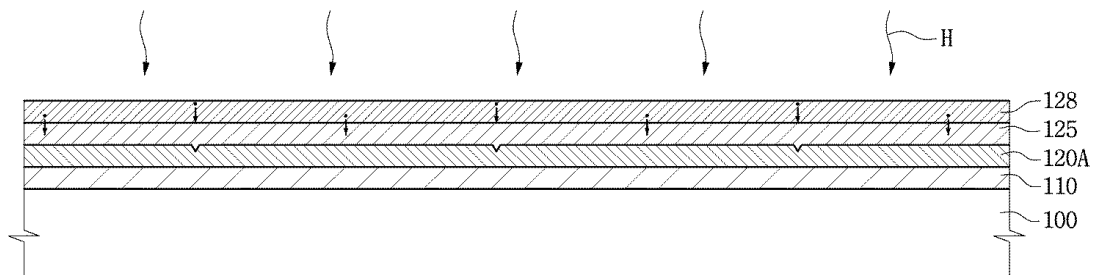
(54) 다결정 실리콘층의 제조방법, 박막트랜지스터, 그를 포함하는 유기전계발광표시장치 및 그들의 제조방법

(57) 요약

본 발명은 다결정 실리콘층의 제조방법, 박막트랜지스터, 그를 포함하는 유기전계발광표시장치 및 그들의 제조방법에 관한 것으로서, 기판을 제공하고, 상기 기판 상에 버퍼층을 형성하고, 상기 버퍼층 상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층 상에 홈을 형성하고, 상기 비정질 실리콘층 상에 캡핑층을 형성하고, 상기 캡핑층 상에 금속촉매층을 형성하고, 상기 기판을 열처리하여, 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 것을 특징으로 하는 다결정 실리콘층의 제조방법에 관한 것이다.

그리고, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하는 반도체층; 상기 기판 전면에서 걸쳐 위치하는 게이트 절연막; 상기 반도체층에 대응되는 게이트 전극; 및 상기 게이트 전극과 절연되며, 상기 반도체층과 연결되는 소스/드레인 전극을 포함하며, 상기 반도체층의 상부 표면에는 홈을 포함하며, 상기 홈에는 금속 실리사이드가 위치하는 것을 포함하는 것을 특징으로 하는 박막트랜지스터 및 그의 제조방법에 관한 것이며, 상기 박막트랜지스터를 포함하는 유기전계발광표시장치 및 그의 제조방법에 관한 것이다.

대표도



(72) 발명자

서진욱

경기도 용인시 기흥구 농서동 산 24번지

양태훈

경기도 용인시 기흥구 농서동 산 24번지

리사첸코, 막심

경기도 용인시 기흥구 농서동 산 24번지

박병건

경기도 용인시 기흥구 농서동 산 24번지

이길원

경기도 용인시 기흥구 농서동 산 24번지

정재완

경기도 용인시 기흥구 농서동 산 24번지

특허청구의 범위

청구항 1

기판을 제공하고,

상기 기판 상에 버퍼층을 형성하고,

상기 버퍼층 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층 상에 홈을 형성하고,

상기 비정질 실리콘층 상에 캡핑층을 형성하고,

상기 캡핑층 상에 금속촉매층을 형성하고,

상기 기판을 열처리하여, 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 것을 특징으로 하는 다결정 실리콘층의 제조방법.

청구항 2

제 1항 있어서,

상기 홈은 라인형태인 것을 특징으로 하는 다결정 실리콘층의 제조방법.

청구항 3

제 2항 있어서,

상기 라인형태의 홈은 하나 또는 다수개이며, 각 홈의 간격을 조절하여 상기 다결정 실리콘층의 결정립 크기를 조절하는 것을 특징으로 하는 다결정 실리콘층의 제조방법.

청구항 4

제 1항에 있어서,

상기 금속촉매층은 10^{11} 내지 10^{15} atoms/cm²의 면밀도가 되도록 형성하는 것을 특징으로 하는 다결정 실리콘층의 제조방법.

청구항 5

제 1항에 있어서,

상기 열처리는 200 내지 900℃의 온도로 실시하는 것을 특징으로 하는 다결정 실리콘층의 제조방법.

청구항 6

제 1항에 있어서,

상기 비정질 실리콘층의 홈 부분에 금속실리사이드를 형성하는 것을 특징으로 하는 다결정 실리콘층의 제조방법.

청구항 7

기판;

상기 기판 상에 위치하는 버퍼층;

상기 버퍼층 상에 위치하는 반도체층;

상기 기판 전면에 걸쳐 위치하는 게이트 절연막;

상기 반도체층에 대응되는 게이트 전극; 및

상기 게이트 전극과 절연되며, 상기 반도체층과 연결되는 소스/드레인 전극을 포함하며, 상기 반도체층의 상부 표면에는 홈을 포함하며, 상기 홈에는 금속실리사이드가 위치하는 것을 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 8

제 7항에 있어서,

상기 홈은 라인형태인 것을 특징으로 하는 박막트랜지스터.

청구항 9

제 7항에 있어서,

상기 금속실리사이드는 상기 홈을 따라 연속적으로 위치하고 있는 것을 특징으로 하는 박막트랜지스터.

청구항 10

제 7항에 있어서,

상기 홈은 반도체층의 채널영역 이외의 영역에 위치하는 것을 특징으로 하는 박막트랜지스터.

청구항 11

제 7항에 있어서,

상기 금속실리사이드는 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나로 이루어진 금속실리사이드인 것을 특징으로 하는 박막트랜지스터.

청구항 12

제 8 항에 있어서,

상기 홈의 라인의 방향은 상기 반도체층의 전류가 흐르는 방향과 수직방향이 되게 위치하는 것을 특징으로 하는 박막트랜지스터.

청구항 13

기판을 제공하고,

상기 기판 상에 버퍼층을 형성하고,

상기 버퍼층 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층 상에 홈을 형성하고,

상기 비정질 실리콘층 상에 캡핑층을 형성하고,

상기 캡핑층 상에 금속촉매층을 형성하고,

상기 기판을 열처리하여, 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하고,

상기 금속촉매층과 캡핑층을 제거하고,

상기 다결정 실리콘층을 패터닝하여 반도체층으로 형성하고,

상기 기판 전면에 걸쳐 게이트 절연막을 형성하고,

상기 반도체층과 대응되는 게이트 전극을 형성하고,

상기 게이트 전극과 절연되며, 상기 반도체층과 연결되는 소스/드레인 전극을 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 14

제 13항 있어서,

상기 홈은 라인형태로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 15

제 14항 있어서,

상기 라인형태의 홈은 하나 또는 다수개이며, 각 홈의 간격을 조절하여 상기 다결정 실리콘층의 결정립 크기를 조절하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 16

제 13항에 있어서,

상기 금속촉매층은 상기 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 17

제 13항에 있어서,

상기 열처리하는 200 내지 900℃의 온도로 실시하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 18

제 14항에 있어서,

상기 라인형태의 홈은 상기 반도체층의 전류의 흐름 방향과 수직한 방향이 되도록 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 19

제 14항에 있어서,

상기 라인형태의 홈은 상기 반도체층의 채널영역 이외의 영역에 위치하도록 패터닝하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 20

기판;

상기 기판 상에 위치하는 버퍼층;

상기 버퍼층 상에 위치하는 반도체층;

상기 기판 전면에 걸쳐 위치하는 게이트 절연막;

상기 반도체층에 대응되는 게이트 전극;

상기 게이트 전극과 절연되며, 상기 반도체층과 연결되는 소스/드레인 전극;

상기 기판 전면에 걸쳐 위치하는 절연막; 및

상기 소스/드레인 전극과 전기적으로 연결되는 제 1 전극, 유기막층 및 제 2 전극을 포함하며, 상기 반도체층의 상부 표면에는 홈을 포함하며, 상기 홈에는 금속실리사이드가 위치하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 21

제 20항에 있어서,

상기 홈은 라인형태인 것을 특징으로 하는 유기전계발광표시장치.

청구항 22

제 20항에 있어서,

상기 금속실리사이드는 상기 홈을 따라 연속적으로 위치하고 있는 것을 특징으로 하는 유기전계발광표시장치.

청구항 23

제 20항에 있어서,

상기 홈은 반도체층의 채널영역 이외의 영역에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 24

제 20항에 있어서,

상기 금속실리사이드는 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나로 이루어진 금속실리사이드인 것을 특징으로 하는 유기전계발광표시장치.

청구항 25

제 21항에 있어서,

상기 홈의 라인의 방향은 상기 반도체층의 전류가 흐르는 방향과 수직방향이 되게 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 26

기판을 제공하고,

상기 기판 상에 버퍼층을 형성하고,

상기 버퍼층 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층 상에 홈을 형성하고,

상기 비정질 실리콘층 상에 캡핑층을 형성하고,

상기 캡핑층 상에 금속촉매층을 형성하고,

상기 기판을 열처리하여, 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하고,

상기 금속촉매층과 캡핑층을 제거하고,

상기 다결정 실리콘층을 패터닝하여 반도체층으로 형성하고,

상기 기판 전면에 걸쳐 게이트 절연막을 형성하고,

상기 반도체층과 대응되는 게이트 전극을 형성하고,

상기 게이트 전극과 절연되며, 상기 반도체층과 연결되는 소스/드레인 전극을 형성하는 것을 포함하고, 상기 소스/드레인 전극과 연결되는 제 1 전극, 유기막층 및 제 2 전극을 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 27

제 26항 있어서,

상기 홈은 라인형태로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 28

제 27항 있어서,

상기 라인형태의 홈은 하나 또는 다수개이며, 각 홈의 간격을 조절하여 상기 다결정 실리콘층의 결정립 크기를 조절하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 29

제 26항에 있어서,

상기 금속촉매층은 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 30

제 26항에 있어서,

상기 열처리하는 200 내지 900℃의 온도로 실시하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 31

제 27항에 있어서,

상기 라인형태의 홈은 상기 반도체층의 전류의 흐름 방향과 수직한 방향으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 32

제 27항에 있어서,

상기 라인형태의 홈은 상기 반도체층의 채널영역 이외의 영역에 위치하도록 패터닝하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 다결정 실리콘층의 제조방법, 박막트랜지스터, 그를 포함하는 유기전계발광표시장치 및 그들의 제조방법에 관한 것으로서, 버퍼층, 비정질 실리콘층 또는 캡핑층에 라인형태의 스크래치를 줌으로써, 이후 금속촉매를 이용하여 비정질 실리콘층을 결정화시에 금속실리사이드를 컨트롤 하여 다결정 실리콘층의 결정의 성장을 컨트롤할 수 있도록 하는 것에 특징이 있다.

배경 기술

[0002] 일반적으로, 다결정 실리콘층은 높은 전계 효과 이동도와 고속 동작 회로에 적용이 가능하며 CMOS 회로 구성이 가능하다는 장점이 있어 박막트랜지스터용 반도체층의 용도로서 많이 사용되고 있다. 이러한 다결정 실리콘층을 이용한 박막트랜지스터는 주로 능동 행렬 액정 디스플레이 장치(AMLCD)의 능동소자와 유기 전계 발광 소자(OLED)의 스위칭 소자 및 구동 소자에 사용된다.

[0003] 상기 비정질 실리콘을 다결정 실리콘으로 결정화하는 방법은 고상 결정화법(Solid Phase Crystallization), 엑시머 레이저 결정화법(Excimer Laser Crystallization), 금속 유도 결정화법(Metal Induced Crystallization) 및 금속 유도 측면 결정화법(Metal Induced Lateral Crystallization) 등이 있다.

[0004] 현재, 금속을 이용하여 비정질 실리콘층을 결정화하는 방법은 고상결정화(Solid Phase Crystallization)보다 낮은 온도에서 빠른 시간 내에 결정화시킬 수 있는 장점을 가지고 있기 때문에 많이 연구되고 있다. 금속을 이용한 결정화 방법은 금속 유도 결정화(MIC, Metal Induced Crystallization) 방법과 금속 유도 측면 결정화(MILC, Metal Induced Lateral Crystallization) 방법, SGS 결정화(Super Grain Silicon Crystallization) 방법 등이 있다. 그러나, 금속 촉매를 이용한 상기 방법의 경우는 결정립 형성에 관계되는 금속실리사이드로 이루어진 시드를 컨트롤 하는 어려움이 있고, 금속 촉매에 의한 반도체층의 오염으로 인하여 박막트랜지스터의 소자 특성이 저하되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0005] 본 발명은 상기한 종래기술의 문제점을 해결하기 위한 것으로서, 금속촉매를 이용하여 결정화를 진행할때, 금속 촉매 하부영역에 위치하는 버퍼층, 비정질 실리콘층 또는 캡핑층에 스크래치를 줌으로써, 금속실리사이드의 형성을 컨트롤하여, 다결정 실리콘층의 결정립을 컨트롤 할 수 있으며, 반도체층에 존재하는 금속촉매의 양을 감소시킬 수 있으므로, 특성이 향상된 반도체층을 구비하는 박막트랜지스터, 그를 구비하는 유기전계발광표시장치 및 그들의 제조방법을 제공하는데 목적이 있다.

과제 해결수단

- [0006] 본 발명은 다결정 실리콘층의 제조방법, 박막트랜지스터, 그를 포함하는 유기전계발광표시장치 및 그들의 제조방법에 관한 것으로서, 기판을 제공하고, 상기 기판 상에 버퍼층을 형성하고, 상기 버퍼층 상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층 상에 홈을 형성하고, 상기 비정질 실리콘층 상에 캡핑층을 형성하고, 상기 캡핑층 상에 금속촉매층을 형성하고, 상기 기판을 열처리하여, 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 것을 특징으로 하는 다결정 실리콘층의 제조방법을 제공한다.
- [0007] 그리고, 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하는 반도체층; 상기 기판 전면에 걸쳐 위치하는 게이트 절연막; 상기 반도체층에 대응되는 게이트 전극; 및 상기 게이트 전극과 절연되며, 상기 반도체층과 연결되는 소스/드레인 전극을 포함하며, 상기 반도체층의 상부 표면에는 홈을 포함하며, 상기 홈에는 금속실리사이드가 위치하는 것을 포함하는 것을 특징으로 하는 박막트랜지스터 및 그의 제조방법을 제공한다.
- [0008] 또한, 상기 박막트랜지스터를 포함하는 유기전계발광표시장치 및 그의 제조방법을 제공한다.

효 과

- [0009] 본 발명은 금속촉매를 이용하여 결정화를 진행할 때, 금속촉매 하부영역에 위치하는 버퍼층, 비정질 실리콘층 또는 캡핑층에 스크래치를 줌으로써, 금속실리사이드의 형성을 컨트롤하여, 다결정 실리콘층의 결정립을 컨트롤 할 수 있으며, 반도체층에 존재하는 금속촉매의 양을 감소시킬 수 있으므로, 특성이 향상된 반도체층을 구비하는 박막트랜지스터 그를 구비하는 유기전계발광표시장치 및 그들의 제조방법을 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0010] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다.
- [0011] (실시예1)
- [0012] 도 1a 내지 도 1e는 본 발명의 일실시예에 따른 다결정실리콘층의 제조방법에 관한 도면이고, 도 1f는 다결정 실리콘층의 사진이다.
- [0013] 도 1a를 참조하면, 도 1a에 도시된 바와 같이 유리 또는 플라스틱과 같은 기판(100)상에 버퍼층(110)을 형성한다. 상기 버퍼층(110)은 화학적 기상 증착(Chemical Vapor Deposition)법 또는 물리적 기상 증착(Physical Vapor Deposition)법을 이용하여 실리콘 산화막, 실리콘 질화막과 같은 절연막을 이용하여 단층 또는 이들의 복층으로 형성한다. 바람직하게는 금속촉매가 잘 확산할 수 있도록, 실리콘 질화막과 실리콘 산화막의 복층으로 형성한다.
- [0014] 그리고 나서, 도 1b를 참조하면, 상기 기판(100) 상에 비정질 실리콘층(120A)를 형성한다. 이때, 상기 비정질 실리콘층(120A) 상에 스크래치를 형성하여 홈(A)을 하나 또는 다수개 형성한다. 이 때, 상기 홈(A)은 연속된 라인 형태일 수 있다. 도 1f를 참조하면, 상기 비정질 실리콘층(120A) 상에 형성된 홈(A)을 확인할 수 있다. 상기 홈(A)의 너비 및 깊이에 따라 결정의 모양을 조절할 수 있다.
- [0015] 그 이후에, 도 1c를 참조하면, 상기 홈(A)을 구비하는 비정질 실리콘층(120A) 상에 캡핑층(125)과 금속촉매층(128)을 순차적으로 형성한다. 이때, 상기 캡핑층(125)은 10 내지 2000Å으로 형성하며, 두께가 10Å 미만인 경우는 상기 캡핑층(125) 내에 존재하는 금속촉매가 비정질 실리콘층 상으로 확산을 저지하기에 어려움이 있으며, 2000Å 초과하는 경우에는 이후 형성되는 비정질 실리콘층으로 확산되는 금속 촉매의 양이 적어 다결정

실리콘층으로 결정화하기 어렵기 때문이다.

- [0016] 또한, 상기 금속 촉매층(128)은 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나를 사용하여 형성할 수 있는데, 바람직하게는 니켈(Ni)을 이용한다. 이때, 상기 금속 촉매층(128)은 상기 캡핑층(125) 상에 10^{11} 내지 10^{15} atoms/cm²의 면밀도로 형성하는데, 상기 금속 촉매가 10^{11} atoms/cm²의 면밀도 보다 적게 형성된 경우에는 결정화의 핵인 시드의 양이 적어 상기 비정질 실리콘층이 다결정 실리콘층으로 결정화하기 어렵고, 상기 금속 촉매가 10^{15} atoms/cm²의 면밀도 보다 많이 형성된 경우에는 비정질 실리콘층으로 확산되는 금속 촉매의 양이 많아 다결정 실리콘층의 결정립이 작아지고, 또한, 잔류하는 금속 촉매의 양이 많아 지게 되어 상기 다결정 실리콘층을 패터닝하여 형성되는 반도체층의 특성이 저하되게 된다.
- [0017] 그리고 나서, 상기 기판(100)을 열처리(H)하여, 상기 금속촉매에 의한 상기 비정질 실리콘층(120A)를 결정화시켜 다결정 실리콘층(도 1d에 도시된 120B)로 결정화한다. 이때, 상기 열처리(H) 공정은 200 내지 900℃의 온도 범위에서 수 초 내지 수 시간 동안 진행하여 상기 금속 촉매(A)를 확산시키게 되는데, 상기 온도와 시간에서 진행되는 경우에 과다한 열처리 공정으로 인한 기판의 변형 등을 방지할 수 있으며, 제조 비용 및 수율의 면에서도 바람직하다. 상기 열처리(H) 공정은 로(furnace) 공정, RTA(Rapid Thermal Annealing) 공정, UV 공정 또는 레이저(Laser) 공정 중 어느 하나의 공정을 이용할 수 있다.
- [0018] 계속해서, 도 1d를 참조하면, 상기 열처리(H) 공정을 실시하여, 결정화된 다결정 실리콘층(120B)를 형성하고, 상기 기판(100) 상의 캡핑층(125) 및 금속 촉매층(128)을 제거한다. 이때, 상기 다결정 실리콘층은 상기 홈(A) 하부에 시드영역(120s)를 포함한다. 상기 시드영역(120s)은 금속촉매로부터 확산되어진 금속촉매와 비정질 실리콘층의 결합으로 만들어진 금속실리사이드가 시드가 되어 결정을 형성하기 시작한 것이며, 상기 시드는 홈(A)에 모여 형성이 됨으로써 홈과 같은 라인형태로 배치된다.
- [0019] 도 1f를 참조하면, 라인의 형태로 시드가 연결되어 형성되어 있으며, 시드를 중심으로 양 옆으로 일정한 모양의 결정이 성장한 것을 관찰 할 수가 있다.
- [0020] 따라서, 상기 라인의 형태로 시드가 형성된 것은 스크래치에 의한 홈부에 시드가 모여 형성된 것으로써, 간편하게 비정질 실리콘층 상부에 스크래치를 줌으로써, 시드의 형성위치를 조절할 수 있고, 결정의 성장을 조절할 수 있다는 것을 알 수 있다. 그러므로 상기 시드를 조절하여, 다결정 실리콘층의 결정성을 조절하고, 선택적으로 반도체층을 형성함으로써, 결정성의 균일도가 향상된 반도체층을 구비하는 박막트랜지스터 및 그를 포함하는 소자를 형성할 수 있다.
- [0021] 상기 실시예에서는 비정질 실리콘층에 홈을 형성하여 결정화를 진행하였으나, 비정질 실리콘층을 대신하여 버퍼층 또는 캡핑층 상에 홈을 형성하여도 본 발명과 같은 결정화를 진행할 수 있다.
- [0022] (실시예2)
- [0023] 도 2a 내지 2c는 상기 제 1 실시예에 기재한 다결정 실리콘층의 제조방법으로 형성한 박막트랜지스터에 관한 도면이다. 이하, 상기 다결정 실리콘층의 제조방법으로 다결정 실리콘층을 형성하였으므로, 중복을 피하기 위하여 동일한 기재는 생략한다.
- [0024] 도 2a를 참조하면, 제 1 실시예에 기재된 것과 같이 결정화를 실시하여 다결정 실리콘층(220B)를 형성하며, 상기 다결정 실리콘층(220B)의 홈의 하부에는 금속촉매와 실리콘층으로 이루어진 금속실리사이드인 시드가 형성되어 시드영역(220s)를 형성하며, 상기 시드영역(220s)은 상기 라인형태의 홈(A)를 따라서 동일하게 형성되어 있다. 그리고 상기 시드(seed)를 중심으로 상기 결정이 옆으로 성장되어 있다.
- [0025] 그리고 나서, 도 2b를 참조하면, 상기 결정화된 다결정 실리콘층(120B)를 패터닝하여 반도체층(220)으로 형성한다. 이때, 상기 다결정 실리콘층(220B)의 홈부의 하부에는 시드영역(220s)이 포함되어 있으므로, 반도체층의 특성을 좌우하는 채널영역에는 홈부가 포함되지 않도록 패터닝하며, 상기 반도체층의 전류의 방향이 상기 홈(A)라인과 수직인 방향이 되도록 반도체층을 패터닝한다.
- [0026] 그 후에, 상기 기판 전면에 걸쳐 게이트 절연막(230)을 형성한다. 상기 게이트 절연막(230)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층일 수 있다.
- [0027] 그리고 나서, 상기 게이트 절연막(230) 상에 상기 반도체층(120)과 대응되는 게이트 전극(240)을 형성한다. 상기 게이트 전극(240)은 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층을 게이트 전극용 금속층(도시안됨)을 형성하

고, 사진 식각공정으로 상기 게이트 전극용 금속층을 식각하여 형성한다.

[0028] 그 후에, 도 2c를 참조하면, 상기 기판(200) 전면에 걸쳐, 층간절연막(250)을 형성하고, 상기 게이트 전극(240)과 절연되며, 상기 반도체층(220)과 전기적으로 연결되는 소스/드레인 전극(260a, 260b)를 형성하여 본원발명의 제 2 실시예에 따른 박막트랜지스터를 완성한다.

[0029] (제 3 실시예)

[0030] 제 3 실시예는 제 2 실시예에 기재된 박막트랜지스터를 구비하는 유기전계발광표시장치에 관한 것으로써, 반복을 피하기 위해 동일한 기재는 생략한다.

[0031] 도 3a 및 3b는 본 발명에 제 3 실시예에 따른 유기전계발광표시장치에 관한 것으로써, 먼저 도 3a를 참조하면, 제 2 실시예에 따른 박막트랜지스터를 구비하는 기판(200) 상에 기판전면에 걸쳐 절연막(270)을 형성한다.

[0032] 그리고 나서, 상기 기판(200)상의 소스/드레인 전극(260a, 260b)와 전기적으로 연결되는 제 1 전극(280)을 형성한다.

[0033] 그 후에 도 3b를 참조하면, 상기 기판(200) 상에 상기 제 1 전극(280)의 일부를 노출시키며 화소를 정의하는 화소정의막(285)을 형성하고, 상기 노출된 제 1 전극(280) 상에 유기발광층을 포함하는 유기막층(290)을 형성한다.

[0034] 그리고 나서, 기판(200) 전면에 걸쳐 제 2 전극(295)을 형성함으로써 본원발명의 제 3 실시예에 따른 유기전계발광표시장치를 완성한다.

[0035] (비교예)

[0036] 비교예는 상기 제 1 실시예의 스크래치를 이용하여 비정질 실리콘층 상에 홈을 형성하는 공정을 생략된 것일 뿐, 그 외에 공정은 제 1 실시예와 동일한 것으로써, 중복을 피하기 위하여 동일한 내용의 기재는 생략한다.

[0037] 표 1은 본 발명의 제 1 실시예에 의한 박막트랜지스터와 홈을 형성하지 않고 일반적으로 SGS결정화를 진행한 비교예의 박막트랜지스터 특성 산포를 비교한 데이터이다.

[0038] 표 1

	문턱전압(V_{th})의 산포(V)	전자이동도($cm^2/V.S$)의 산포	S 팩터의 산포	O_n 전류($\mu A/\mu m$)의 산포
실시예 1	0.09	1.03	0.04	0.15
비교예	0.21	7.02	0.06	0.82

[0040] 표 1을 참조하면, 본 발명에 따라 비정질 실리콘층 상부에 홈을 형성하여, 시드를 조절한 결정화방법을 사용하여 박막트랜지스터를 형성한 실시예 1의 경우, 문턱전압이 0.09V이고, 본원발명과 같이 홈을 형성하지 않고 결정화를 실시한 비교예에 의한 문턱전압이 0.21V이므로 실시예 1에 의한 박막트랜지스터의 문턱전압의 특성 산포가 더 작아, 실시예 1의 경우 특성이 더 균일한 것을 알 수 있다. 또한, 전자이동도의 산포는 실시예 1의 경우 $1.03 cm^2/V.S$ 이고, 비교예의 경우 $7.02 cm^2/V.S$ 로써, 실시예 1의 산포값이 더 작아 실시예 1에 의한 박막트랜지스터의 특성이 더 균일한 것을 알 수 있다. 그리고, S 팩터의 산포도 실시예 1은 0.04이고, 비교예는 0.06으로 실시예 1에 의한 박막트랜지스터의 산포값이 더 우수하고, O_n 전류특성도 실시예 1의 경우 $0.15 \mu A/\mu m$ 이고, 비교예의 경우 $0.82 \mu A/\mu m$ 로써 실시예 1의 O_n 전류 산포값이 더욱 우수한 것을 알 수 있다.

[0041] 따라서, 상기와 같이 본 발명에 따라 형성한 박막트랜지스터는 시드(seed)의 조절이 가능하여, 비정질 실리콘층의 결정화시 결정립을 조절할 수 있다. 따라서 결정립에 따라 선택적으로 반도체층을 형성할 수 있기 때문에 본원발명의 실시예에 따라 형성한 박막트랜지스터는 특성의 균일도를 향상시킬 수 있다. 따라서 복수개의 박막트랜지스터를 구비하는 소자를 형성함에 있어, 특성이 균일한 박막트랜지스터를 공급함으로써 휘도등의 특성이 향상된 소자를 생산하는데 큰 장점이 있다.

[0042] 상기 제 1 실시예, 제 2 실시예 및 제 3 실시예는 비정질 실리콘층의 표면에 스크래치를 하여 라인형태의 홈을 형성한 후 결정화를 실시하였으나, 이것에 한정되지 않고, 비정질 실리콘층 대신에 버퍼층 또는 캡핑층 상에 홈

을 형성한 후에 결정화를 진행하여도 동일하게 결정화를 진행할 수 있다.

[0043] 또한, 상기 실시예들이 비정질 실리콘층 상부에 캡핑층을 형성한 후, 금속촉매층을 형성하여 결정화를 진행하는 것을 예로 들어 설명하고 있으나, 이는 이에 한정되지 않고, 비정질 실리콘층 상부에 캡핑층을 생략하고, 금속 촉매층을 직접 형성하여 결정화를 진행하는 것도 가능하다.

[0044] 또한, 상기 실시예의 박막트랜지스터 및 유기전계발광표시장치는 탑 게이트 구조로 설명하였으나, 이는 이에 한정되지 않고, 바텀 게이트 구조 등으로 응용 가능하다.

[0045] 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시 예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

도면의 간단한 설명

[0046] 도 1a 내지 도 1e는 본 발명의 제 1 실시예에 따른 도면이고,

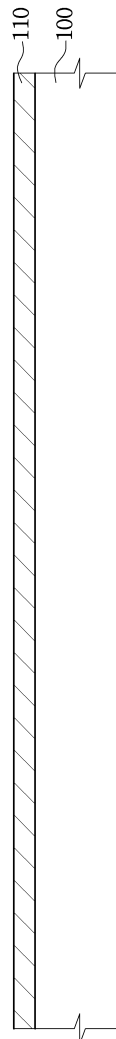
[0047] 도 1f는 본 발명의 제 1 실시예에 결정화된 다결정 실리콘층의 사진이다.

[0048] 도 2a 내지 도 2c는 본 발명의 제 2 실시예에 따른 박막트랜지스터에 관한 도면이다.

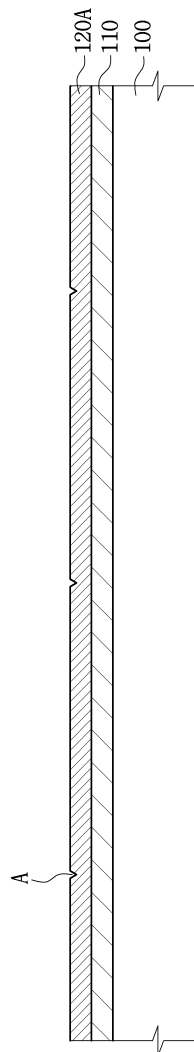
[0049] 도 3a 및 3b는 본 발명의 제 3 실시예에 따른 유기전계발광표시장치에 관한 도면이다.

도면

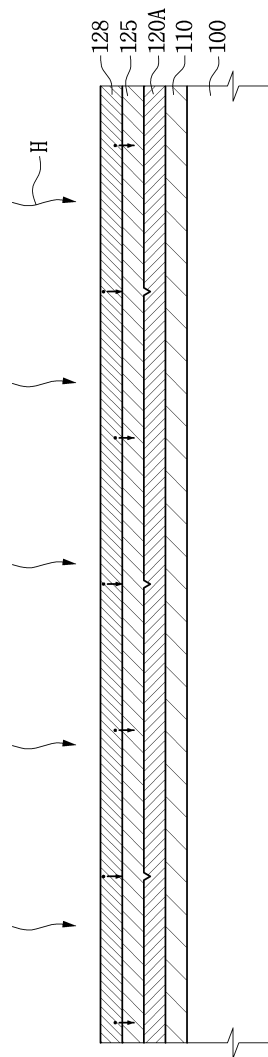
도면1a



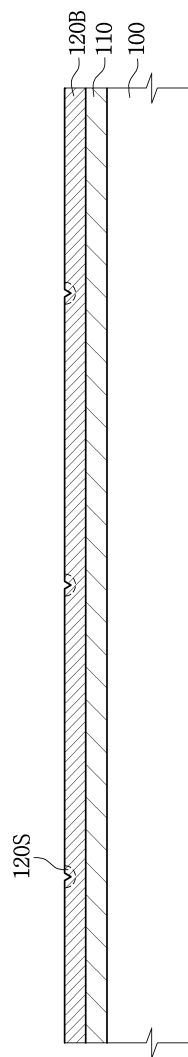
도면1b



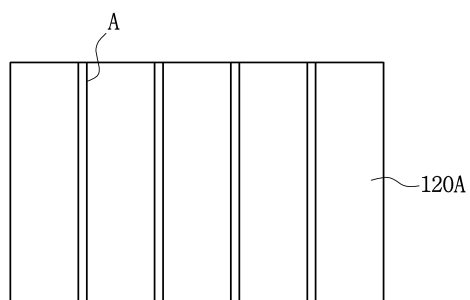
도면1c



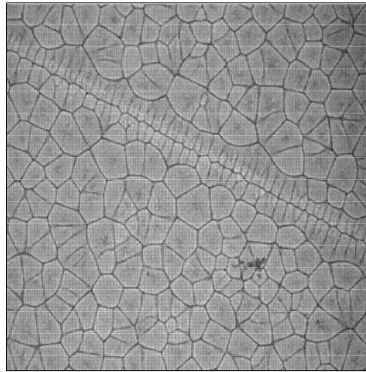
도면1d



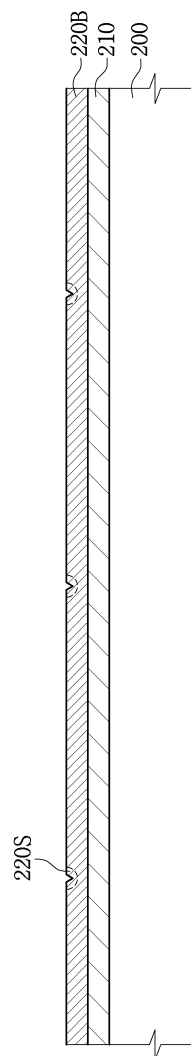
도면1e



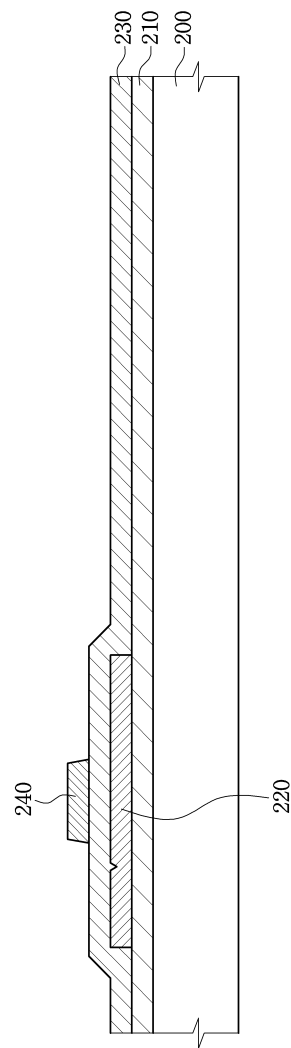
도면1f



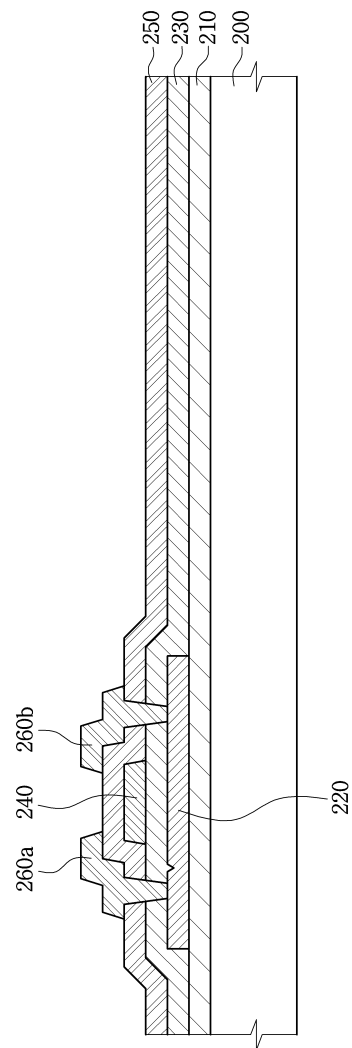
도면2a



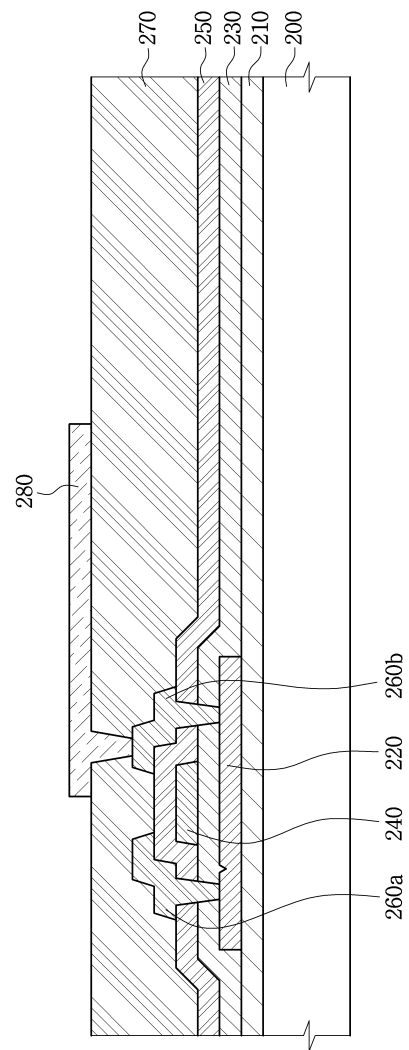
도면2b



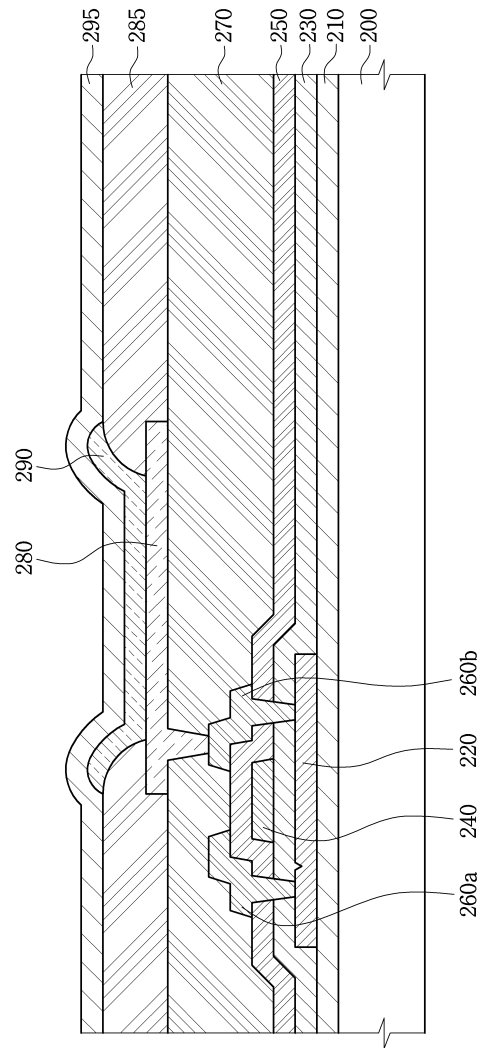
도면2c



도면3a



도면3b



专利名称(译)	制造多晶硅层的方法，制造薄膜晶体管的方法和制造有机电致发光显示装置的方法		
公开(公告)号	KR1020110053039A	公开(公告)日	2011-05-19
申请号	KR1020090109835	申请日	2009-11-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	LEE DONG HYUN 이동현 LEE KI YONG 이기용 SEO JIN WOOK 서진욱 YANG TAE HOON 양태훈 LISACHENKO MAXIM 리사첸코막심 PARK BYOUNG KEON 박병건 LEE KIL WON 이길원 JUNG JAE WAN 정재완		
发明人	이동현 이기용 서진욱 양태훈 리사첸코,막심 박병건 이길원 정재완		
IPC分类号	H05B33/10 H01L29/786		
CPC分类号	H01L21/02672 H01L21/02532 H01L27/1277 H01L27/1281 H01L27/1285 H01L27/1296 H01L29/66757 H01L29/78675 H01L29/78696 H01L27/3262		
其他公开文献	KR101094295B1		
外部链接	Espacenet		

摘要(译)

用于制造多晶硅层，薄膜晶体管，提供一种有机发光显示装置本发明的方法，并涉及它们的制备方法，所述衬底包括它们在所述衬底上形成缓冲层，所述缓冲层上的无定形硅在非晶硅层上形成覆盖层，在覆盖层上形成金属催化剂层，并对衬底进行退火以形成非晶硅层，并且将多晶硅层结晶成多晶硅层。基板;位于基板上的缓冲层;位于缓冲层上的半导体层;栅极绝缘膜设置在基板的整个表面上;栅电极对应于半导体层;并且源/漏电极与栅电极绝缘并连接到半导体层，其中半导体层的上表面包括凹槽，并且凹槽包括金属硅化物。及其制造方法，以及包括该薄膜晶体管的有机发光显示器及其制造方法。

