

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51)Int. Cl.

H05B 33/22 (2006.01) **H01L 51/50** (2006.01)

(21) 출원번호

10-2007-0099110

(22) 출원일자

2007년10월02일

심사청구일자 없음

(11) 공개번호 10-2009-0033996

(43) 공개일자 2009년04월07일

(71) 출원인

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

김창남

서울 서초구 우면동 16번지 LG전자 전자기술원

김상균

서울 서초구 우면동 16번지 LG전자 전자기술원

(뒷면에 계속)

(74) 대리인

특허법인로얄

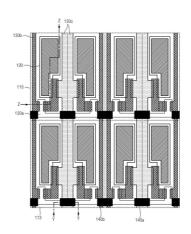
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치

(57) 요 약

본 발명은, 다수의 서브 픽셀을 포함하는 기판; 기판 상에 위치하는 제1배선; 제1배선을 덮도록 위치하는 충간절 연막; 층간절연막 상에서 제1배선과 교차하도록 위치하는 제2배선; 및 제1배선과 제2배선이 교차하는 영역에 위 치하는 층간절연막의 상부 또는 하부 중 하나 이상에 위치하는 더미 절연막을 포함하는 유기전계발광표시장치를 제공한다.

대 표 도 - 도1



(72) 발명자

이호년

서울 서초구 우면동 16번지 LG전자 전자기술원 김성갑

서울 서초구 우면동 16번지 LG전자 전자기술원 김성중

서울 서초구 우면동 16번지 LG전자 전자기술원 성면창

서울 서초구 우면동 16번지 LG전자 전자기술원

강선길

서울 서초구 우면동 16번지 LG전자 전자기술원 **김도열**

서울 서초구 우면동 16번지 LG전자 전자기술원 최정환

서울 서초구 우면동 16번지 LG전자 전자기술원

특허청구의 범위

청구항 1

다수의 서브 픽셀을 포함하는 기판;

상기 기판 상에 위치하는 제1배선;

상기 제1배선을 덮도록 위치하는 층간절연막;

상기 층간절연막 상에서 상기 제1배선과 교차하도록 위치하는 제2배선; 및

상기 제1배선과 상기 제2배선이 교차하는 영역에 위치하는 상기 충간절연막의 상부 또는 하부 중 하나 이상에 위치하는 더미 절연막을 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 더미 절연막은,

상기 제1배선과 상기 제2배선이 교차하는 영역에 대응하여 위치하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제1배선은,

상기 다수의 서브 픽셀에 스캔 신호를 공급하는 스캔 배선인 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 제2배선은,

상기 다수의 서브 픽셀에 데이터 신호를 공급하는 데이터 배선인 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 제2배선은,

상기 다수의 서브 픽셀에 전원을 공급하는 전원배선인 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제1항 에 있어서,

상기 더미 절연막은,

유기 또는 무기 절연막인 유기전계발광표시장치.

청구항 7

제1항 에 있어서,

상기 더미 절연막의 두께는,

상기 층간절연막의 두께보다 더 두꺼운 유기전계발광표시장치.

청구항 8

제7항에 있어서,

상기 더미 절연막의 두께는.

0.1 μm ~ 5 μm인 유기전계발광표시장치.

청구항 9

제1항에 있어서.

상기 다수의 서브 픽셀은;

하나 이상의 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하며,

상기 트랜지스터는, 탑 게이트 또는 바탐 게이트 형인 유기전계발광표시장치.

청구항 10

제9항에 있어서,

상기 트랜지스터는,

a-Si 트랜지스터, poly-Si 트랜지스터, Oxide 트랜지스터, Organic 트랜지스터 중 하나인 유기전계발광표시장 치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 유기전계발광표시장치에 관한 것이다.

배경기술

- <2> 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.
- <3> 또한, 유기전계발광소자는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식과 배면발광(Bottom-Emission) 방식 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.
- <4> 여기서, 능동매트릭스형을 채택한 유기전계발광표시장치의 서브 픽셀은 하나 이상의 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는데, 일반적으로 2T(트랜지스터)1C(커패시터) 이상의 회로 구조를 갖는다.
- <5> 여기서, 트랜지스터의 게이트, 소스 및 드레인 전극은 기판 상에 박막 형태로 위치한다. 그리고, 이러한 트랜지 스터는 구동 드라이버를 통해 스캔 신호, 데이터 신호 및 전원 등을 공급받음으로써 구동을 하게 된다.
- 한편, 기판 상에 위치하는 서브 픽셀이 매트릭스형태로 위치하기 때문에 서브 픽셀에 신호(스캔 신호, 데이터 신호)나 전원을 공급하는 배선들이 교차하는 형태로 배선된다. 이 경우, 배선과 배선이 교차하는 영역에 형성된 커패시턴스 성분에 의해 표시품질이 떨어뜨리는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

<7> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 유기전계발광표시장치의 표시품질 개선 및 신뢰성을 향상시키기 위해 교차하는 배선 간에 발생하는 커패시턴스 성분을 줄이는 것이다.

과제 해결수단

상술한 과제 해결 수단으로 본 발명은, 다수의 서브 픽셀을 포함하는 기판; 기판 상에 위치하는 제1배선; 제1배선을 덮도록 위치하는 충간절연막; 충간절연막 상에서 제1배선과 교차하도록 위치하는 제2배선; 및 제1배선과 제2배선이 교차하는 영역에 위치하는 충간절연막의 상부 또는 하부 중 하나 이상에 위치하는 더미 절연막을 포함하는 유기전계발광표시장치를 제공한다.

- < >> 더미 절연막은, 제1배선과 제2배선이 교차하는 영역에 대응하여 위치할 수 있다.
- <10> 제1배선은, 다수의 서브 픽셀에 스캔 신호를 공급하는 스캔 배선일 수 있다.
- <11> 제2배선은, 다수의 서브 픽셀에 데이터 신호를 공급하는 데이터 배선일 수 있다.
- <12> 제2배선은, 다수의 서브 픽셀에 전원을 공급하는 전원배선일 수 있다.
- <13> 더미 절연막은, 유기 또는 무기 절연막일 수 있다.
- <14> 더미 절연막의 두께는, 절연막의 두께보다 더 두꺼울 수 있다.
- <15> 더미 절연막의 두께는 0.1 / 교 ~ 5 / 교일 수 있다.
- <16> 다수의 서브 픽셀은; 하나 이상의 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하며, 트랜지스터는, 탑 게이트 또는 바탐 게이트 형일 수 있다.
- <17> 트랜지스터는, a-Si 트랜지스터, poly-Si 트랜지스터, Oxide 트랜지스터, Organic 트랜지스터 중 하나일 수 있다

直 과

<18> 본 발명은, 교차하는 배선 간에 발생하는 커패시턴스 성분을 줄일 수 있는 구조를 제공하여 유기전계발광표시장 치의 표시품질 개선 및 신뢰성을 향상시키는 효과를 나타낸다.

발명의 실시를 위한 구체적인 내용

- <19> 발명의 실시를 위한 구체적인 내용은 이하의 첨부된 도면을 참조하여 하기와 같이 설명한다.
- <20> 도 1은 본 발명에 따른 유기전계발광표시장치의 평면도이다.
- <21> 도 1에 도시된 바와 같이 기판(110) 상에는 매트릭스형태로 다수의 서브 픽셀(120)이 위치할 수 있다. 다수의 서브 픽셀(120)은, 기판(110) 방향 또는 기판(110)의 반대 방향 중 하나 이상의 방향으로 발광할 수 있다. 서브 픽셀의 회로 구성과 구조는 이하 첨부된 도면을 참조하여 더욱 자세히 설명한다.
- <22> 먼저, 도 2를 참조하여 서브 픽셀의 회로 구성에 대해 더욱 자세히 설명한다.
- <23> 도 2는 도 1에 도시된 서브 픽셀의 회로 구성도이다.
- <24> 도 2에 도시된 바와 같이 도 1에 도시된 서브 픽셀 회로는, 스캔 배선(SCAN)에 게이트가 연결되고 데이터 배선 (DATA)에 제1전극이 연결된 제1트랜지스터(T1)를 포함할 수 있다. 또한, 제1트랜지스터(T1)의 제2전극에 게이트가 연결되고 제2전원 배선(GND)에 제2전극이 연결된 제2트랜지스터(T2)를 포함할 수 있다. 또한, 제2트랜지스터 (T2)의 게이트에 일단이 연결되고 제2전원 배선(GND)에 타단이 연결된 커패시터(Cst)를 포함할 수 있다. 또한, 제1전원 배선(VDD)에 제1전극(예: 애노드)이 연결되고 제2트랜지스터(T2)의 제1전극에 제2전극(예: 캐소드)이 연결된 유기 발광다이오드(D)를 포함할 수 있다.
- <25> 이와 같은 서브 픽셀 회로는 스캔 배선(SCAN)을 통해 스캔 신호가 공급되면 제1트랜지스터(T1)가 턴 온될 수 있다. 그리고 데이터 배선(DATA)을 통해 데이터 신호가 공급되면 턴 온된 제1트랜지스터(T1)를 통해 커패시터 (Cst)에 데이터 전압이 저장될 수 있다. 그러면, 커패시터(Cst)에 저장된 데이터 전압에 의해 제2트랜지스터 (T2)가 턴온 됨과 아울러, 제1전원 배선(VDD)에 연결된 유기 발광다이오드(D)는 발광을 할 수 있다.
- <26> 다음, 도 3을 참조하여 도 2와 같은 서브 픽셀 회로 구성을 갖는 서브 픽셀의 구조에 대해 더욱 자세히 설명한다.
- <27> 도 3은 도 1에 도시된 Z-Z 영역의 단면도이다.
- <28> 도 3에 도시된 바와 같이, 기판(110)이 위치할 수 있다. 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.
- <29> 기판(110) 상에는 버퍼층(111)이 위치할 수 있다. 버퍼층(111)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성할 수 있다. 버퍼층(111)은 실

리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 등을 사용할 수 있다.

- <30> 버퍼층(111) 상에는 반도체층(112)이 위치할 수 있다. 반도체층(112)은 비정질 실리콘 또는 이를 결정화한 다결 정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 반도체층(112)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다.
- <31> 반도체충(112)을 포함하는 기판(110) 상에는 게이트 절연막(113)이 위치할 수 있다. 게이트 절연막(113)은 실리 콘 산화물(SiO₂) 또는 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.
- <32> 반도체층(112)의 일정 영역인 채널 영역에 대응되도록 게이트 절연막(113) 상에 게이트 전극(114)이 위치할 수 있다. 게이트 전극(114)은 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리 브덴 합금(Mo alloy), 텅스덴(W), 텅스덴 실리사이드(WSi₂) 중 어느 하나를 포함할 수 있다.
- <33> 게이트 전극(114)을 포함한 기판(110) 상에 충간절연막(115)이 위치할 수 있다. 충간절연막(115)은 유기막 또는 무기막일 수 있으며, 이들의 복합막일 수도 있다.
- <34> 층간절연막(115)이 무기막인 경우 실리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 또는 SOG(silicate on glass)를 포함할 수 있다. 반면, 유기막인 경우 아크릴계 수지, 폴리이미드계 수지 또는 벤조사이클로부텐 (benzocyclobutene,BCB)계 수지를 포함할 수 있다. 층간절연막(115) 및 게이트 절연막(113) 내에는 반도체층 (112)의 일부를 노출시키는 제1 및 제2콘택홀(115a, 115b)이 위치할 수 있다.
- <35> 충간절연막(115) 상에는 제1전극(116a)이 위치할 수 있다. 제1전극(116a)은 애노드일 수 있으며 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 도전층을 포함하여 2층 또는 3층 구조로 형성될 수 있다. 이에 대한 설명은 이하에 다른 도면을 첨부하여 더욱 자세히 설명한다.
- <36> 층간절연막(115) 상에는 소오스 전극 및 드레인 전극(116b, 116c)이 위치할 수 있다. 소오스 전극 및 드레인 전극(116b, 116c)은 제1 및 제2콘택홀(115a, 115b)을 통하여 반도체층(112)과 전기적으로 연결될 수 있다. 그리고, 드레인 전극(116c)의 일부는 제1전극(116a) 상에 위치하여, 제1전극(116a)과 전기적으로 연결될 수 있다.
- <37> 소오스 전극 및 드레인 전극(116b, 116c)은 배선 저항을 낮추기 위해 저저항 물질을 포함할 수 있다. 여기서, 소오스 전극 및 드레인 전극(116b, 116c)은 알루미늄(Al), 알미네리윰(Alnd), 몰리브덴(Mo), 크롬(Cr), 타이나 튬 나이트라이드(TiN), 몰리브덴 나이트라이드(MoN) 또는 크롬 나이트라이드(CrN) 등과 같은 금속층을 포함하여 형성될 수 있다.
- <38> 이상 기판(110) 상에 위치하는 트랜지스터는 게이트 전극(114), 소오스 전극 및 드레인 전극(116b, 116c)을 포함하고 다수의 트랜지스터 및 커패시터를 갖는 트랜지스터 어레이는 이하의 유기 발광다이오드와 전기적으로 연결될 수 있다. (단, 커패시터의 구조는 생략되었음) 그리고 여기서 형성된 트랜지스터는, a-Si 트랜지스터, poly-Si 트랜지스터, Oxide 트랜지스터, Organic 트랜지스터 중 하나일 수 있다.
- <39> 한편, 제1전극(116a)(예: 애노드) 상에는 제1전극(116a)의 일부를 노출시키는 절연막(117)이 위치할 수 있다.
- <40> 절연막(117)은 벤조사이클로부텐(benzocyclobutene,BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.
- <41> 노출된 제1전극(116a) 상에는 유기발광층(118)이 위치하고 유기발광층(118) 상에는 제2전극(119)(예: 캐소드)이 위치할 수 있다. 제2전극(119)은 유기발광층(118)에 전자를 공급하는 캐소드일 수 있으며, 마그네슘(Mg), 은 (Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금을 포함할 수 있다.
- <42> 이상 기판(110) 상에 위치하는 트랜지스터 어레이에 포함된 트랜지스터의 소오스 또는 드레인 전극(116b, 116 c)에 연결된 유기 발광다이오드는 제1전극(116a), 유기발광층(118) 및 제2전극(119)을 포함할 수 있다.
- <43> 단, 소오스 또는 드레인 전극(116b, 116c) 상에 위치하는 제1전극(116a)은 트랜지스터 어레이의 표면을 평탄화하는 평탄화막 상에 위치할 수도 있다. 또한, 트랜지스터 어레이에 포함된 트랜지스터의 구조는 게이트의 구조가 탑 게이트 인지 또는 바탐 게이트 인지에 따라 달라질 수 있다. 또한, 트랜지스터 어레이를 형성할 때 사용되는 마스크의 개수와 반도체층 재료에 따라 트랜지스터의 구조는 달리질 수 있다. 그러므로, 서브 픽셀의 구조는 이에 한정되지는 않는다.

- <44> 다시, 도 1을 참조하면, 기판(110) 상에는 다수의 서브 픽셀(120)에 전기적으로 연결되며 일부 영역에서 상호 교차하도록 배선된 제1 및 제2배선이 위치할 수 있다. 제1배선과 제2배선 사이에는 충간절연막(113)이 위치할 수 있다. 충간절연막(113)은 제1배선을 덮도록 위치할 수 있다.
- <45> 그리고 제1배선과 제2배선이 교차하는 영역 사이에 위치하는 층간절연막(113) 하부 또는 상부 중 하나 이상에는 더미 절연막(140a,140b)이 위치할 수 있다. 또한, 더미 절연막(140a,140b)은 제1배선과 제2배선 교차하는 영역 에 대응하여 위치할 수 있다.
- <46> 따라서, 더미 절연막(140a,140b)은 제1배선과 제2배선이 교차하는 영역을 넓게 차지하도록 위치하거나 제1배선 과 제2배선이 교차하는 영역에 대응하도록 다소 좁게 위치할 수도 있다.
- <47> 여기서, 제1배선은 다수의 서브 픽셀(120)에 스캔 신호를 공급하는 스캔 배선(130a)일 수 있다. 그리고 제2배선은 다수의 서브 픽셀(120)에 데이터 신호를 공급하는 데이터 배선(130b)과 다수의 서브 픽셀(120)에 양의 전원을 공급하는 전원배선(130c)을 포함할 수 있다. 단, 제조방법에 따라서는 제1배선이 데이터 배선(130b)과 전원배선(130c)이 되고 제2배선이 스캔 배선(130a)이 될 수도 있다.
- <48> 이하, 설명의 이해를 돕기 위해 이하 첨부된 도면을 참조하여 더미 절연막(140a,140b)의 구조를 더욱 자세히 설명하되, 스캔 배선(130a)과 전원배선(130c)이 교차하는 영역 사이에 위치하는 제1더미 절연막(140a)을 일례로설명한다.
- <49> 도 4는 도 1에 도시된 Y-Y 영역의 일 예시도 이다.
- <50> 도 4에 도시된 단면도와 같이, 기판(110) 상에는 버퍼층(111)이 위치할 수 있고, 버퍼층(111) 상에는 스캔 배선 (130a)이 위치할 수 있다. 또한, 스캔 배선(130a) 상에는 층간절연막(113)이 위치할 수 있고, 층간절연막(113) 상에는 제1더미 절연막(140a)이 위치할 수 있다. 그리고, 제1더미 절연막(140a) 상에는 전원배선(130c)이 스캔 배선(130a)과 일부 영역이 교차하도록 위치할 수 있다.
- <51> 도 5는 도 1에 도시된 Y-Y 영역의 다른 예시도 이다.
- <52> 도 5에 도시된 단면도와 같이, 기판(110) 상에는 버퍼층(111)이 위치할 수 있고, 버퍼층(111) 상에는 스캔 배선 (130a)이 위치할 수 있다. 또한, 스캔 배선(130a) 상에는 제1더미 절연막(140a)이 위치할 수 있고, 제1더미 절연막(140a) 상에는 층간절연막(113)이 위치할 수 있다. 그리고, 층간절연막(113) 상에는 전원배선(130c)이 스캔 배선(130a)과 일부 영역이 교차하도록 위치할 수 있다.
- <53> 도 4 및 도 5에 도시된 바와 같이, 제1더미 절연막(140a)은 충간절연막(113)의 하부 또는 상부에 위치할 수 있다. 그러나 제1더미 절연막(140a)은 충간절연막(113)의 하부와 상부에 모두 위치할 수 있다.
- <54> 이상과 같이 스캔 배선(130a)과 전원배선(130c)이 교차하는 영역 사이에 위치하는 충간절연막(113)의 상부 또는 하부 중 하나 이상에 제1더미 절연막(140a)을 형성하면, 기생 커패시턴스가 발생하는 문제를 해결할 수 있다.
- <55> 한편, 위에서 발생하는 기생 커패시턴스는 스캔 배선(130a)과 전원배선(130c)을 형성할 때, 이들의 재료로 사용되는 금속재료의 사이에 위치하는 충간절연막(113)이 커패시터 역할을 하기 때문이다.
- <56> 그러나 본 발명과 같이 충간절연막(113) 상에 제1더미 절연막(140a)을 형성하면, 커패시터를 형성하는 금속 (Metal), 절연막(Insulator), 금속(Metal) 구조를 변형 또는 저지할 수 있게 되어 기생 커패시턴스가 발생하는 문제를 해결할 수 있다.
- <57> 그리고 여기서 사용되는 제1더미 절연막(140a)의 재료로는 유기 또는 무기 절연막이 선택될 수 있다. 여기서, 충간절연막(113)이 유기 절연막인 경우 제1더미 절연막(140a)은 무기 절연막으로 선택될 수 있고, 충간절연막(113)이 무기 절연막인 경우 제1더미 절연막(140a)은 유기 절연막으로 선택될 수 있다. 단, 이와 반대로 제1더미 절연막(140a)은 충간절연막(113)과 동일한 재료로 형성될 수 있다.
- <58> 한편, 제1더미 절연막(140a)의 두께는 층간절연막(113)의 두께보다 더 두껍게 형성될 수 있다. 이와 같은 관점에서, 제1더미 절연막(140a)의 두께는 0.1 ㎞ ~ 5 ㎞일 수 있다.
- <59> 여기서, 제1더미 절연막(140a)의 두께가 0.1 ﷺ 이상이면, 층간절연막(113)의 두께보다 더 두껍게 형성되어 스 캔 배선(130a)과 전원배선(130c) 간의 기생 커패시턴스 발생 량이 줄어든다.
- <60> 반면, 제1더미 절연막(140a)의 두께가 5 ﷺ 이하이면, 전원배선(130c)의 스텝 커버리지를 떨어뜨리지 않는 범위 내에서 스캔 배선(130a)과 전원배선(130c)의 사이를 최대한 이격시킬 수 있다.

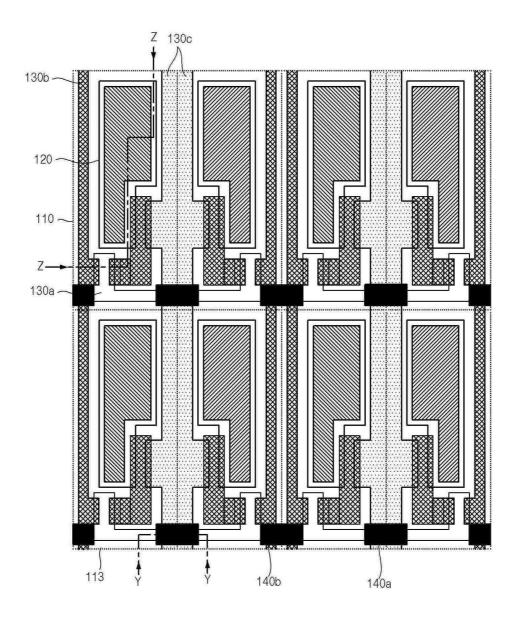
- <61> 이로 인해, 스캔 배선(130a)과 전원배선(130c) 간의 기생 커패시턴스 발생 량은 줄어든다. 또한, 이와 같이 제1 더미 절연막(140a)의 두께가 일정 범위 이상 넘게 되면, 충간절연막(113)과 제1더미 절연막(140a)이 상호 동일 한 재료를 사용하였더라도 기생 커패시턴스을 저지할 수 있다.
- <62> 따라서, 본 발명에 따른 유기전계발광표시장치는 기판 상에서 상호 교차하는 배선 간에 발생하는 커패시턴스 성 분을 줄일 수 있는 구조를 제공하여 표시품질 개선 및 신뢰성을 향상시키는 효과를 나타낼 수 있다.
- <63> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

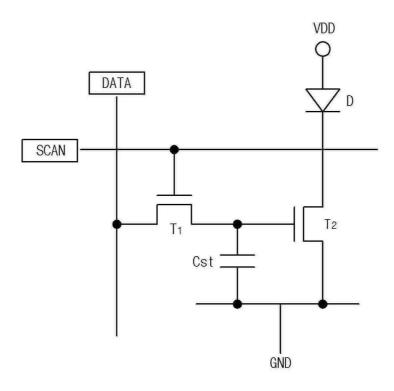
- <64> 도 1은 본 발명에 따른 유기전계발광표시장치의 평면도.
- <65> 도 2는 도 1에 도시된 서브 픽셀의 회로 구성도.
- <66> 도 3은 도 1에 도시된 Z-Z 영역의 단면도.
- <67> 도 4는 도 1에 도시된 Y-Y 영역의 단면도.
- <68> <도면의 주요 부분에 관한 부호의 설명>
- <69> 110: 기판 120: 서브 픽셀
- <70> 130a: 스캔 배선 130b: 데이터 배선
- <71> 130c: 전원 배선 140a: 제1더미 절연막
- <72> 140b: 제2더미 절연막

도면

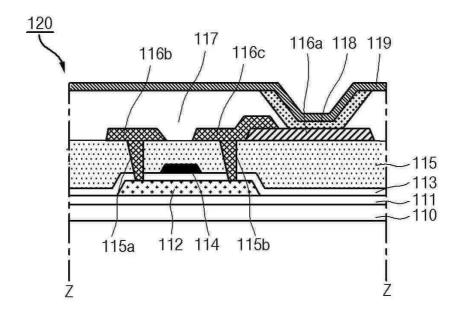
도면1



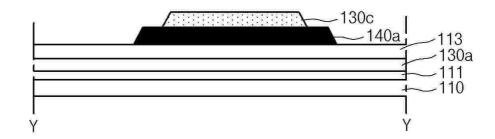
도면2



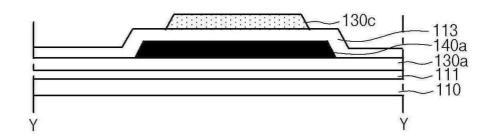
도면3



도면4



도면5





专利名称(译)	有机电致发光显示装置			
公开(公告)号	KR1020090033996A	公开(公告)日	2009-04-07	
申请号	KR1020070099110	申请日	2007-10-02	
申请(专利权)人(译)	LG电子公司			
当前申请(专利权)人(译)	LG电子公司			
[标]发明人	KIM CHANG NAM 김창남 KIM SANG KYOON 김상균 LEE HO NYUN 이호년 KIM SUNG GAP 김성갑 KIM SEONG JOONG 김성중 SUNG MYEONG CHANG 성면창 KANG SUN KIL 강선길 KIM DO YOUL 김도열 CHOI JUNG HWAN			
发明人	김창남 김상균 이호년 김성갑 김성중 성면창 강선길 김도열 최정환			
IPC分类号	H05B33/22 H01L51/50			
CPC分类号	H01L51/0096 H01L23/142 H01L4	1/0533 H01L2027/11875 H01L	2224/3757	
外部链接	<u>Espacenet</u>			

摘要(译)

本发明提供一种有机电致发光显示装置,包括位于基板上的第一布线:基板,层间绝缘膜,第二布线和位于上部或下部中的一个或 多个中的虚设绝缘膜。位于第一布线中的层间绝缘膜和包括多个子像素的区域。定位层间绝缘膜以覆盖第一布线。定位第二布线以 便与层间绝缘膜上的第一布线交叉。对于位于层间的上部或下部中的一个或多个中的虚设绝缘膜,第二布线交叉。有机电致发光显 示装置,电容和布线。

