(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H05B 33/10 (2006.01)

(11) 공개번호 10-2007-0056175
(43) 공개일자 2007년06월04일

(21) 출원번호 10-2005-0114475
(22) 출원일자 2005년11월29일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김경만
서울특별시 마포구 염리동 105-8 2층

(74) 대리인 허용록

전체 청구항 수 : 총 21 항

(54) 유기전계발광표시장치 및 그 제조 방법

(57) 요약

본 발명은 유기전계발광표시장치 및 그 제조 방법에 관한 것으로, 특히 도전성막 및 절연막을 차례로 적층한 후 하나의 마스크를 이용한 일괄 식각으로 패터닝하여 버퍼층과 보조 전극을 형성함으로써 유기전계발광표시장치 형성 시 마스크 수를 저감하여 원가를 절감하고 생산성을 향상시킬 수 있는 유기전계발광표시장치 및 그 제조 방법에 관한 것이다.

대표도

도 4d

특허청구의 범위

청구항 1.

다수의 서브픽셀로 정의된 제 1 기판;

상기 제 1 기판의 하부에 형성된 제 1 전극;

상기 제 1 전극 하부의 소정 영역에 일괄 식각되어 형성된 보조 전극 및 버퍼층;

상기 버퍼층 하부에 형성된 스페이서;

상기 각각의 서브픽셀이 분리되도록 각 서브픽셀을 구획하는 외곽에 형성하며, 상기 버퍼층 하부에 상기 스페이서와 일정 간격 이격되어 형성된 격벽;

상기 격벽 및 스페이서를 포함하는 제 1 전극 하부에 위치하며, 상기 격벽에 의해 구획된 영역에 형성되며 적어도 유기발광층을 포함하여 형성된 유기막층;

상기 유기막층 하부에 형성된 제 2 전극; 및

상기 제 1 기판과 스페이서에 의해 일정 간격으로 이격되어 배치되며, 상기 제 2 전극과 전기적으로 연결된 박막트랜지스터를 구비하는 제 2 기판을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 보조 전극은 상기 버퍼층 상부에 언더컷(undercut) 형상을 가지는 적층구조인 것을 특징으로 하는 유기전계발광표시장치.

청구항 3.

제 1 항에 있어서,

상기 보조 전극의 두께는 상기 유기막층의 두께보다 얇게 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 1 항에 있어서,

상기 보조 전극은 비저항이 낮은 물질인 몰리브덴(Mo), 구리(Cu), 크롬(Cr), 알루미늄(Al), 텅스텐(W) 또는 티타늄(Ti) 중 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제 1 항에 있어서,

상기 버퍼층은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 이중층(SiNx/SiO_2, SiO_2/SiNx) 중 선택되는 1종으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6.

제 1 항에 있어서,

상기 버퍼층은 다각형 형상으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7.

제 1 항에 있어서,

상기 제 1 전극은 일함수가 높은 도전성 물질인 것을 특징으로 하는 유기전계발광소자.

청구항 8.

제 1 항에 있어서,

상기 제 2 전극은 일함수가 낮은 도전성 물질인 것을 특징으로 하는 유기전계발광소자.

청구항 9.

제 1 항에 있어서,

상기 유기발광층은 저분자물질 또는 고분자물질로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10.

다수의 서브픽셀로 정의된 제 1 기판 상에 제 1 전극을 패터닝하여 형성하는 단계;

상기 제 1 전극 상부의 소정 영역에 일괄 식각으로 보조 전극 및 버퍼층을 패터닝하여 형성하는 단계;

상기 버퍼층 상부의 소정 영역에 스페이서를 패터닝하여 형성하는 단계;

상기 각각의 서브픽셀이 분리되도록 각 서브픽셀을 구획하는 상기 버퍼층 외곽에 격벽을 패터닝하여 형성하는 단계;

상기 격벽 및 스페이서를 포함하는 제 1 전극 상부에 형성하며, 상기 격벽에 의해 구획된 영역에 적어도 유기발광층을 포함하는 유기막층을 패터닝하여 형성하는 단계;

상기 유기막층 상부에 제 2 전극을 패터닝하여 형성하는 단계; 및

박막트랜지스터가 형성된 제 2 기판을 상기 스페이서를 통해 박막트랜지스터의 드레인 전극과 전기적으로 연결되도록 상기 제 1 기판과 대향하여 봉지하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 11.

제 10 항에 있어서,

상기 보조 전극 및 버퍼층은 동일한 마스크를 이용한 식각으로 버퍼층 형성 후 순차적으로 보조 전극을 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 12.

제 10 항에 있어서,

상기 제 1 전극 상부의 소정 영역에 일괄 식각으로 보조 전극 및 버퍼층을 패터닝하여 형성하는 단계에 있어서,

상기 제 1 전극 상부에 도전성막을 적층하는 단계,

상기 도전성막 상에 절연막을 적층하는 단계,

포토리소그래피 공정에 의해 패터닝된 마스크를 형성하는 단계,

상기 마스크를 상기 절연막 상의 소정 영역에 위치시킨 후 상기 절연막을 식각하여 패터닝된 버퍼층을 형성하는 단계, 및

상기 마스크를 이용하여 상기 버퍼층 하부의 도전성막을 식각하여 패터닝된 보조 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 13.

제 12 항에 있어서,

상기 도전성막은 진공증착법 또는 스퍼터링법을 수행하여 증착하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 14.

제 12 항에 있어서,

상기 버퍼층은 화학기상증착법을 수행하여 증착하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 15.

제 10 항에 있어서,

상기 버퍼층은 습식 식각 또는 건식 식각으로 패터닝하여 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 16.

제 15 항에 있어서,

상기 습식 식각은 불산(HF), BOE(Buffered Oxide Etchant;NH_4F:HF=6:1 혼합액) 또는 인산(H_3PO_4) 중 선택되는 1종으로 수행하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 17.

제 15 항에 있어서,

상기 건식 식각은 이온빔 식각, RF 스퍼터 식각, 플라즈마 식각 또는 반응 이온 식각 중 선택되는 어느 하나의 방법으로 수행하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 18.

제 10 항에 있어서,

상기 보조 전극은 습식 식각 또는 건식 식각으로 패터닝하여 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 19.

제 18 항에 있어서,

상기 습식 식각은 알루미늄 에천트(Al etchant; H_3PO_4:HNO_3:CH_3COOH:H_20=80:5:5:10 혼합액), PAN 에천트 (H_3PO_4:HNO_3:CH_3COOH:H_20_2=75:5:15:5 혼합액) 또는 티타늄 에천트(Ti etchant; H_20:HF:H_20_2=20:1:1 혼합액) 중 선택되는 어느 하나를 이용하여 수행하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 20.

제 18 항에 있어서,

상기 건식 식각은 이온빔 식각, RF 스퍼터 식각, 플라즈마 식각 또는 반응 이온 식각 중 선택되는 어느 하나의 방법으로 수행하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 21.

제 10 항에 있어서,

상기 보조 전극의 두께는 상기 유기막층의 두께보다 얇게 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치 및 그 제조 방법에 관한 것으로, 보다 자세하게는 도전성막 및 절연막을 차례로 적층 후 하나의 마스크를 이용한 일괄 식각으로 패터닝하여 버퍼층과 보조 전극을 형성함으로써 마스크 수를 저감할 수 있는 듀얼 패널 타입의 유기전계발광표시장치 및 그 제조 방법에 관한 것이다.

평판표시소자(FPD;Flat Panel Display Device) 분야에서, 지금까지는 가볍고 전력소모가 적은 액정표시장치 (LCD;Liquid Crystal Display Device)가 가장 주목받는 디스플레이 소자였지만, 상기 액정표시장치는 발광소자가 아니라 수광소자이며 밝기, 콘트라스트(contrast), 시야각, 그리고 대면적화 등에 기술적 한계가 있기 때문에 이러한 단점을 극복할 수 있는 새로운 평판디스플레이 소자에 대한 개발이 활발하게 전개되고 있다.

새로운 평판디스플레이 중 하나인 상기 유기전계발광표시장치(OLED;Organic Electroluminescence Display Device)는 자발광이며, 광시야각, 콘트라스트, 응답속도 등이 우수하며 백라이트가 필요 없어 경량 박형이 가능하고, 소비전력 측면에서도 유리하다.

일반적으로 유기전계발광소자는 애노드 전극과 캐소드 전극 사이에 유기발광층(EML;Emitting Layer)을 포함하고 있어 각 전극에 전압을 가하면, 애노드 전극으로부터 공급받는 정공(Hole)과 캐소드 전극으로부터 공급받은 전자(electron)가 유기발광층 내부로 주입되어 유기발광층 내에서 전자와 정공이 재결합하여 정공-전자 쌍인 여기자(exciton)를 형성하고 다시 상기 여기자가 바닥상태로 돌아오면서 발생되는 에너지에 의해 발광하게 된다.

특히, 각 화소마다 스위칭 소자인 박막트랜지스터를 가지는 능동 매트릭스(Active matrix) 방식으로 유기전계발광표시장치를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비 전력, 고정세, 대형화가 가능한 장점을 가진다.

도 1은 종래의 듀얼 패널 타입의 유기전계발광표시장치의 단면도로서, 이는 상부발광방식으로 동작하는 AMOLED의 단면 구조를 나타낸다.

도시된 바와 같이, 상, 하부 기판(10, 30)이 서로 대향되게 배치되어 있고, 상, 하부 기판(10, 30)의 가장자리부는 씰패턴(40;seal pattern)에 의해 봉지(encapsulation)되어 있는 구조에 있어서, 상기 하부 기판(30)의 제 2 기판(31) 상부에는 각각의 서브픽셀별로 박막트랜지스터(T)가 형성되어 있다.

상기 상부 기판(10)의 제 1 기판(11) 하부에는 애노드 전극(13;anode elctrode)이 형성되어 있고, 상기 애노드 전극(13)의 저항 성분을 보상하기 위하여 상기 애노드 전극(13) 하부의 소정 영역에 패터닝된 보조 전극(15)이 형성되어 있다. 상기 보조 전극(15)을 포함한 제 1 기판(11) 하부에는 버퍼층(17)이 형성되어 있고, 상기 버퍼층(17) 하부에는 상기 하부 기판(30)의 제 2 기판(31) 상에 형성된 박막트랜지스터(T)의 드레인 전극과 캐소드 전극(25;cathode electrode)을 전기적으로 연결시키는 기둥 형상의 스페이서(19)와, 상기 스페이서(19)와 일정 간격 이격되어 형성되고, 상기 애노드 전극(13)과 캐소드 전극(25)을 분리하여 각각의 서브픽셀을 정의하는 격벽(21)(Cathode separator)이 형성되어 있다.

상기 버퍼층(17) 사이의 애노드 전극(13) 하부에는 각 서브픽셀과 대응되게 배치되며 적(Red), 녹(Green), 청(Blue) 컬러를 띠는 발광물질을 포함하는 유기발광층을 구비하는 유기막층(23)이 형성되어 있고, 상기 유기막층(23) 하부에는 캐소드 전극(25)이 형성되어 있다.

이로써, 상기 애노드 전극(13), 유기막층(23) 및 캐소드 전극(25)을 포함하는 유기전계발광소자(E)가 형성되어 있다.

상기 애노드 전극(13)과 캐소드 전극(25)은 상기 유기발광층에 전계를 인가해주는 역할을 한다.

한 예로, 상부발광방식 구조에서 상기 애노드 전극(13)이 일함수가 높은 투명도전성 물질로 구성되고, 캐소드 전극(25)이 일함수가 낮은 금속 물질로 구성되면, 이런 조건하에서 상기 유기막층(23)은 상기 애노드 전극(13)과 접하는 층에서부터 정공주입층(HIL;Hole Injection Layer), 정공수송층(HTL;Hole Transporting Layer), 유기발광층(EML;Emitting Layer), 전자수송층(ETL;Electron Transporting Layer) 등의 순서대로 적층된 구조를 이룬다.

이때, 상기 유기발광층은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다.

이로써, 상기 애노드 전극(13)으로부터 공급된 정공과 캐소드 전극(25)으로부터 공급된 전자가 유기막층(23)의 유기발광층 내에서 재결합하여 정공-전자 쌍인 여기자(exciton)를 형성하고 다시 상기 여기자가 바닥상태로 돌아오면서 발생되는 에너지에 의해 발광하게 된다. 이때, 발광된 빛은 상기 제 1 기판(11)을 통하여 방출되게 되어 디스플레이로 제작시 제 1 기판(11) 방향에서 표시된 정보를 볼 수 있다.

도 2a 내지 도 2g는 도 1의 듀얼 패널 타입의 유기전계발광표시장치의 상부 기판의 제조 방법을 나타낸 공정단면도이다.

도 2a를 참조하면, 유리로 형성된 제 1 기판(11) 상에 ITO 또는 IZO 중 선택되는 1종을 진공증착법(evaporation) 또는 스퍼터링(sputtering) 방식을 수행하여 증착 후 제1 마스크(미도시)를 이용한 식각 공정에 의해 패터닝(patterning)된 애노드 전극(13)이 형성된다.

상기 애노드 전극(13)을 패터닝 하는 방법은 포토레지스트(PR;Photo Resist) 도포, 노광(exposure) 및 현상(develope) 등의 공정을 이용한 포토리소그래피 기술에 의해 패터닝된 마스크(mask)를 이용하여 애노드 전극(13)에 건식 식각(dry etching) 또는 습식 식각(wet etching)을 선택적으로 적용 후 에싱(ashing)을 진행하여 형성된다.

도 2b를 참조하면, 상기 애노드 전극(13)) 상부에 몰리브덴(Mo), 구리(Cu) 또는 크롬(Cr) 중 선택되는 1종을 진공증착법 또는 스퍼터링 방식을 수행하여 증착 후 제2 마스크(미도시)를 이용한 식각 공정에 의해 패터닝된 보조 전극(15)이 형성된다.

도 2c를 참조하면, 상기 보조 전극(15)을 포함한 애노드 전극(13) 상부에 실리콘 산화막(SiO_2) 또는 실리콘 질화막(SiNx)을 화학기상증착(CVD;Chemicla Vapor Deposition) 방식을 수행하여 적층 후 제3 마스크(미도시)를 이용한 식각 공정에 의해 패터닝된 버퍼층(17)이 형성된다.

도 2d를 참조하면, 상기 버퍼층(17)을 포함한 애노드 전극(13) 상에 실리콘 산화막, 실리콘 질화막, 아크릴 수지 또는 폴리이미드 중 어느 하나를 CVD 방식을 수행하여 증착 후 제4 마스크(미도시)를 이용한 식각 공정을 통해 상기 버퍼층(17) 상에 패터닝된 스페이서(19)가 형성된다.

도 2e를 참조하면, 상기 스페이서(19)를 포함한 애노드 전극(13) 상에 네거티브형(negative type) 포토레지스트(PR)를 스핀 코팅(Spin Coating) 방식을 수행하여 도포 후 제5 마스크(미도시)를 이용하여 노광, 현상 후 베이크(bake) 공정을 통해 패터닝된 역사다리꼴 형상의 격벽(21)이 형성된다.

도 2f를 참조하면, 제6 마스크(미도시)로서 섀도우마스크(Shawdow mask)를 이용하여 유기물질을 진공증착법 또는 잉크젯 프린팅(Ink-jet printing) 등의 방식을 수행하여 증착하여 상기 버퍼층(17) 사이의 애노드 전극(13) 상에 적어도 유기발광층을 포함하는 유기막층(23)이 형성된다.

도 2g를 참조하면, 상기 유기막층(23)상에 도전성 금속을 진공증착법 또는 스퍼터링을 방식을 수행하여 적층 후 제7 마스크(미도시)를 이용한 식각에 의해 패터닝된 캐소드 전극(25)이 형성된다.

종래의 유기전계발광표시장치의 상부 기판(10)을 형성할 경우에 각각의 패터닝된 애노드 전극(13), 보조 전극(15), 버퍼층(17), 스페이서(19), 격벽(21), 유기막층(23) 및 캐소드 전극(25)을 형성하기 위해서는 각각의 마스크를 이용한 리소그래피 공정을 포함하므로 총 7개의 마스크가 제작된다.

이러한 리소그래피 공정은 빛의 조사 여부에 따라 감응하는 화학 물질인 포토레지스트를 이용하여 도포, 노광, 현상한 후 에칭 기술을 동반하여 패턴을 형성한다. 따라서, 종래의 리소그래피 기술들은 장치나 공정에서 기술 비용이 크고, 복잡한 공정으로 인해 시간 소모가 많으며 불량율이 증가하는 문제점을 안고 있다.

특히, 마스크 제작 시 고비용이 요구되므로 마스크 수를 저감할 필요성이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 마스크 수를 저감하여 원가를 절감하고, 생산성을 향상시킬 수 있는 듀얼 패널 타입의 유기전계발광표시장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성

상기한 목적을 달성하기 위하여 본 발명에 따른 유기전계발광표시장치는, 다수의 서브픽셀로 정의된 제 1 기판, 상기 제 1 기판의 하부에 형성된 제 1 전극, 상기 제 1 전극 하부의 소정 영역에 일괄 식각되어 형성된 보조 전극 및 버퍼층, 상기 버퍼층 하부에 형성된 스페이서, 상기 각각의 서브픽셀이 분리되도록 각 서브픽셀을 구획하는 외곽에 형성하며, 상기 버퍼층 하부에 상기 스페이서와 일정 간격 이격되어 형성된 격벽, 상기 격벽 및 스페이서를 포함하는 제 1 전극 하부에 위치하며, 상기 격벽에 의해 구획된 영역에 형성되며 적어도 유기발광층을 포함하여 형성된 유기막층, 상기 유기막층 하부에 형성된 제 2 전극, 및 상기 제 1 기판과 스페이서에 의해 일정 간격으로 이격되어 배치되며, 상기 제 2 전극과 전기적으로 연결된 박막트랜지스터를 구비하는 제 2 기판을 포함하는 것을 특징으로 한다.

또한, 상기한 목적을 달성하기 위하여 본 발명에 따른 유기전계발광표시장치의 제조 방법은, 다수의 서브픽셀로 정의된 제 1 기판 상에 제 1 전극을 패터닝하여 형성하는 단계, 상기 제 1 전극 상부의 소정 영역에 일괄 식각으로 보조 전극 및 버퍼층을 패터닝하여 형성하는 단계, 상기 버퍼층 상부의 소정 영역에 스페이서를 패터닝하여 형성하는 단계, 상기 각각의 서브픽셀이 분리되도록 각 서브픽셀을 구획하는 상기 버퍼층 외곽에 격벽을 패터닝하여 형성하는 단계, 상기 격벽 및 스페이

서를 포함하는 제 1 전극 상부에 형성하며, 상기 격벽에 의해 구획된 영역에 적어도 유기발광층을 포함하는 유기막층을 패터닝하여 형성하는 단계, 상기 유기막층 상부에 제 2 전극을 패터닝하여 형성하는 단계, 및 박막트랜지스터가 형성된 제 2 기판을 상기 스페이서를 통해 박막트랜지스터의 드레인 전극과 전기적으로 연결되도록 상기 제 1 기판과 대향하여 봉지하는 단계를 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명한다.

도 3은 본 발명에 따른 듀얼 패널 타입(dual panel type)의 유기전계발광표시장치의 단면도이다.

도시한 바와 같이, 상, 하부 기판(300, 500)이 서로 대향되게 배치되고, 상, 하부 기판(300, 500)의 가장자리부는 씰패턴(600;seal pattern)에 의해 봉지되어 있는 구조에 있어서, 상기 상부 기판(300)에는 유리, 석영 또는 플라스틱으로 형성된 제 1 기판(310) 하부에 제 1 전극(320)이 패터닝되어 형성된다. 상기 제 1 전극(320)은 일함수가 높은(4.5eV이상) 투명도전성 물질인 애노드 전극(anode electrode)으로 형성되며, ITO 또는 IZO인 투명전극으로 형성된다.

상기 제 1 전극(320)은 애노드 전극으로서 후속 공정에서 유기발광층에 정공을 주입하는 역할을 한다.

상기 제 1 전극(320) 하부의 소정 영역에는 상기 제 1 전극(320)의 저항 성분을 보상하기 위하여 보조 전극(330')이 패터닝되어 형성된다. 상기 보조 전극(330')은 계면특성이 우수하고, 비저항이 낮아 도전성이 크고 좋은 몰리브덴(Mo), 구리(Cu), 크롬(Cr), 알루미늄(Al), 텅스텐(W) 또는 티타늄(Ti) 중 선택되는 1종으로 형성된다.

이때, 상기 보조 전극(330')은 후속 공정에서 적어도 유기발광층을 포함하는 유기막층(370) 증착 시 상기 보조 전극(330')의 단차로 인해 유기막층(370)이 단락(short)되는 것을 방지하기 위해 상기 유기막층(370)의 두께보다 얇게 형성된다.

일례로, 적층하려는 유기막층(370)의 두께가 약 1500Å일 경우 상기 보조 전극(330')의 두께는 700Å이하로 형성된다.

다음으로, 상기 보조 전극(330') 하부에는 각 서브픽셀 영역마다 발광 영역을 구획하는 버퍼층(340')이 다각형 형상으로 패터닝되어 형성된다. 상기 버퍼층(340')은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 이중층(SiNx/SiO_2, SiO_2/SiNx)으로 형성된다.

여기서, 상기 버퍼층(340') 하부에 형성된 보조 전극(330')은 상기 버퍼층(340')과 보조 전극(330')을 형성하는 막질간의 높은 선택비를 이용한 식각 공정 시 오버 에칭(over etching)에 의해 언더컷(undercut) 형상을 갖는다.

다음으로, 상기 버퍼층(340') 하부의 소정 영역에는 패터닝된 스페이서(350)가 형성된다. 상기 스페이서(350)는 유기막 또는 무기막으로 형성되며, 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx), 아크릴 수지, 폴리이미드(PI) 및 폴리아미드(PA;Polyamide), 벤조싸이클로부텐(BCB;Benzocyclobutene) 등으로 이루어진 군에서 선택되는 1종으로 형성된다.

상기 스페이서(350)는 일반적인 액정표시장치용 스페이서와 달리, 셀 갭(cell gap) 유지 기능보다 두 기판(300, 500)을 전기적으로 연결시키는 것을 주목적으로 하는 것으로, 두 기판(300, 500) 간의 사이 구간에서 기둥 형상으로 일정 높이를 가지는 특성을 갖는다. 즉, 후속 공정에서 상기 스페이서(350) 상에 형성되는 캐소드 전극인 제 2 전극(380)과 하부 기판(500)상에 형성될 박막트랜지스터(T)의 드레인 전극(560)을 전기적으로 연결시켜주는 역할을 한다.

또한, 상기 스페이서(350)와 일정 간격 이격된 버퍼층(340') 상에 상기 각각의 서브픽셀이 분리되도록 각 서브픽셀을 구획하는 외곽에 격벽(360;cathode separator)이 형성된다. 즉, 상기 격벽(360)은 상기 제 1 전극(320)과 후속 공정에서 형성되는 제 2 전극(380)을 분리하는 역할을 수행하여 각각의 서브픽셀을 정의한다.

상기 격벽(360)은 아크릴계 수지 또는 폴리이미드와 같은 감광물 물질로 형성된다. 본 발명에서는 상기 격벽(360)이 캐소드 전극인 제 2 전극(380)의 분리를 위하여 역사다리꼴 형상으로 형성되므로 네거티브형 포토레지스트(PR)로 형성된다.

이때, 상기 버퍼층(340')과 접하는 격벽(360)의 양 가장자리부는 예각을 갖게 되며, 이 영역은 후속 공정에서 제 2 전극(380) 증착 시 제 2 전극(380)이 증착되지 않는 영역이 되므로 추가 공정 없이 제 2 전극(380)을 분리할 수 있게 된다.

다음으로, 상기 스페이서(350) 및 격벽(360)을 포함하며 상기 격벽(360)에 의해 구획된 제 1 전극(320) 하부에는 적어도 유기발광층(EML)을 포함한 유기막층(370)이 형성된다. 상기 유기발광층으로는 저분자 물질 또는 고분자 물질 모두 가능하다.

상기 저분자 물질은 알루니 키노륨 복합체(Alq3), 안트라센(Anthracene), BeBq2, Balq 및 DPVBi 등으로 이루어진 군에서 선택되는 1종으로 형성된다.

상기 고분자 물질은 폴리(p-페닐렌비닐렌)(PPV;poly(p-phenylenevinylene)) 및 그 유도체, 폴리티오펜(PT;polythiophene) 및 그 유도체 및 폴리페닐렌(PPP;polyphenylene) 및 그 유도체 등으로 이루어진 군에서 선택되는 1종으로 형성된다.

또한, 상기 유기발광층은 적(Red), 녹(Green), 청(Blue) 컬러를 띠는 발광물질을 포함하여 형성되며, 이때, 상기 유기발광층은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다.

상기 유기막층(370)은 유기발광층 외에 정공과 전자의 주입을 원활하게 하여 소자 특성을 개선하기 위한 캐리어 전달층인 정공주입층(HIL), 정공수송층(HTL), 전자수송층(ETL) 및 전자주입층(EIL) 중 1층 이상을 더 포함할 수 있다.

상기 캐리어 전달층은 애노드 전극 및 캐소드 전극의 배치구조에 따라 정해지는 것으로, 제 1 전극(320)을 애노드 전극으로 형성하는 경우, 상기 제 1 전극(320)과 연접하는 순서대로 정공주입층, 정공수송층, 전자수송층 및 전자주입층이 차례대로 적층된 구조로 이루어질 수 있다.

또한, 상기 유기막층(370) 하부에는 제 2 전극(380)이 형성된다. 상기 제 2 전극(380)은 상기 제 1 전극(320)보다 일함수가 낮은(4.2eV이하) 도전성 금속인 캐소드 전극으로 형성되며, 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 및 이들의 합금(예, AlNd)으로 이루어진 군에서 선택된 하나의 물질로서 반사전극으로 형성된다.

이로써, 상기 제 1 전극(320), 유기막층(370) 및 제 2 전극(380)으로 이루어진 유기전계발광소자(E)가 형성된다.

상기 유기전계발광소자(E)에는 공통전극으로 이용되는 제 1 전극(320), 제 1 전극(320) 하부에서 서브픽셀별 경계부에 위치하는 격벽(360), 상기 격벽(360) 내 영역에서 적어도 유기발광층을 포함하는 유기막층(370)과 제 2 전극(380)이 차례대로 서브픽셀 단위로 분리된 패턴으로 형성된다.

여기서, 상기 제 1, 2 전극(320, 380)은 유기발광층에 전계를 인가해주는 역할을 한다.

상기한 바와 같이, 상기 제 1 기판(310) 상에 상기 제 2 전극(380)까지 형성함으로써 듀얼 패널 타입의 유기전계발광표시장치의 상부 기판이 완성된다.

그리고, 상기 하부 기판(500)의 제 2 기판(510) 상부에는 각각의 서브픽셀별로 박막트랜지스터(T)가 형성된다.

상기 박막트랜지스터(T)는 제 2 기판(510) 상에 패터닝되어 형성된 게이트 전극(520)과, 상기 게이트 전극(520)과 대응되는 영역 상부에 패터닝되어 형성되며, 채널층(540a) 및 오믹콘택층(540b)으로 형성된 액티브층(540)과, 상기 액티브층(540)과 콘택되며 일정 간격 이격되어 형성된 소스 전극(550) 및 드레인 전극(560)을 포함한다.

여기서, 상기 게이트 전극(520)은 도전성 금속으로 형성되며, 알루미늄(Al), 알루미늄합금(Ag alloy), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr) 및 티타늄(Ti) 등으로 이루어진 군에서 선택되는 1종일 수 있다.

상기 액티브층(540)은 순수 비정질 실리콘(a-Si:H)으로 형성된 채널층(540a)과 불순물이 포함된 비정질 실리콘(예,n+ a-Si:H)으로 형성된 오믹콘택층(540b)이 차례로 적층 후 패터닝되어 형성되며, 상기 오믹콘택층(540b)이 일부분 식각되어 채널층(540a)의 표면 일부가 노출된다.

상기 소스 전극(550) 및 드레인 전극(560)은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 텅스텐몰리브덴(MoW), 티타늄(Ti), 알루미늄(Al) 및 알루미늄합금(Ag alloy) 등으로 이루어진 군에서 선택되는 1종 이상으로 형성된다.

상기 표면 일부가 노출된 채널층(540a)과 소스 전극(550) 및 드레인 전극(560) 사이에는 채널(Channel)이 형성되며, 상기 소스 전극(550)에 공급된 전압을 채널을 통해 드레인 전극(560)으로 공급하는 역할을 한다.

또한, 상기 상부 기판(500)의 게이트 전극(520)과 액티브층(540) 사이에는 게이트 절연막(530)이 형성되고, 상기 박막트랜지스터(T)의 상부에는 보호층(570)이 형성된다.

상기 게이트 절연막(530)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 이중층으로 형성되고, 상기 보호층(570)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx), 벤조싸이클로부텐(BCB;Benzocyclobutene), 아크릴 수지, 폴리이미드(PI) 및 폴리아이드(PA;Polyamide) 등으로 이루어진 군에서 선택되는 1종으로 형성된다.

상기 보호층(570)은 식각 공정을 통해 상기 박막트랜지스터(T)의 드레인 전극(560)의 표면 일부가 노출되도록 콘택홀(575)이 형성된다.

이로써, 박막트랜지스터(T)를 포함하는 듀얼 패널 타입의 유기전계발광표시장치의 하부 기판(500)이 완성된다.

상기 하부 기판(500)의 박막트랜지스터(T)는 유기전계발광소자(E)를 구동시키는 전기적 구동부의 역할을 수행하며, 상기 유기전계발광소자(E)에 전류를 공급하기 위하여, 서브픽셀 단위로 상부 기판(300)의 제 2 전극(380)과 하부 기판(500)의 박막트랜지스터(T)를 연결하는 위치에 제 2 전극(380)이 증착된 기둥 형상의 스페이서(350)를 위치시켜 합착함으로써 봉지된다.

따라서, 상기 유기전계발광소자(E)는 상기 제 1 전극(320)으로부터 공급된 정공과 제 2 전극(380)으로부터 공급된 전자가 유기막층(370)의 유기발광층 내에서 재결합하여 정공-전자 쌍인 여기자를 형성하고 다시 상기 여기자가 바닥상태로 돌아오면서 발생되는 에너지에 의해 발광하게 된다. 이때, 발광된 빛은 상기 제 1 기판(310)을 통하여 방출되게 되어 디스플레이로 제작시 제 1 기판(310) 방향에서 표시된 정보를 볼 수 있다.

도면으로 제시하지는 않았지만, 상기 하부 기판(500)는 게이트 라인과, 상기 게이트 라인과 교차하며, 서로 일정 간격 이격되는 데이터 라인 및 공통전원공급라인, 상기 게이트 라인과 데이터 라인이 교차하는 지점에 위치하는 스위칭 박막트랜지스터 및 스토리지 캐패시터를 더욱 포함한다.

또한, 상기 봉지 시 상기 제 2 전극(380) 하부에는 외부로부터 흡수된 수분(H_20)이나 산소(O_2)로부터 유기발광층이 열화(pixel shrinkage)되는 것을 방지하기 위하여 흡습제를 더 포함할 수 있다. 상기 흡습제는 투명흡습제 또는 불투명흡습제로 형성되며, 일반적으로 산화바륨(BaO) 또는 산화칼슘(CaO)이 사용된다.

도 4a 내지 4h는 도 3의 본 발명에 따른 듀얼 패널 타입의 유기전계발광표시장치의 상부 기판의 제조 방법을 나타낸 공정 단면도이다.

도 4a를 참조하면, 제 1 기판(310) 상에 ITO 또는 IZO 중 선택되는 1종을 진공증착법 또는 스퍼터링 방식을 수행하여 증착 후 포토리소그래피 기술을 통해 패터닝된 제1 마스크(미도시)를 이용하여 건식식각 또는 습식식각을 선택적으로 적용한 후 에싱 공정을 진행하여 패터닝하여 제 1 전극(320)을 형성한다.

도 4b를 참조하면, 상기 제 1 전극(320)을 포함한 제 1 기판(310) 전면에 걸쳐 몰리브덴(Mo), 구리(Cu), 크롬(Cr), 알루미늄(Al) 중 선택되는 1종을 진공증착법 또는 스퍼터링 방식을 수행하여 도전성막(330)을 증착하고, 상기 도전성막(330) 상부에 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 이중층(SiNx/SiO_2, SiO_2/SiNx)을 CVD 방식을 수행하여 절연막(340)을 증착한다. 상기 CVD 방식은 플라즈마화학기상증착법(PECVD;Plasma Enhanced Chemical Vapor Deposition) 또는 저압화학기상착법(LPCVD;Low Pressure Chemical Vapor Deposition)일 수 있다.

도 4c 및 4d를 참조하면, 포토리소그래피 공정을 통해 제2 마스크(345)를 패터닝하여 형성하고, 상기 제2 마스크(345)를 절연막 패턴이 형성되기 원하는 위치의 절연막(340) 상에 위치시킨다. 상기 절연막(340)을 제2 마스크(345)를 이용하여 습식 식각 또는 건식 식각을 통해 식각하여 패터닝함으로써 다각형 형상의 버퍼층(340')을 형성한다(도 4c).

상기 절연막(340)을 습식 식각으로 식각할 경우, 상기 절연막(340)이 실리콘 산화막(SiO_2)일 경우에는 희석된 불산(HF) 또는 BOE(Buffered Oxide Etchant;NH_4F:HF=6:1 혼합액)를 이용하여 식각하고, 절연막(340)이 실리콘 질화막(SiNx)일 경우에는 고온의 인산(H_3PO_4)을 이용하여 식각한다.

상기 절연막(340)을 건식 식각으로 식각할 경우, 이온빔 식각(ion beam etching), RF(radio frequency) 스퍼터 식각, 플라즈마 식각(plasma etching) 또는 반응 이온 식각 중 선택되는 어느 하나로 수행한다.

일예로, 반응 이온 식각을 이용할 경우 CF_4, CF_4/O_2, C_2F_6 또는 C_3F_8 등의 식각 가스를 이용하여 상기 절연막(340)을 식각한다.

상기 버퍼층(340')은 다각형 형상으로 형성하나 이에 한정되는 것은 아니며 제조 방법에 의해 다양하게 변형할 수 있다.

이어서, 상기 제2 마스크(345)를 이용하여 상기 버퍼층(340') 하부의 도전성막(330)을 습식 식각 또는 건식 식각을 통해 식각하여 패터닝된 보조 전극(330')을 형성한다. 이때, 상기 도전성막(330)은 상기 버퍼층(340') 막질과의 높은 선택비에도 불구하고 식각 공정 시 오버 에칭(over etching)되어 언더컷(undercut) 형상을 갖는 보조 전극(330')을 형성한다(도 4d).

상기 도전성막(330)을 습식 식각으로 식각할 경우, 알루미늄 에천트(Al etchant;H_3PO_4:HNO_3:CH_3COOH:H_20=80:5:5:10 혼합액), PAN 에천트(H_3PO_4:HNO_3:CH_3COOH:H_20_2=75:5:15:5 혼합액) 또는 티타늄 에천트(Ti etchant; H_20:HF:H_20_2=20:1:1 혼합액) 중 선택되는 어느 하나의 에천트를 이용하여 패터닝된 보조 전극(330')을 형성한다.

상기 도전성막(330)을 건식 식각으로 식각할 경우, 이온빔 식각, RF 스퍼터 식각, 플라즈마 식각 또는 반응 이온 식각 중 선택되는 어느 한 가지 방법을 수행하여 패터닝된 보조 전극(330')을 형성한다.

도면으로 도시하지는 않았지만, 상기 도전성막(330)을 습식 식각하거나 플라즈마 식각하면 등방성의 언더컷 형상을 갖는 보조 전극(330')이 형성된다.

상기한 바와 같이, 본 발명은 제2 마스크(345) 하나를 이용한 패터닝으로 상기 절연막(340)과 도전성막(330)을 순차적으로 일괄 식각하여 버퍼층(340')과 보조 전극(330')을 형성함으로써, 종래의 버퍼층과 보조 전극 형성 시의 2회 패터닝 공정을 1회 패터닝 공정으로 줄일 수 있다. 따라서, 마스크 1개를 저감하여 비용을 절감할 수 있고, 공정단순화를 통해 공정 시간을 단축하여 생산성을 향상시킬 수 있다.

도 4e를 참조하면, 상기 버퍼층(340')을 포함한 제 1 기판(310) 전면에 유기물 또는 무기물을 PECVD 또는 LPCVD 방식을 수행하여 증착 후 포토리소그래피 기술을 통해 패터닝된 제3 마스크(미도시)를 이용한 건식식각 또는 습식식각을 통해 패터닝하여 기둥 형상의 스페이서(350)를 형성한다.

이때, 상기 스페이서(350)는 봉지 시 박막트랜지스터(T)의 드레인 전극과 콘택되어야 하므로 후속 공정에서 형성되는 격벽에 비해 높게 형성한다.

도 4f를 참조하면, 상기 스페이서(350) 및 버퍼층(340')을 포함한 제 1 기판(310) 전면에 네거티브형 감광성 유기물질을 스핀 코팅 방식으로 제 1 기판(310) 전면에 도포 후 제4 마스크(미도시)를 이용한 UV 노광, 현상 및 베이크 공정을 통해 상기 스페이서(350)와 일정 간격 이격되며 역사다리꼴 형상을 갖는 격벽(360)을 패터닝하여 형성한다.

도 4g를 참조하면, 상기 스페이서(350) 및 격벽(360)의 일부분을 포함하며, 상기 버퍼층(340')에 의해 구획된 발광 영역의 제 1 전극(320) 상에 제5 마스크(미도시)인 쉐도우마스크를 이용하여 적어도 유기발광층을 포함한 유기막층(370)을 적, 녹, 청 컬러별로 순차적으로 패터닝하여 형성한다.

상기 유기막층(370)은 저분자 물질일 경우에는 진공증착법을 통해 형성하고, 고분자 물질일 경우에는 잉크젯 프린팅 방법을 통해 형성한다.

도 4h를 참조하면, 상기 유기막층(370) 상에 일함수가 낮은 도전성 금속을 진공증착법 또는 스퍼터링 방식을 수행하여 제 1 기판(310) 전면에 증착 후 포토리소그래피 공정을 통해 형성된 제6 마스크(미도시)를 통해 패터닝하여 제 2 전극(380)을 형성한다.

이로써, 제 1 전극(320), 유기막층(370) 및 제 2 전극(380)으로 이루어진 유기전계발광소자(E)를 형성하고, 상기 유기전계발광소자(E)를 포함하는 유기전계발광표시장치의 상부 기판(300)을 완성한다.

상기한 바와 같이, 본 발명은 1개의 마스크를 이용하여 상기 버퍼층(340')과 보조 전극(330')을 일괄 식각하게 되므로 종래에 비해 마스크 1개를 저감함으로써 총 6개의 마스크를 통해 유기전계발광표시장치의 상부 기판(300)을 완성할 수 있다.

따라서, 종래에 비해 본 발명에 따른 유기전계발광표시장치의 상부 기판 제작 시 마스크를 1개 저감할 수 있고, 이를 통해 비용 절감 및 공정 시간이 단축된 유기전계발광표시장치의 제작이 가능하다.

이상을 통해 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자라면 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

발명의 효과

본 발명은 유기전계발광표시장치에서 도전성막과 절연막을 차례대로 적층한 후 하나의 마스크를 이용한 일괄 식각으로 절연막과 도전성막을 순차적으로 패터닝하여 버퍼층 및 보조 전극을 형성함으로써 종래의 보조 전극 및 버퍼층의 2회 패터닝 공정을 1회 패터닝 공정으로 줄임으로써 마스크 수를 저감할 수 있는 효과가 있다.

본 발명은 상기 마스크 수 저감을 통해 비용을 절감하고, 공정 단순화를 통해 생산성을 향상시킬 수 있는 유기전계발광표시장치 및 그 제조 방법을 제공하는 다른 효과가 있다.

도면의 간단한 설명

도 1은 종래의 듀얼 패널 타입의 유기전계발광표시장치의 단면도.

도 2a 내지 도 2g는 도 1의 듀얼 패널 타입의 유기전계발광표시장치의 상부 기판의 제조 방법을 나타낸 공정단면도.

도 3은 본 발명에 따른 듀얼 패널 타입의 유기전계발광표시장치의 단면도.

도 4a 내지 4h는 도 3의 본 발명에 따른 듀얼 패널 타입의 유기전계발광표시장치의 상부 기판의 제조 방법을 나타낸 공정단면도.

<도면의 주요부분에 대한 부호의 설명>

300 : 상부 기판 310 : 제 1 기판

320 : 제 1 전극 330 : 도전성막

330' : 보조 전극 340 : 절연막

340' : 버퍼층 345 : 제2 마스크

350 : 스페이서 360 : 격벽

370 : 유기막층 380 : 캐소드 전극

500 : 하부 기판 510 : 제 2 기판

520 : 게이트 전극 530 : 게이트 절연막

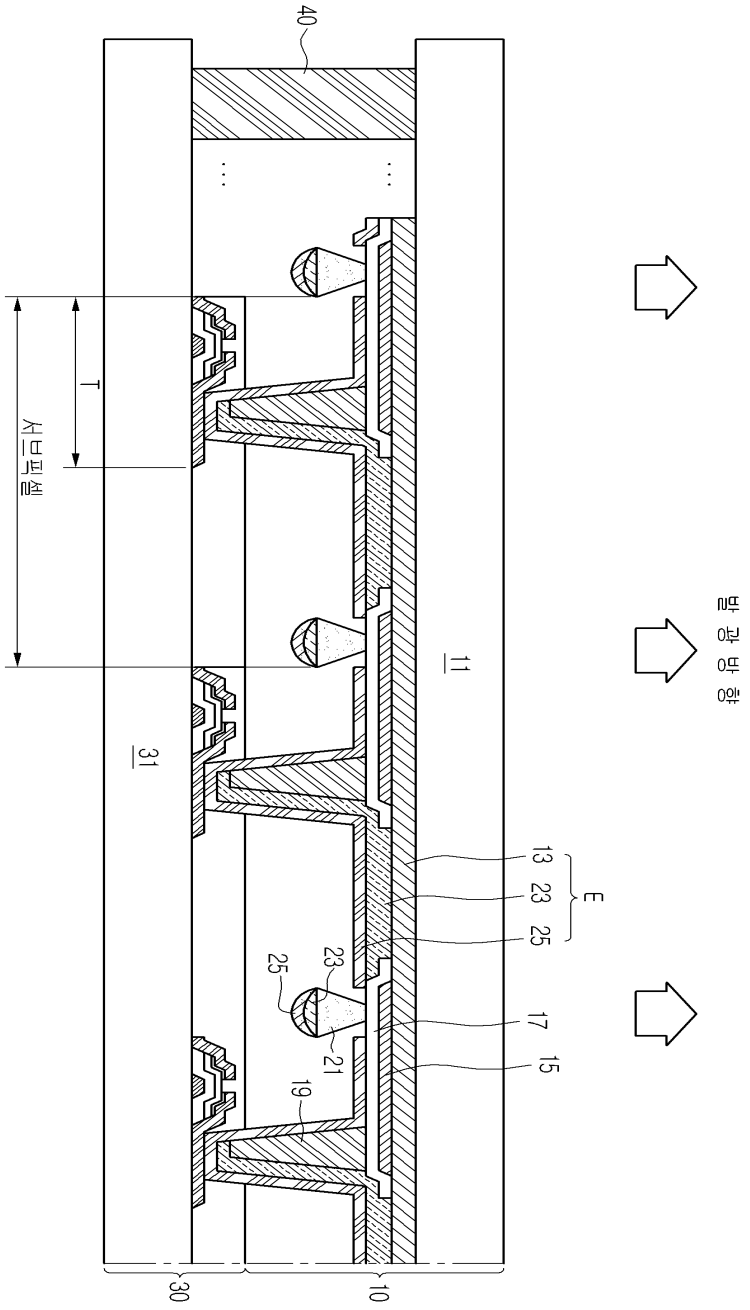
540 : 액티브층 550 : 소스 전극

560 : 드레인 전극 580 : 보호층

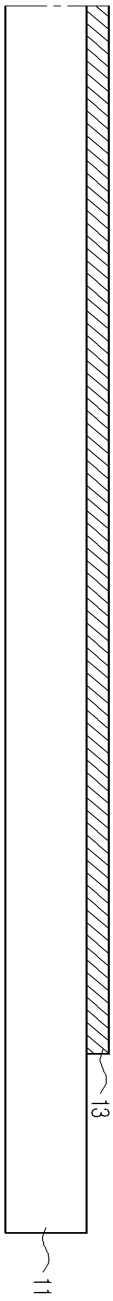
585 : 콘택홀 600 : 씰패턴

도면

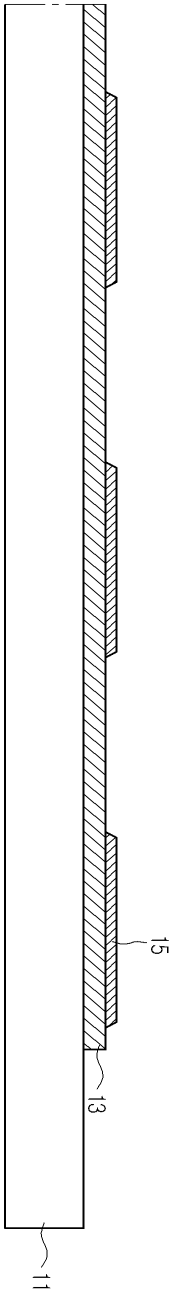
도면1



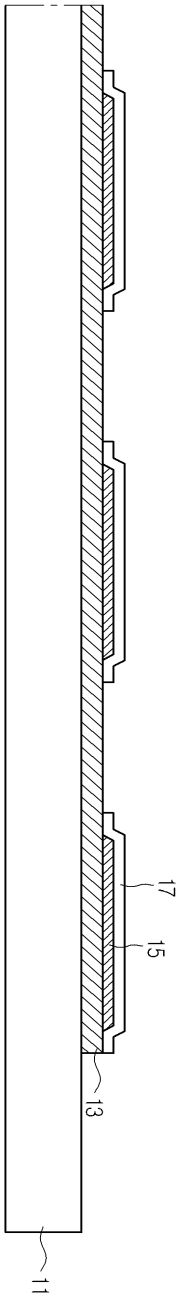
도면2a



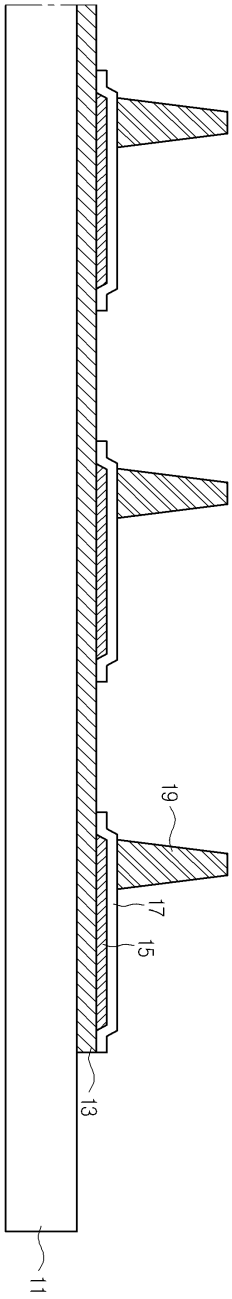
도면2b



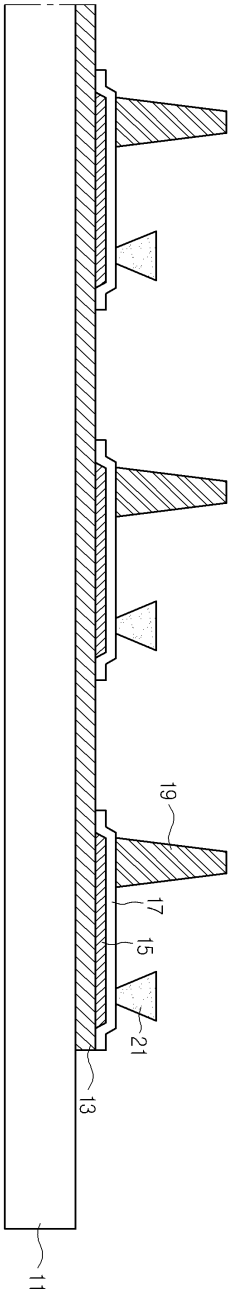
도면2c



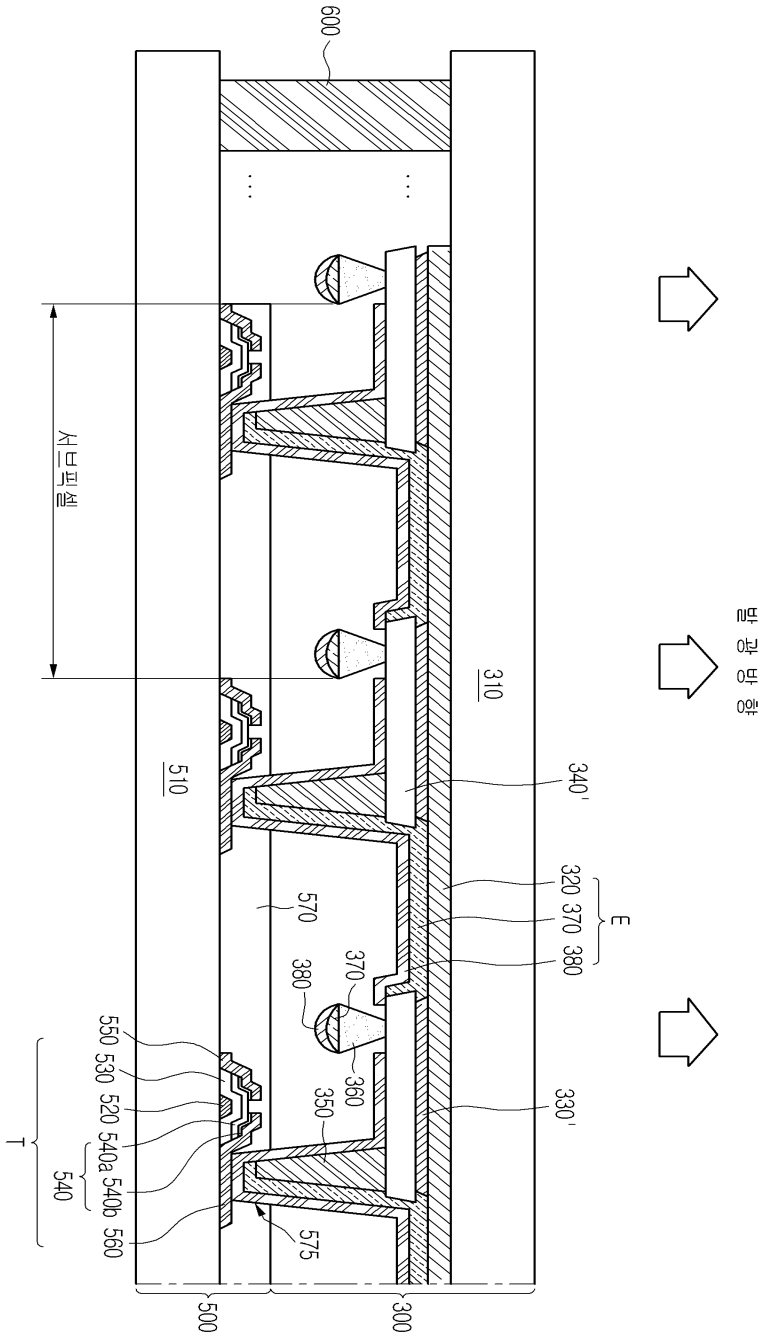
도면2d



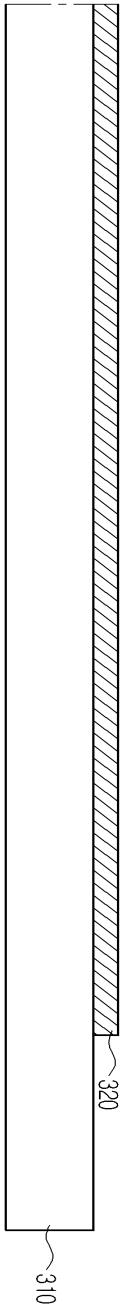
도면2e



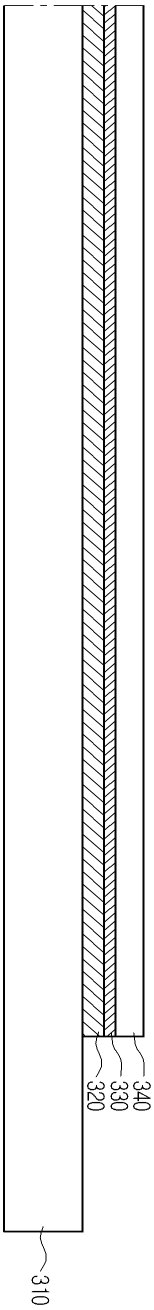
도면3


600
서브픽셀
310
510
340'
320 370 380
E
570
370
380
380
360
350
330'
550 530 520 540a 540b 560
540
T
575
500
300
빛의 방향

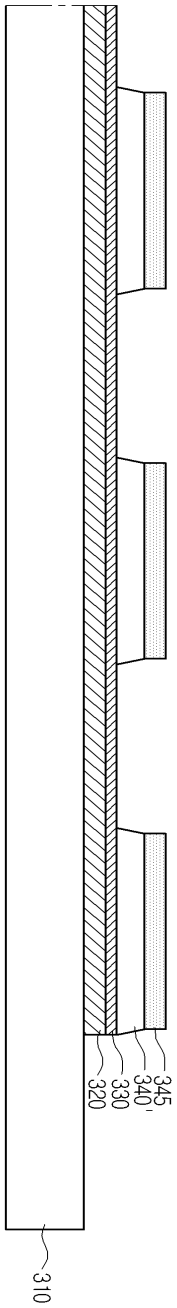
도면4a



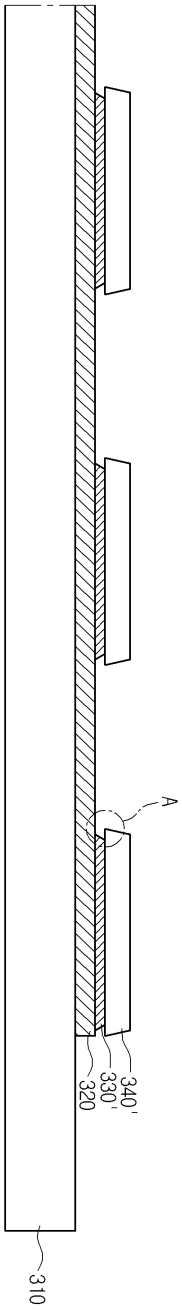
도면4b



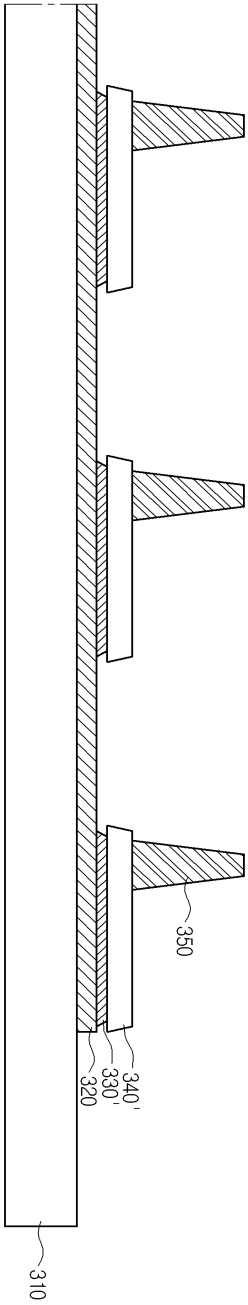
도면4c



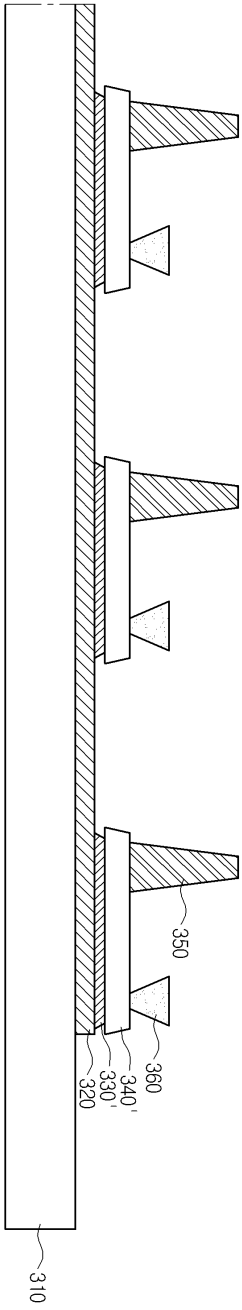
도면4d



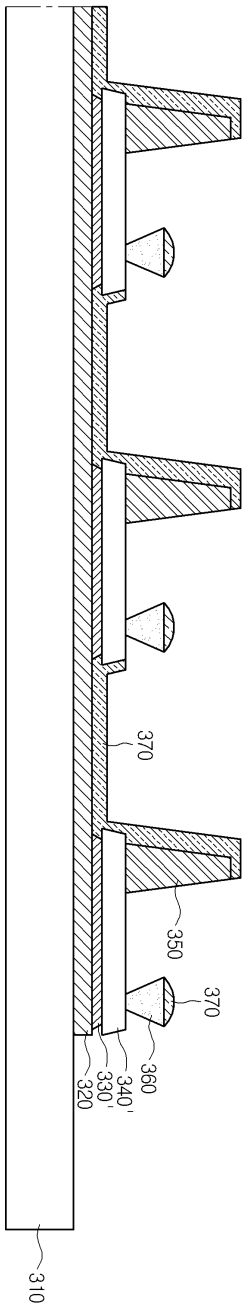
도면4e



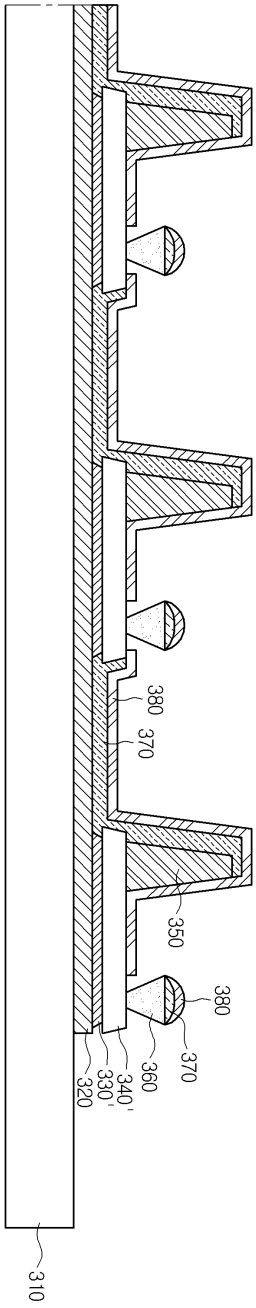
도면4f



도면4g



도면4h



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020070056175A	公开(公告)日	2007-06-04
申请号	KR1020050114475	申请日	2005-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KYUNG MAN		
发明人	KIM,KYUNG MAN		
IPC分类号	H05B33/10		
CPC分类号	H01L51/0014 H01L51/0017 H01L51/0021 H01L51/0023 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明涉及有机电致发光显示器及其制造方法，尤其涉及导电膜和绝缘层，渐变，有机电致发光显示器件，通过在所使用的批量蚀刻中形成图案来提高生产率，并形成缓冲层和辅助电极，掩模数量为减少有机电致发光显示装置的形成并降低成本，并在制造层压后制造其一个掩模。双面板，有机电致发光显示装置，掩模减少，批量蚀刻，底切。