(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
*G09G 3/30* (2006.01)

(11) 공개번호 10-2007-0012979
(43) 공개일자 2007년01월30일

(21) 출원번호 10-2005-0067265
(22) 출원일자 2005년07월25일
심사청구일자 2005년07월25일

(71) 출원인 재단법인서울대학교산학협력재단
서울특별시 관악구 봉천동 산 4-2

(72) 발명자 한민구
서울특별시 강남구 압구정동 현대아파트 85동 201호
남우진
경기도 성남시 분당구 서현동 96 시범우성아파트 219동 1203호
이재훈
서울특별시 서초구 우면동 주공아파트 103동 1106호

(74) 대리인 이건주

전체 청구항 수 : 총 3 항

# (54) 유기발광 표시장치의 화소 회로

(57) 요약

상기한 목적을 달성하기 위하여 본 발명은 유기발광 표시장치의 화소 회로에 있어서, 유기발광소자와, 게이트 선택 신호를 게이트 단에 인가받으며 데이터 신호를 입력받는 제1트랜지스터와, 제1트랜지스터와 게이트 단이 연결되며 유기발광소자의의 전류를 구동하는 제2트랜지스터와, 데이터 신호를 게이트 단에 인가받으며 제어 신호를 입력받는 제3트랜지스터와, 제3트랜지스터와 제2트랜지스터의 게이트 단을 연결하는 제1커패시터와, 제1커패시터와 직렬 구성을 가지며 양자간의 커패시턴스 비율에 따라 설정되는 스케일링 팩터를 구성하는 제2커패시터를 포함함을 특징으로 한다.

대표도

도 3

## 특허청구의 범위

### 청구항 1.

유기발광 표시장치의 화소 회로에 있어서,

유기발광소자와,

게이트 선택 신호를 게이트 단에 인가받으며, 데이터 신호를 입력받는 제1트랜지스터와,

상기 제1트랜지스터와 게이트 단이 연결되며, 상기 유기발광소자의의 전류를 구동하는 제2트랜지스터와,

상기 데이터 신호를 게이트 단에 인가받으며, 제어 신호를 입력받는 제3트랜지스터와,

상기 제3트랜지스터와 상기 제2트랜지스터의 게이트 단을 연결하는 제1커패시터와,

상기 제1커패시터와 직렬 구성을 가지며, 양자간의 커패시턴스 비율에 따라 설정되는 스케일링 팩터를 구성하는 제2커패시터를 포함함을 특징으로 하는 화소 구조.

## 청구항 2.

제1항에 있어서, 상기 제3트랜지스터에 입력되는 제어 신호는 상기 게이트 선택 신호임을 특징으로 하는 화소 구조.

## 청구항 3.

제1항 또는 제2항에 있어서, 상기 제2트랜지스터에는 전류구동 전원 또는 상기 게이트 선택 신호가 입력됨을 특징으로 하는 화소 구조.

명세서

# 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기발광소자에 관한 것으로, 보다 상세하게는 트랜지스터의 특성을 유지하기 위한 유기발광소자의 화소 회로에 관한 것이다.

현재 많은 사람들이 보다 저렴하고, 효율이 높고, 얇고, 가벼운 디스플레이 장치를 개발하기 위해 노력하고 있으며, 그러한 차세대 디스플레이 소자로서 주목받고 있는 것 중에 하나가 유기발광소자(Organic Light Emitting Device; OLED)이다. 이러한 OLED는 특정 유기물 또는 고분자들의 EL(Electro-Luminescence, 전기를 가함에 따른 광 방출) 현상을 이용하는 것으로 백라이트를 구비하지 않아도 되므로 액정 표시 장치에 비해 박형화가 가능하고, 더 싸고 쉽게 제작할 수 있으면서도, 넓은 시야각과 밝은 광을 내는 장점을 가지고 있어 이에 관한 연구가 전 세계적으로 뜨겁게 진행되고 있다.

상기한 유기발광소자의 표시장치는 유기발광 표시패널의 단위 화소에 구비되는 스위칭 소자의 존재 여부에 따라 액티브-매트릭스형(능동행렬: Active-Matrix type) 유기발광 표시장치와, 패시브-매트릭스형(수동행렬: Passive-Matrix type) 유기발광 표시장치로 나뉘어 진다.

도 1은 일반적인 액정 표시장치, 도 2는 일반적인 능동행렬 유기발광 표시장치의 단위 화소를 설명하기 위한 도면으로서, 도 1과 도 2에서 알 수 있듯이 일반적인 액정 표시장치와 유기발광 표시장치에는 스위칭 트랜지스터(SW TFT)까지는 동일한 구조를 가지고 있으나, 유기발광 표시장치에서는 OLED 전류 구동용 트랜지스터(DR TFT)를 추가적으로 구비하여 전류 공급원으로써 동작하며, 이때 유기발광소자(OLED)의 활성층은 주입된 전류에 비례하여 광을 발산한다. 따라서 유기발광소자(OLED)에 흐르는 미세한 전류 제어 능력이 전류 구동용 트랜지스터(DR TFT)에 달려있다.

하지만, 도 2의 대표적인 화소 회로는 다결정 실리콘 박막 트랜지스터 (poly-Si TFT)를 이용하여 구성할 경우 우수한 전류 제어능력을 가지지 못한다는 단점이 있다. 전류 구동용 트랜지스터(DR TFT)가 흘리는 전류값은 전류 구동용 트랜지스터(DR TFT)의 게이트 단에 인가되는 데이터 전압뿐만 아니라 트랜지스터 자체의 문턱전압($V_{TH}$: threshold voltage)에 영향을 받는다. 일반적으로 다결정 실리콘 박막은 고상결정화(SPC: Solid Phase Crystallization) 내지는 엑시머 레이저 어닐링(ELA: Excimer Laser Annealing)에 의한 결정화 공정을 거쳐 형성된다. 이 과정에서 박막이 가지는 결정성장의

특성은 결정화 조건에 매우 민감하기 때문에 박막의 위치에 따라 차이가 있다. 따라서 트랜지스터를 제작할 경우, 동일한 게이트 전압에 대해서도 전류량은 차이가 발생한다. 이러한 문제는 유기발광소자의 화면 표시 능력을 현저하게 떨어뜨리는 현상을 초래한다.

또한 일반적인 전압기입방식 회로의 문제점 중의 하나는 입력 전압의 스윙 폭(range)이다. 최근 OLED의 전류량에 따른 발광효율이 매우 좋아져서 통상 1~2μA 수준의 전류에 대해서 완전 밝기(full brightness)를 갖는다. 이와 같이 작은 폭의 전류레벨을 제어하기 위해서는 전류 구동용 트랜지스터(DR TFT)의 게이트에 입력되는 전압은 고작 1V 수준 이내로 제어되어야 한다. 이렇게 미세한 전압조절이 요구되는 경우 데이터 구동회로 설계뿐만 아니라, 화소회로 설계에서도 트랜지스터의 크기 내지는 클록에 의한 피드-스루(feed-through) 등의 문제가 심각해진다.

### 발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 기술적인 문제점을 해결하기 위한 것으로, 본 발명의 목적은 유기발광 표시장치의 화소의 전류 제어능력을 향상시킬 수 있는 화소 회로를 제공함에 있다.

본 발명의 다른 목적은 박막 트랜지스터가 갖는 전기적 특성의 불균일도를 보상하여 유기발광 표시장치의 전류 편차를 감소시킬 수 있는 화소 회로를 제공함에 있다.

상기한 목적을 달성하기 위하여 본 발명은 유기발광 표시장치의 화소 회로에 있어서, 유기발광소자와, 게이트 선택 신호를 게이트 단에 인가받으며 데이터 신호를 입력받는 제1트랜지스터와, 상기 제1트랜지스터와 게이트 단이 연결되며 상기 유기발광소자의의 전류를 구동하는 제2트랜지스터와, 상기 데이터 신호를 게이트 단에 인가받으며 제어 신호를 입력받는 제3트랜지스터와, 상기 제3트랜지스터와 상기 제2트랜지스터의 게이트 단을 연결하는 제1커패시터와, 상기 제1커패시터와 직렬 구성을 가지며 양자간의 커패시턴스 비율에 따라 설정되는 스케일링 팩터를 구성하는 제2커패시터를 포함함을 특징으로 한다.

### 발명의 구성

이하 본 발명에 따른 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 하기 설명에서는 구체적인 구성 소자 등과 같은 특정 사항들이 나타나고 있는데 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐 이러한 특정 사항들이 본 발명의 범위 내에서 소정의 변형이나 혹은 변경이 이루어질 수 있음은 이 기술분야에서 통상의 지식을 가진 자에게는 자명하다 할 것이다.

도 3은 본 발명의 일 실시예에 따른 유기발광 표시장치의 단위 화소 회로도이다. 도 3을 참조하면, 본 발명에 따른 화소 회로는 3개의 박막 트랜지스터(P1~P3), 2개의 커패시터(C1~C2) 및 유기발광소자(OLED)로 구성되며, 1개의 게이트 선택 신호(SEL), 1개의 전류구동 전원(VDD), 1개의 데이터 신호(DATA)가 제공되는 구조를 가진다. 3개의 박막 트랜지스터(P1~P3)에 관하여는, SEL을 게이트 단에 인가받고 데이터 전압을 입력받는 스위칭 트랜지스터(SW TFT)(제1트랜지스터) P1과, OLED의 전류를 구동하는 구동 트랜지스터(DR TFT)(제2트랜지스터) P2와, 그리고 DATA를 게이트 단에 인가받고 SEL 신호를 입력받는 제3트랜지스터 P3으로 구성된다. 이때 제2트랜지스터 P2의 게이트 단은 제1트랜지스터와 연결되며, 또한 제1커패시터 C1을 통해 제3트랜지스터 P3과 연결되며, 또한 제2커패시터 C2를 통해 자신의 드레인 단과 연결되는 구조를 가진다.

본 발명의 화소 구동 신호들을 살펴보면, 도 4에 나타난 바와 같이, DATA는 화소 회로에 음의 값을 가지는 DATA 전압이 인가되는 구간을 가지며, SEL는 이러한 DATA 전압을 화소 회로에 전달해주는 음의 값을 가지는 선택 구간을 가진다.

도 5는 도 3에 도시된 본 발명의 화소 회로에서 제3트랜지스터 P3이 동작하는 원리를 보여주며, 이를 참조하여 본 발명의 화소 회로의 전류 보상 원리를 설명하기로 한다. 본 발명의 일 실시예에 따른 회로에서는 P-형(p-type) 트랜지스터를 사용하였으며, 게이트 선택 신호인 SEL이 VSS 및 VDD 전위를 갖는다. SEL 신호가 VDD 상태에서 VSS가 되어 도 3에 도시된 제1트랜지스터 P1(p-type 트랜지스터)이 턴-온되면, DATA가 제2트랜지스터 P2의 게이트에 인가된다. 이때 제3트랜지스터 P3의 게이트에는 DATA 전압이 인가되어 있고, 소스에는 SEL에 의해 VSS가 인가되어 있으므로 턴-오프 되어있는 상태이다. 그리고 SEL가 이제 VDD로 전환될 때, 제1트랜지스터 P1은 턴-오프되어 DATA 인가 동작이 마무리되고, 제2트랜지스터 P2의 게이트에는 인가된 DATA 전압이 저장된다. 하지만 제3트랜지스터 P3은 SEL가 VDD로 전환되면서 턴

-온이 되며, 노드 A 의 전위는 VDD에 다다르게 된다. 따라서 노드 B(제2트랜지스터 P2의 게이트)는 제1커패시터 C1이 제3트랜지스터 P3이 턴-온되어 VDD에 이르기까지의 전압 상승폭만큼 커플링(coupling)을 일으킨다. 여기서 커플링을 일으키는 전압 상승폭 $V_{fluc}$은 제2트랜지스터 P2의 게이트에 인가되어 있는 DATA 값에 의존하며,

$$V_{fluc} = VDD - V_{DATA} + V_{TH}$$

으로 정의할 수 있다. 그리고 노드 B(P2 의 게이트)가 실제 조정되는 값은 제1, 제2커패시터 C1과 C2의 비율에 의해 결정된다. 도 3에서 제1, 제2커패시터 C1과 C2는 직렬 연결되어 있으며, 노드 A의 전압 상승에 의한 게이트 노드 B의 전압 상승폭 $\Delta V_G$은,

$$\Delta V_G = \{C1 / (C1 + C2)\} \cdot V_{fluc}$$

으로 표현할 수 있다. 따라서 이러한 변화 성분을 고려한 최종적인 전류구동 트랜지스터(DR TFT, P2)의 전류는,

$$I = k \cdot (V_{GS} - V_{TH})^2$$

$$= k \cdot (V_G + \Delta V_G - VDD - V_{TH})^2$$

$$= k \cdot (V_{DATA} + \{C1/(C1 + C2)\} \cdot \{VDD - V_{DATA} + V_{TH}\} - VDD - V_{TH})^2$$

$$= k \cdot \{C2/(C1 + C2)\}^2 \cdot (V_{DATA} - VDD - V_{TH})^2$$

$$= \{C2/(C1 + C2)\}^2 \cdot I_{conv}$$

으로 표현할 수 있다.

여기서 k는 $1/2 \cdot \mu \cdot Cox \cdot W/L$ 이며, 제2트랜지스터 P2와 제3트랜지스터 P3의 문턱전압은 동일하다고 가정한다. 이러한 가정은 일반적으로 동일한 레이저 빔 스캔을 조사받는 인접한 트랜지스터에 대해서 일반적으로 성립하는 것으로 알려져 있다. 이는 종래의 2-TFT 화소 회로가 갖는 전류에 비해 $\{C2/(C1+C2)\}^2$의 전류 스케일링 특성을 지닌다. 예를 들어, C1 = C2 일 경우 스케일링 비율은 1/4 이며, $C1 = 2 \cdot C2$ 일 경우 스케일링 비율은 1/9 이다.

본 발명에서 스케일링 팩터(factor)가 갖는 의미는 다음과 같다. 이는 곧 화소 전류의 불균일도를 보상하는 것으로 해석할 수 있다. 즉, 기존의 2-TFT 회로에서는 문턱 전압 $V_{TH}$의 변화가 그대로 반영되었는데 반해, 본 발명의 회로에서는 $V_{TH}$의 변화가 C2/(C1+C2) 만큼으로 감소하였다. 예를들어 C2/(C1+C2) = 1/2 인 경우, $V_{TH}$전압의 크기가 1/2로 감소되어 반영되는 것이다. 이는 곧 $V_{TH}$의 불균일도 또한 1/2 로 감소됨을 의미한다.

다음으로, 데이터 전압 인가의 폭은 반대로 증가됨을 의미한다. 기존의 2-TFT 회로에서는 $V_{DATA}$전압이 그대로 전류구동 트랜지스터(DR TFT)의 게이트에 인가되는데 반해, 본 발명의 회로에서는 C2/(C1+C2) 만큼 스케일링을 거치므로, 실제 동일한 $V_{DATA}$값이 인가되도록 하기 위해서는 (C1+C2)/C2 배 만큼의 증가된 폭을 갖는 입력이 요구된다. 이는 곧 $V_{DATA}$ 값의 입력범위(input range)가 증가됨을 뜻한다. 따라서 데이터 구동회로의 설계가 용이해지고, 클록 피드-스루 등의 문제에 대해서 덜 민감해진다. 즉, 기존 2-TFT 회로와 동일하게 전류구동 트랜지스터(DR TFT)의 게이트 노드가 영향을 받더라도 실제 영향의 폭 또한 C2/(C1+C2)만큼 스케일링 되는 것이다.

마지막으로, 일반적으로 전압기입방식에 존재하는 VDD 공급전원의 드롭(drop) 문제 또한 스케일링 효과에 의해 줄어든다. 화소회로에서 VDD 공급전원 라인은 모든 개별 화소에 인가되므로 막대한 OLED 전류를 구동시킴으로 인해 VDD 라인 또한 위치에 따라 IxR(OLED 전류 x 배선저항) 전압 감소가 일어난다. 즉, VDD 라인이 처음 화소에는 공급되지만 마지막 화소에는 전압이 감소되어 VDD 전압을 공급하지 못한다. 본 발명의 화소에서는 VDD 값 또한 C2/(C1+C2) 만큼 스케일링되기 때문에 VDD의 감소값 또한 동일한 비율로 스케일링 된다. 그만큼 OLED 전류 불균일도가 줄어드는 것이다.

도 6a, 6b는 기존의 2-TFT 전압을 일반적인 회로 시뮬레이션 툴인 SPICE를 이용하여 시뮬레이션 결과를 보여준다. 시뮬레이션 환경으로는 전류구동 트랜지스터(DR TFT)의 $V_{TH}$가 -2V 기준으로 ±0.3V 변화했다고 가정하였다. 이 경우 도 6a에 도시된 바와 같이, OLED 전류는 100nA 수준에서는 + 90%, -54% 편차가 발생하였으며, 도 6b에 도시된 바와 같이, OLED 전류 1μA 수준에서는 + 38%, -29% 편차가 발생했다.

도 7a, 7b는 본 발명에 따른 본 화소 회로의 시뮬레이션 결과를 나타낸 그래프로서, 먼저 7a는 본 발명의 회로에서 C1/C2 = 2 즉, C2/(C1+ C2) = 1/3 일 때의 결과를 타나내며, 도시된 바와 같이, OLED 전류 100nA 수준에서 + 26%, -27% 편차가 발생하였으며, 도 7b에 도시된 바와 같이, OLED 전류 1μA 수준에서는 + 13%, -12% 편차가 발생함을 보여주고 있다.

도 8은 이러한 제안된 회로의 OLED 전류 보상 특성을 C2/(C1+ C2)의 비율에 따라 정리하였다. 상기 도 8을 참조하면, 본 발명의 회로의 경우 C1/C2 = 1, 즉, C2/(C1+ C2) = 1/2 일 때, OLED 전류 100nA 수준에서 + 41%, -38% 편차가 발생했으며, OLED 전류 1μA 수준에서는 + 18%, -19% 편차가 발생하였음을 알 수 있다. 이러한 편차의 감소 특성은 C2/(C1+ C2) 값이 작아질수록 우수해진다. 또한 도 8은 $V_{DATA}$ 입력 범위가 C2/(C1+ C2) 값이 작아질수록 증가되는 것을 보여주고 있다.

그리고 제1, 제2커패시터 C1과 C2의 설계에 대해서는 스케일링 팩터 C2/(C1+ C2)가 중요한 의미를 갖는 것이며, 제1, 제2커패시터 C1과 C2의 절대적인 크기가 클 필요는 없다. 즉, C1+ C2 = (상수)pF 수준으로 정하고 제1, 제2커패시터 C1과 C2의 목적하는 비율에 맞게 정하면 된다. 따라서 제1, 제2커패시터 C1과 C2의 비율이 높다고 해서 전체 커패시터의 크기가 비례해서 커지는 것이 아니다. 또한 제1, 제2커패시터 C1과 C2는 전류구동 트랜지스터(DR TFT)(P2) 의 입장에서 볼 때 병렬연결이므로 축전 커패시터(Storage capacitor) 관점에서 CST = C1+ C2 = 0.3~0.5pF 이다.

도 9와 도 10은 상기 도 3에 도시된 회로의 응용 예를 보인다. 도 9에 도시된 회로는 도 3의 회로에서 제3트랜지스터 P3에 입력되는 게이트 선택신호 SEL을 별도의 제어 신호(CTRL)로 대체한 구조를 가진다. 도 10에 도시된 회로는 도 3의 회로에서 제2트랜지스터 P2의 VDD 라인을 제거하고 게이트 선택신호 SEL을 함께 인가한 형태이다. 이 경우 제2커패시터 C2의 일단은 OLED의 캐소드 전극에 연결된다. 도 9 및 도 10에 도시된 두 회로는 도 3과 기본적으로 동일한 동작 특성을 나타낸다.

상기와 같이 본 발명의 특징에 따른 유기발광 표시장치의 화소 회로가 구성되며 그 동작이 이루어질 수 있으며, 한편 상기 한 본 발명의 설명에서는 구체적인 실시예에 관해 설명하였으나 여러 가지 변형이 본 발명의 범위를 벗어나지 않고 실시될 수 있다. 따라서 본 발명의 범위는 설명된 실시예에 의하여 정할 것이 아니고 청구범위와 청구범위의 균등한 것에 의하여 정하여져야 할 것이다.

## 발명의 효과

이상에서 설명한 바와 같이, 유기발광소자를 이용한 유기발광 표시장치의 성능향상을 위하여 본 발명에서는 박막 트랜지스터가 갖는 전기적 특성의 불균일도를 보상하여 OLED 의 전류 편차를 감소시키는 새로운 회로를 제안하였다.

본 발명의 회로에서는 3개의 트랜지스터와 2 개의 커패시터를 이용하여, 입력 전압($V_{DATA}$), VDD 공급전원, 소자 문턱전압 $V_{TH}$을 모두 스케일링시키는 원리를 구현하였으며, 기존의 화소 회로가 갖고 있던 OLED 전류 편차를 획기적으로 감소시킬 수 있었다.

## 도면의 간단한 설명

도 1은 일반적인 액정 표시장치의 단위 화소 회로도

도 2는 일반적인 유기발광 표시장치의 단위 화소 회로도

도 3은 본 발명의 일 실시예에 따른 유기발광 표시장치의 단위 화소 회로도

도 4는: 본 발명에 따른 유기발광 표시장치의 구동 신호를 나타낸 파형도

도 5는 도 3 중 제3트랜지스터 P3이 동작하는 원리를 설명하기 위한 도면

도 6a 6b는 일반적인 2-TFT 화소 회로의 시뮬레이션 결과를 나타낸 그래프

도 7a, 7b는 본 발명에 따른 본 화소 회로의 시뮬레이션 결과를 나타낸 그래프

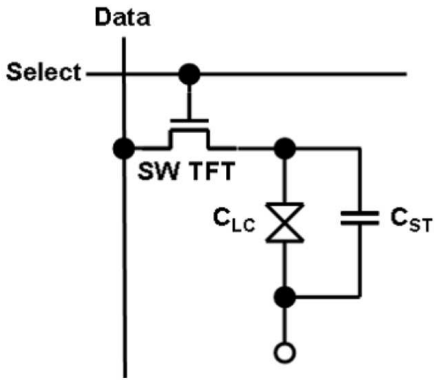
도 8은 회로 내 커패시터의 커패시턴스 비율과 전류 보상 능력 비교표

도 9는 본 발명의 다른 실시예에 따른 유기발광 표시장치의 단위 화소 회로도

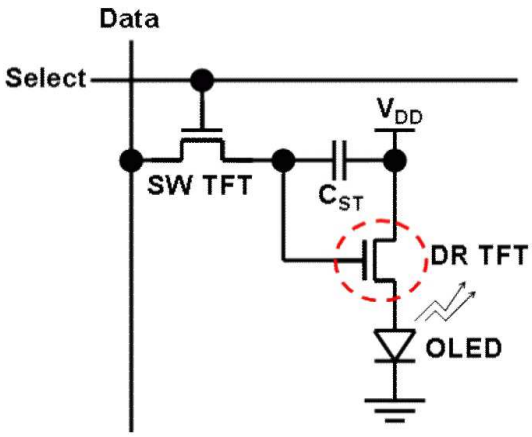
도 10은 본 발명의 또다른 실시예에 따른 유기발광 표시장치의 단위 화소 회로도

도면

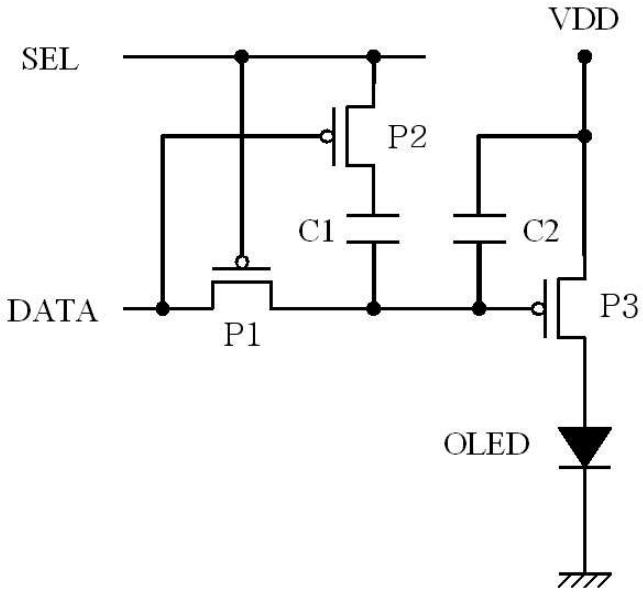
도면1



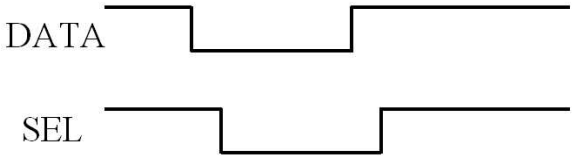

도면2



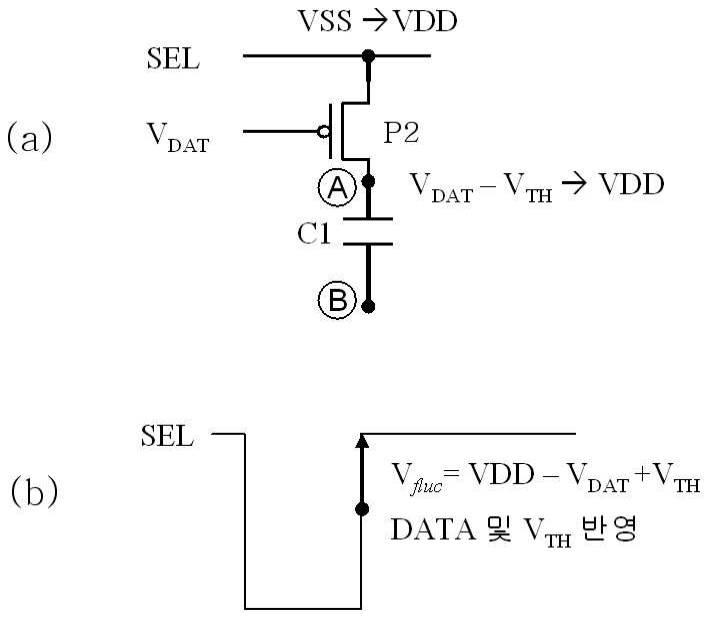
도면3


VDD
SEL
P2
C1
C2
DATA
P1
P3
OLED

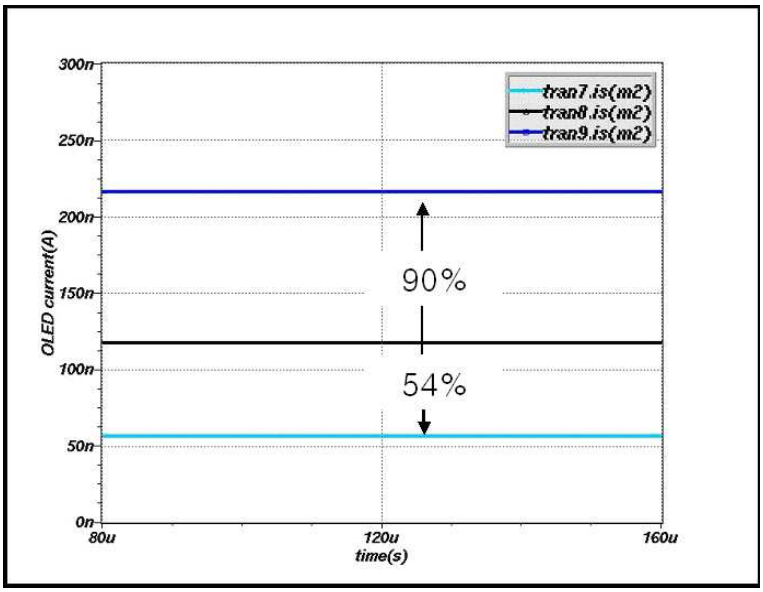
도면4


DATA
SEL

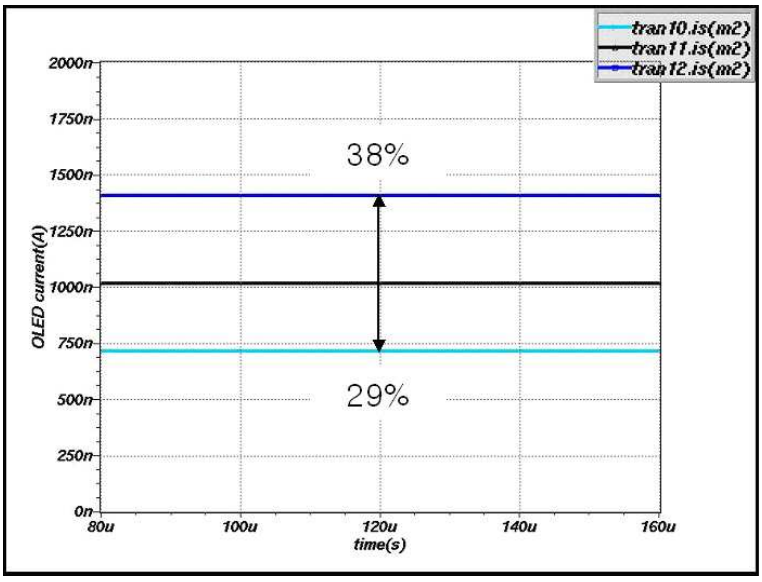
도면5


VSS → VDD
SEL
(a)
$V_{DAT}$
P2
A
$V_{DAT} - V_{TH}$ → VDD
C1
B
SEL
(b)
$V_{fluc} = VDD - V_{DAT} + V_{TH}$
DATA 및 $V_{TH}$ 반영

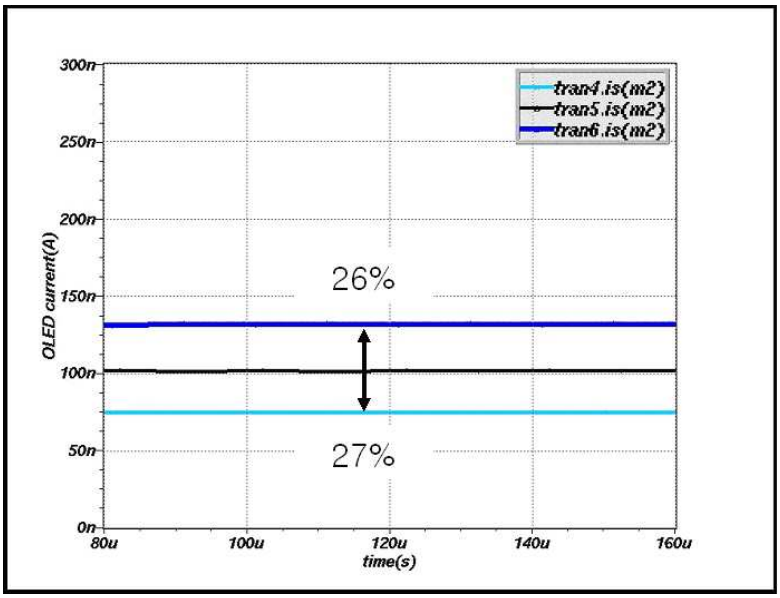
도면6a


tran7.is(m2)
tran8.is(m2)
tran9.is(m2)
300n
250n
200n
150n
100n
50n
0n
OLED current(A)
90%
54%
80u
120u
160u
time(s)

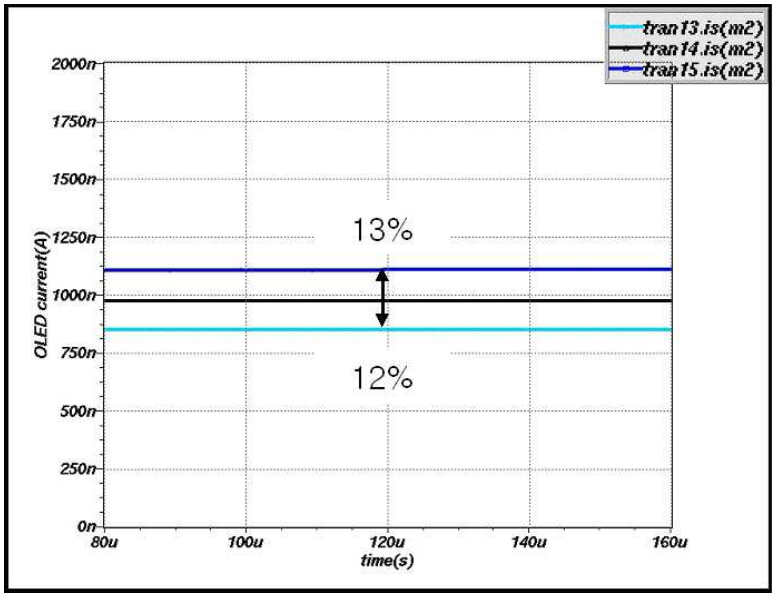
도면6b


tran10.is(m2)
tran11.is(m2)
tran12.is(m2)
2000n
1750n
1500n
1250n
1000n
750n
500n
250n
0n
OLED current(A)
38%
29%
80u
100u
120u
140u
160u
time(s)

도면7a


tran4.is(m2)
tran5.is(m2)
tran6.is(m2)
OLED current(A)
300n
250n
200n
150n
100n
50n
0n
26%
27%
80u
100u
120u
140u
160u
time(s)

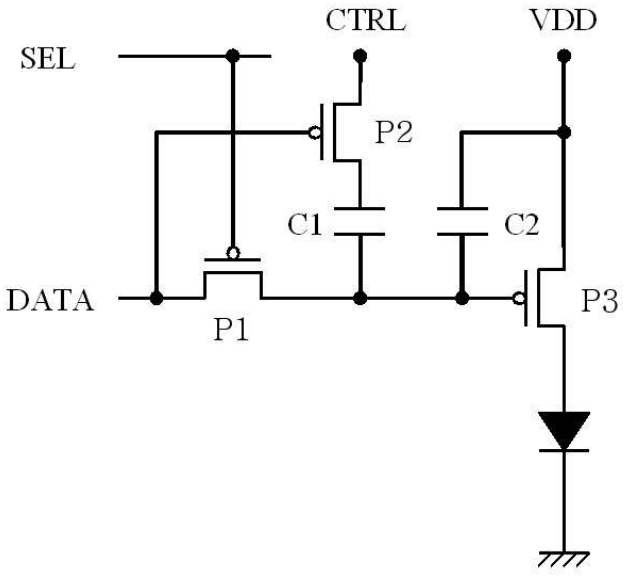
도면7b


tran13.is(m2)
tran14.is(m2)
tran15.is(m2)
OLED current(A)
2000n
1750n
1500n
1250n
1000n
750n
500n
250n
0n
13%
12%
80u
100u
120u
140u
160u
time(s)

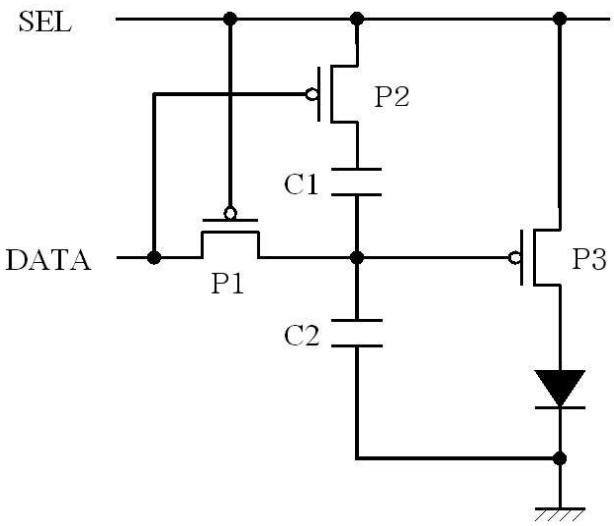
도면8

| | 100 nA 수준 | Error (%) | 1 μA 수준 | Error (%) | $V_{DATA}$ range (100nA~1uA) |
|---|---|---|---|---|---|
| Conv. | 179n<br>94n<br>43n | +90%<br>100%<br>-54% | 1.41u<br>1.02u<br>0.72u | +38%<br>100%<br>-29% | 7.4~5.9V<br>= 1.5V |
| Propsd.<br>(C1/C2=1) | 141n<br>100n<br>62n | +41%<br>100%<br>-38% | 1.19u<br>1.01u<br>0.80u | +18%<br>100%<br>-19% | 5.6~3.2V<br>= 2.4V |
| Propsd.<br>(C1/C2=2) | 130n<br>103n<br>75n | +26%<br>100%<br>-27% | 1.11u<br>0.98u<br>0.86u | +13%<br>100%<br>-12% | 4.7~1.4V<br>= 3.3V |
| Propsd.<br>(C1/C2=3) | 125n<br>101n<br>81n | +24%<br>100%<br>-20% | 1.09u<br>0.99u<br>0.90u | +10%<br>100%<br>-9% | 4.0~-0.3V<br>= 4.3V |
| Propsd.<br>(C1/C2=5) | 116n<br>100n<br>84n | +16%<br>100%<br>-16% | 1.05u<br>1.01u<br>0.98u | +5%<br>100%<br>-3% | 2.8~-3.3V<br>= 6.1V |

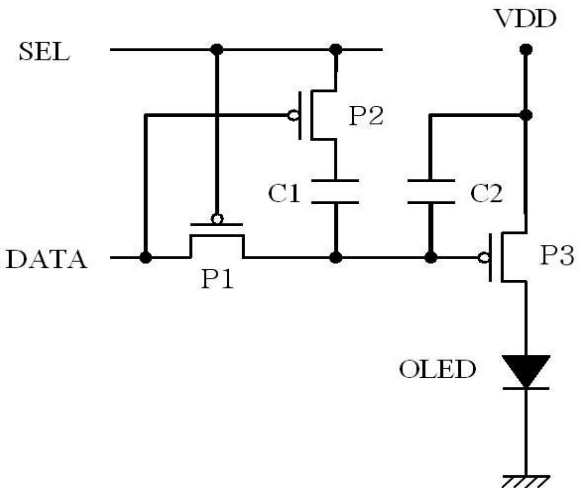
도면9



도면10



| | | | |
|---|---|---|---|
| 专利名称(译) | 有机发光显示器的像素电路 | | |
| 公开(公告)号 | KR1020070012979A | 公开(公告)日 | 2007-01-30 |
| 申请号 | KR1020050067265 | 申请日 | 2005-07-25 |
| [标]申请(专利权)人(译) | 首尔大学校产学协力团 | | |
| 申请(专利权)人(译) | 首尔国立大学产学合作基金会基金会 | | |
| 当前申请(专利权)人(译) | 首尔国立大学产学合作基金会基金会 | | |
| [标]发明人 | HAN MIN KOO<br>한민구<br>NAM WOO JIN<br>남우진<br>LEE JAE HOON<br>이재훈 | | |
| 发明人 | 한민구<br>남우진<br>이재훈 | | |
| IPC分类号 | G09G3/30 | | |
| CPC分类号 | G09G3/3266 | | |
| 代理人(译) | 李，KEON JOO | | |
| 其他公开文献 | KR100679717B1 | | |
| 外部链接 | Espacenet | | |


摘要(译)

用途：提供有机发光显示装置的像素电路，以通过补偿TFT（薄膜晶体管）的电特性的不均匀性来减小OLED（有机发光二极管）的电流变化。