



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호

10-2007-0002470

(43) 공개일자

2007년01월05일

(21) 출원번호 10-2005-0058021

(22) 출원일자 2005년06월30일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김 빈
서울 양천구 목5동 목동4단지아파트 408동 2003호
장용호
경기 성남시 분당구 분당동 셋별마을삼부아파트 414-806호

(74) 대리인 김영호

전체 청구항 수 : 총 132 항

(54) 유기발광다이오드 구동회로와 이를 이용한유기발광다이오드 표시장치

(57) 요약

본 발명은 유기발광다이오드 구동회로와 이를 이용한 유기발광다이오드 표시장치에 관한 것으로 특히, 구동회로의 동작의 신뢰성을 향상시킬 수 있는 유기발광다이오드 표시장치 구동장치와 이를 이용한 유기발광다이오드 표시장치에 관한 것이다.

이 유기발광다이오드 표시장치는 데이터신호와 아이들링전압이 공급되는 다수의 데이터 라인들과; 상기 데이터라인들과 교차하고 스캔신호가 공급되는 다수의 게이트라인들과; 전류에 의해 발광되는 유기발광다이오드, 상기 게이트라인들 중 제2i-1 게이트라인(단, i는 양의 정수)으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제1 제어노드에 공급하는 제1 스위칭트랜지스터, 상기 제1 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제1 구동트랜지스터, 상기 게이트라인들 중 제2i 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제2 제어노드에 공급하는 제2 스위칭트랜지스터, 상기 제2 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제2 구동트랜지스터를 각각 포함하는 다수의 화소들과; 제1 기간 동안 상기 제1 제어노드에 상기 데이터신호를 공급하고 상기 제2 제어노드에 상기 아이들링전압을 공급하는 반면에 상기 제1 기간에 이어지는 제2 기간 동안 상기 제1 제어노드에 상기 아이들링전압을 공급하고 상기 제2 제어노드에 상기 데이터신호를 공급하는 데이터 구동회로와; 상기 게이트라인들에 상기 스캔신호를 공급하는 게이트 구동회로를 구비하고; 상기 게이트 구동회로는 상기 화소들, 상기 게이트라인들 및 상기 데이터라인들과 함께 동일한 기판에 형성된다.

대표도

도 5

특허청구의 범위

청구항 1.

데이터신호와 아이들링전압이 공급되는 다수의 데이터 라인들과;

상기 데이터라인들과 교차하고 스캔신호가 공급되는 다수의 게이트라인들과;

전류에 의해 발광되는 유기발광다이오드, 상기 게이트라인들 중 제 $2i-1$ 게이트라인(단, i 는 양의 정수)으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제1 제어노드에 공급하는 제1 스위칭트랜지스터, 상기 제1 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제1 구동트랜지스터, 상기 게이트라인들 중 제 $2i$ 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제2 제어노드에 공급하는 제2 스위칭트랜지스터, 상기 제2 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제2 구동트랜지스터를 각각 포함하는 다수의 화소들과;

제1 기간 동안 상기 제1 제어노드에 상기 데이터신호를 공급하고 상기 제2 제어노드에 상기 아이들링전압을 공급하는 반면에 상기 제1 기간에 이어지는 제2 기간 동안 상기 제1 제어노드에 상기 아이들링전압을 공급하고 상기 제2 제어노드에 상기 데이터신호를 공급하는 데이터 구동회로와;

상기 게이트라인들에 상기 스캔신호를 공급하는 게이트 구동회로를 구비하고;

상기 게이트 구동회로는 상기 화소들, 상기 게이트라인들 및 상기 데이터라인들과 함께 동일한 기판에 형성되는 것을 특징으로 하는 유기발광다이오드 표시장치..

청구항 2.

제 1 항에 있어서,

상기 제1 및 제2 기간은 1 프레임 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3.

제 2 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압 및 저전위 기준전압이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치..

청구항 4.

제 3 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5.

제 2 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6.

제 5 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7.

제 2 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8.

제 7 항에 있어서,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)를 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 9.

제 1 항에 있어서,

상기 제1 및 제2 기간은 수 프레임 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 10.

제 9 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압 및 저전위 기준전압이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 11.

제 10 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 12.

제 9 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 13.

제 12 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 14.

제 9 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 15.

제 14 항에 있어서,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제 3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제 12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 16.

데이터신호와 아이들링전압이 공급되는 다수의 데이터 라인들과;

상기 데이터라인들과 교차하고 스캔신호가 공급되는 다수의 게이트라인들과;

전류에 의해 발광되는 유기발광다이오드, 상기 게이트라인들 중 제 $2i-1$ 게이트라인(단, i 는 양의 정수)으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제1 제어노드에 공급하는 제1 스위칭트랜지스터, 상기 제1 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제1 구동트랜지스터, 상기 게이트라인들 중 제 $2i$ 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제2 제어노드에 공급하는 제2 스위칭트랜지스터, 상기 제2 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제2 구동트랜지스터를 각각 포함하는 다수의 화소들과;

제1 기간 동안 상기 제1 제어노드에 상기 데이터신호를 공급하고 상기 제2 제어노드에 상기 아이들링전압을 공급하는 반면에 상기 제1 기간에 이어지는 제2 기간 동안 상기 제1 제어노드에 상기 아이들링전압을 공급하고 상기 제2 제어노드에 상기 데이터신호를 공급하는 데이터 구동회로와;

상기 제 $2i-1$ 게이트라인에 상기 스캔신호를 공급하는 제1 게이트 구동회로를 구비하고;

상기 제 $2i$ 게이트라인에 상기 스캔신호를 공급하는 제2 게이트 구동회로를 구비하고;

상기 제1 및 제2 게이트 구동회로는 상기 화소들, 상기 게이트라인들 및 상기 데이터라인들과 함께 동일한 기판 상에 형성되고, 상기 제1 및 제2 게이트 구동회로는 상기 화소들을 사이에 두고 상기 기판의 서로 다른 일측상에 형성되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 17.

제 16 항에 있어서,

상기 제1 및 제2 기간은 1 프레임 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 18.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 19.

제 18 항에 있어서,

상기 제1 내지 제4스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 20.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오프 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 21.

제 17 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 22.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭 신호 중 어느 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 23.

제 22 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)를 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 24.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 25.

제 24 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 26.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 27.

제 26 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제 22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 28.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 29.

제 28 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제 3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 30.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, , 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 31.

제 30 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 32.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 33.

제 32 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 34.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 35.

제 34 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(V_{ss})을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 36.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(V_{dd}), 저전위 공급전압(V_{ss}), 오드 프레임 고전위 공급전압(V_{dd_O}) 및 이븐 프레임 고전위 공급전압(V_{dd_E})이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 37.

제 36 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 38.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 39.

제 38 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_O) 상의 전압에 응답하여 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 40.

제 17 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 41.

제 41 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 42.

제 16 항에 있어서,

상기 제1 및 제2 기간은 수 프레임 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 43.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 44.

제 43 항에 있어서,

상기 제1 내지 제4스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 45.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 46.

제 45 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제 22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 47.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 48.

제 47 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제 3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 49.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 50.

제 49 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 51.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 52.

제 51 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제 22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 53.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 54.

제 53 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)를 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 55.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, , 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 56.

제 55 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 57.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 58.

제 57 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 59.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 60.

제 59 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 61.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 62.

제 61 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 63.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 64.

제 63 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제 22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 65.

제 42 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 66.

제 65 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제 11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제 12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 67.

데이터신호와 아이들링전압이 공급되는 다수의 데이터 라인들과;

상기 데이터라인들과 교차하고 스캔신호가 공급되는 다수의 게이트라인들과;

전류에 의해 발광되는 유기발광다이오드, 상기 게이트라인들 중 제 $2i-1$ 게이트라인(단, i 는 양의 정수)으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제1 제어노드에 공급하는 제1 스위칭트랜지스터, 상기 제1 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제1 구동트랜지스터, 상기 게이트라인들 중 제 $2i$ 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제2 제어노드에 공급하는 제2 스위칭트랜지스터, 상기 제2 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제2 구동트랜지스터를 각각 포함하는 다수의 화소들과;

제1 기간동안 상기 화소들 중 제1 화소에 포함된 상기 제1 제어노드에 상기 데이터신호를 공급하고, 상기 제1 화소에 포함된 제2 제어노드에 상기 아이들링전압을 공급하고, 제2 화소에 포함된 상기 제1 제어노드에 상기 아이들링전압을 공급하고, 상기 제2 화소에 포함된 제2 제어노드에 상기 데이터신호를 공급하는 반면에 상기 제1 기간에 이어지는 제2 기간에 상기 제1 화소에 포함된 상기 제1 제어노드에 상기 아이들링전압을 공급하고 상기 제1 화소에 포함된 제2 제어노드에 상기 데이터신호를 공급하고, 제2 화소에 포함된 상기 제1 제어노드에 상기 데이터신호를 공급하고, 상기 제2 화소에 포함된 제2 제어노드에 상기 아이들링전압을 공급하는데이터 구동회로와;

상기 게이트라인들에 상기 스캔신호를 공급하는 게이트 구동회로를 구비하고;

상기 게이트 구동회로는 상기 화소들, 상기 게이트라인들 및 상기 데이터라인들과 함께 동일한 기판에 형성되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 68.

제 67 항에 있어서,

상기 제1 및 제2 기간은 1 프레임 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 69.

제 68 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압 및 저전위 기준전압이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 70.

제 69 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 71.

제 68 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 72.

제 71 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제 7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제 22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 73.

제 68 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 74.

제 73 항에 있어서,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 75.

제 67 항에 있어서,

상기 제1 및 제2 기간은 수 프레임 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 76.

제 75 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압 및 저전위 기준전압이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 77.

제 76 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 78.

제 75 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 79.

제 78 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 80.

제 75 항에 있어서,

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 81.

제 80 항에 있어서,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 82.

데이터신호와 아이들링전압이 공급되는 다수의 데이터 라인들과;

상기 데이터라인들과 교차하고 스캔신호가 공급되는 다수의 게이트라인들과;

전류에 의해 발광되는 유기발광다이오드, 상기 게이트라인들 중 제 $2i-1$ 게이트라인(단, i 는 양의 정수)으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제1 제어노드에 공급하는 제1 스위칭트랜지스터, 상기 제1 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제1 구동트랜지스터, 상기 게이트라인들 중 제 $2i$ 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제2 제어노드에 공급하는 제2 스위칭트랜지스터, 상기 제2 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제2 구동트랜지스터를 각각 포함하는 다수의 화소들과;

제1 기간동안 상기 화소들 중 제1 화소에 포함된 상기 제1 제어노드에 상기 데이터신호를 공급하고, 상기 제1 화소에 포함된 제2 제어노드에 상기 아이들링전압을 공급하고, 제2 화소에 포함된 상기 제1 제어노드에 상기 아이들링전압을 공급하고, 상기 제2 화소에 포함된 제2 제어노드에 상기 데이터신호를 공급하는 반면에 상기 제1 기간에 이어지는 제2 기간에 상기 제1 화소에 포함된 상기 제1 제어노드에 상기 아이들링전압을 공급하고 상기 제1 화소에 포함된 제2 제어노드에 상기 데이터신호를 공급하고, 제2 화소에 포함된 상기 제1 제어노드에 상기 데이터신호를 공급하고, 상기 제2 화소에 포함된 제2 제어노드에 상기 아이들링전압을 공급하는 데이터 구동회로와;

상기 제 $2i-1$ 게이트라인에 상기 스캔신호를 공급하는 제1 게이트 구동회로를 구비하고;

상기 제 $2i$ 게이트라인에 상기 스캔신호를 공급하는 제2 게이트 구동회로를 구비하고;

상기 제1 및 제2 게이트 구동회로는 상기 화소들, 상기 게이트라인들 및 상기 데이터라인들과 함께 동일한 기판 상에 형성되고, 상기 제1 및 제2 게이트 구동회로는 상기 화소들을 사이에 두고 상기 기판의 서로 다른 일측상에 형성되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 83.

제 82 항에 있어서,

상기 제1 및 제2 기간은 1 프레임 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 84.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 85.

제 84 항에 있어서,

상기 제1 내지 제4스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 86.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 87.

제 86 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제 22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 88.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 89.

제 88 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제 3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제 10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 90.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 91.

제 90 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 92.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에

포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 93.

제 92 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 94.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 95.

제 94 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 96.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, , 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 97.

제 96 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 98.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 99.

제 98 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 100.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로

에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 101.

제 100 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)를 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 102.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 103.

제 102 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 104.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 105.

제 104 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_O) 상의 전압에 응답하여 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 106.

제 83 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 107.

제 106 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 108.

제 82 항에 있어서,

상기 제1 및 제2 기간은 수 프레임 기간인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 109.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 110.

제 109 항에 있어서,

상기 제1 내지 제4스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 111.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 112.

제 111 항에 있어서,

상기 각 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 113.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 114.

제 113 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(V_{ss})을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 115.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압(V_{dd}), 저전위 공급전압(V_{ss}), 오드 프레임 고전위 공급전압(V_{dd_O}) 및 이븐 프레임 고전위 공급전압(V_{dd_E})이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 116.

제 115 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 117.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 118.

제 117 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 119.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 120.

제 119 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 121.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입

력되고, , 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 122.

제 121 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 123.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 124.

제 123 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 125.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 126.

제 125 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 127.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 128.

제 127 항에 있어서,

상기 제1 내지 제4스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와;

상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 129.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로

에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 130.

제 129 항에 있어서,

상기 제1 내지 제4 스테이지는,

제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와;

제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와;

상기 제2 노드(QB_0) 상의 전압에 응답하여 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와;

제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와;

상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와;

상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와;

상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와;

상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와;

상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제 13 트랜지스터(T4c_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제 14 트랜지스터(T4c_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와;

상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와;

상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와;

상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와;

상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와;

상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 131.

제 108 항에 있어서,

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 132.

제 131 항에 있어서,

상기 제1 내지 제4 스테이지 각각은,

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와;

제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와;

상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와;

상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와;

상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와;

상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와;

상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와;

다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와;

상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와;

상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와;

상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기발광다이오드 구동회로와 이를 이용한 유기발광다이오드 표시장치에 관한 것으로 특히, 구동회로의 동작의 신뢰성을 향상시킬 수 있는 유기발광다이오드 표시장치 구동장치와 이를 이용한 유기발광다이오드 표시장치에 관한 것이다.

최근 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 대두되고 있다. 이러한 평판 표시장치로는 액정표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 발광 다이오드(Light Emitting Diode : 이하, LED라 함) 표시장치 등이 있다.

이들 중 LED 표시장치는 전자와 정공의 재결합으로 형광체를 발광시키는 LED를 이용하며, 이러한 LED는 형광체로 무기 화합물을 사용하는 무기 LED(Inorganic Light Emitting Diode) 표시장치와 유기 화합물을 사용하는 유기 LED(Organic Light Emitting Diode : 이하 OLED라 한다) 표시장치로 구분된다. 이러한 OLED 표시장치는 저전압 구동, 자기발광, 박막형, 넓은 시야각, 빠른 응답속도 및 높은 콘트라스트 등의 많은 장점을 가지고 있어 차세대 표시장치로 기대되고 있다.

OLED는 통상 음극과 양극 사이에 적층된 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 정공 주입층으로 구성된다. 이러한 OLED에서는 양극과 음극 사이에 소정의 전압을 인가하는 경우 음극으로부터 발생된 전자가 전자 주입층 및 전자 수송층을 통해 발광층 쪽으로 이동하고, 양극으로부터 발생된 정공이 정공 주입층 및 정공 수송층을 통해 발광층 쪽으로 이동한다. 이에 따라, 발광층에서는 전자 수송층과 정공 수송층으로부터 공급되어진 전자와 정공이 재결합함에 의해 빛을 방출하게 된다.

이러한 OLED를 이용한 액티브 매트릭스형 OLED 표시장치는 도 1에서 보는 바와 같이, n 개의 게이트라인들($G1$ 내지 Gn)과 m 개의 데이터라인들($D1$ 내지 Dm)이 교차하고 $n \times m$ 매트릭스 형태로 배열된 $n \times m$ 개의 화소($P[i,j]$)들이 형성된 OLED 패널(13)과 게이트라인들($G1$ 내지 Gn)을 구동하는 게이트 구동회로(12)와 데이터라인들($D1$ 내지 Dm)을 구동하는 데이터 구동회로(11)를 구비한다. 단, n 과 m 은 양의 정수, $P[i,j]$ 는 i 행, j 열에 위치한 화소, i 는 n 보다 작거나 같은 양의 정수, j 는 m 보다 작거나 같은 양의 정수를 말한다.

게이트 구동회로(12)는 스타트신호를 순차적으로 쉬프트시켜 게이트라인들(G_1 내지 G_n)에 1 수평기간의 펄스폭을 가지는 스캔신호를 순차적으로 공급한다. 이러한 게이트 구동회로(12)는 다수의 게이트 구동 집적회로(Gate Driver IC)들을 포함한다.

데이터 구동회로(12)는 다수의 데이터 구동 집적회로(Data Driver IC)들을 구비하여 스캔신호가 공급될 때마다 1 수평기간의 데이터신호를 데이터라인들(D_1 내지 D_m)에 공급한다.

화소($P[i,j]$)들 각각은 제 i 게이트라인(G_i)에 스캔신호가 공급될 때 제 j 데이터라인(D_j)으로부터의 데이터신호를 공급받아 그 데이터 신호에 상응하는 빛을 발생하게 된다.

이를 위하여, 각 화소($P[i,j]$)들은 도 2에 도시된 바와 같이 양극에 고전위 공급전압(V_{dd})이 공급되는 OLED와, 이 OLED를 구동하기 위하여 OLED의 음극에 접속됨과 아울러 제 i 게이트라인(G_i) 및 제 j 데이터라인(D_j)과 접속되고 저전위 기준전압(V_{ss})이 공급되는 OLED 구동회로(15)를 구비한다.

이와 같은 OLED 구동회로(15)는 제 i 게이트라인(G_i)로부터의 스캔신호에 응답하여 제 j 데이터라인(D_j)으로부터의 데이터신호를 제어노드(N_c)에 공급하는 스위칭트랜지스터(T_s)와, 제어노드(N_c)의 전압에 응답하여 OLED에 흐르는 전류량을 제어하는 구동트랜지스터(T_d)와, 제어노드(N_c) 상의 전압이 충전되는 스토리지 커패시터(C_s)를 구비한다.

도 3은 제 i 게이트라인(G_i)과 제 j 데이터라인(G_j)을 통해 OLED 구동회로(15)에 공급되는 신호(V_{g_i} , V_{d_j})의 파형을 나타내며, 이러한 도 3을 결부하여 OLED 구동회로(15)의 동작에 대하여 설명하기로 한다.

도 3을 참조하면, 스위칭트랜지스터(T_s)는 제 i 게이트라인(G_i)을 통해 스캔신호(V_{scan})가 공급되면 턴-온되어 데이터라인(D_j)으로부터 공급된 데이터신호(V_{data})를 제어노드(N_c)에 공급한다. 제어노드(N_c)에 공급된 데이터신호(V_{data})는 스토리지 커패시터(C_s)에 충전됨과 아울러 구동트랜지스터(T_d)의 게이트단자로 공급된다. 이와 같이 공급되는 데이터신호(V_{data})에 의해 구동트랜지스터(T_d)가 턴-온되면, OLED를 통해 전류가 흐르게 된다. 이 때, OLED를 통해 흐르는 전류는 고전위 전원전압(V_{dd})에 의해 발생되며, 전류량은 구동트랜지스터(T_d)에 인가되는 데이터신호(V_{data})의 크기에 비례한다. 그리고, 스위칭트랜지스터(T_s)가 턴-오프 되더라도 구동트랜지스터(T_d)는 스토리지 커패시터(C_s)에 의한 제어노드(N_c) 상의 전압에 의해 한 프레임 기간 동안 턴-온 상태를 유지하며 OLED를 경유하여 흐르는 전류량을 제어한다.

한편, 이와 같은 OLED 표시장치에는 다음과 같은 문제점이 있다.

위에서 설명한 바와 같이, 한 프레임 기간 동안 턴-온 상태를 유지하는 구동트랜지스터(T_d)에는 열화에 의한 특성변화가 발생된다. 이러한 구동트랜지스터의 특성변화는 회로 동작의 신뢰성을 저하시킨다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 동작의 신뢰성을 향상시킬 수 있는 OLED 구동회로와 이를 이용한 유기발광다이오드 표시장치를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 데이터신호와 아이들링전압이 공급되는 다수의 데이터 라인들과; 상기 데이터라인들과 교차하고 스캔신호가 공급되는 다수의 게이트라인들과; 전류에 의해 발광되는 유기발광다이오드, 상기 게이트라인들 중 제 $2i-1$ 게이트라인(단, i 는 양의 정수)으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제1 제어노드에 공급하는 제1 스위칭트랜지스터, 상기 제1 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제1 구동트랜지스터, 상기 게이트라인들 중 제 $2i$ 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제2 제어노드에 공급하는 제2 스위칭트랜지스터, 상기 제2 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제2 구동트랜지스터를 각각 포함하는 다수의 화소들과; 제1 기간 동안 상기 제1 제어노드에 상기 데이터신호를 공급하고 상기 제2 제어노드에 상기 아이들링전압을 공급하는 반면에 상기 제1 기간에 이어지는 제2 기간 동안 상기 제1 제어노드에 상기 아이들링전압을 공급하고 상기 제2 제어노드에 상기 데이터신호를 공급하는 데이터 구동회로와; 상기 게이트라인들에 상기 스캔신호를 공급하는 게이트 구동회로를 구비하고; 상기 게이트 구동회로는 상기 화소들, 상기 게이트라인들 및 상기 데이터라인들과 함께 동일한 기판에 형성된다.

상기 제1 및 제2 기간은 1 프레임 기간이다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압 및 저전위 기준전압이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(V_{ss})을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 및 제2 기간은 수 프레임 기간이다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압 및 저전위 기준전압이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(V_{dd}), 저전위 공급전압(V_{ss}), 오드 프레임 고전위 공급전압(V_{dd_O}) 및 이븐 프레임 고전위 공급전압(V_{dd_E})이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB₀) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB₀) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(V_{dd_O})을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(V_{dd_E})을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출

력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

본 발명의 다른 실시예에 따른 유기발광다이오드 표시장치는 데이터신호와 아이들링전압이 공급되는 다수의 데이터 라인들과; 상기 데이터라인들과 교차하고 스캔신호가 공급되는 다수의 게이트라인들과; 전류에 의해 발광되는 유기발광다이오드, 상기 게이트라인들 중 제2i-1 게이트라인(단, i는 양의 정수)으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제1 제어노드에 공급하는 제1 스위칭트랜지스터, 상기 제1 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제1 구동트랜지스터, 상기 게이트라인들 중 제2i 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제2 제어노드에 공급하는 제2 스위칭트랜지스터, 상기 제2 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제2 구동트랜지스터를 각각 포함하는 다수의 화소들과; 제1 기간 동안 상기 제1 제어노드에 상기 데이터신호를 공급하고 상기 제2 제어노드에 상기 아이들링전압을 공급하는 반면에 상기 제1 기간에 이어지는 제2 기간 동안 상기 제1 제어노드에 상기 아이들링전압을 공급하고 상기 제2 제어노드에 상기 데이터신호를 공급하는 데이터 구동회로와; 상기 제2i-1 게이트라인에 상기 스캔신호를 공급하는 제1 게이트 구동회로를 구비하고; 상기 제2i 게이트라인에 상기 스캔신호를 공급하는 제2 게이트 구동회로를 구비하고; 상기 제1 및 제2 게이트 구동회로는 상기 화소들, 상기 게이트라인들 및 상기 데이터라인들과 함께 동일한 기판 상에 형성되고, 상기 제1 및 제2 게이트 구동회로는 상기 화소들 사이에 두고 상기 기판의 서로 다른 일측상에 형성된다.

상기 제1 및 제2 기간은 1 프레임 기간이다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오프 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스태이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 기준전압을 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 기준전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 기준전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급되는 것을 특징으로 한다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준

전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에

상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, , 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트

트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기

준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을

상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 및 제2 기간은 수 프레임 기간이다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스태이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기

스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에

공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, , 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(V_{ss})을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(V_{dd}), 저전위 공급전압(V_{ss}), 오드 프레임 고전위 공급전압(V_{dd_O}) 및 이븐 프레임 고전위 공급전압(V_{dd_E})이 공급된다.

상기 제1 내지 제4스�테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(V_{dd}), 저전위 공급전압(V_{ss}), 오드 프레임 고전위 공급전압(V_{dd_O}) 및 이븐 프레임 고전위 공급전압(V_{dd_E})이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(V_{dd_O})을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(V_{dd_E})을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의

출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

본 발명의 또 다른 실시예에 따른 유기발광다이오드 표시장치는 데이터신호와 아이들링전압이 공급되는 다수의 데이터 라인들과; 상기 데이터라인들과 교차하고 스캔신호가 공급되는 다수의 게이트라인들과; 전류에 의해 발광되는 유기발광다이오드, 상기 게이트라인들 중 제2i-1 게이트라인(단, i는 양의 정수)으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제1 제어노드에 공급하는 제1 스위칭트랜지스터, 상기 제1 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제1 구동트랜지스터, 상기 게이트라인들 중 제2i 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제2 제어노드에 공급하는 제2 스위칭트랜지스터, 상기 제2 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제2 구동트랜지스터를 각각 포함하는 다수의 화소들과; 제1 기간동안 상기 화소들 중 제1 화소에 포함된 상기 제1 제어노드에 상기 데이터신호를 공급하고, 상기 제1 화소에 포함된 제2 제어노드에 상기 아이들링전압을 공급하고, 제2 화소에 포함된 상기 제1 제어노드에 상기 아이들링전압을 공급하고, 상기 제2 화소에 포함된 제2 제어노드에 상기 데이터신호를 공급하는 반면에 상기 제1 기간에 이어지는 제2 기간에 상기 제1 화소에 포함된 상기 제1 제어노드에 상기 아이들링전압을 공급하고 상기 제1 화소에 포함된 제2 제어노드에 상기 데이터신호를 공급하고, 제2 화소에 포함된 상기 제1 제어노드에 상기 데이터신호를 공급하고, 상기 제2 화소에 포함된 제2 제어노드에 상기 아이들링전압을 공급하는 데이터 구동회로와; 상기 게이트라인들에 상기 스캔신호를 공급하는 게이트 구동회로를 구비하고; 상기 게이트 구동회로는 상기 화소들, 상기 게이트라인들 및 상기 데이터라인들과 함께 동일한 기판에 형성된다.

상기 제1 및 제2 기간은 1 프레임 기간이다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압 및 저전위 기준전압이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터

(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 및 제2 기간은 수 프레임 기간이다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압 및 저전위 기준전압이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위

기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준 전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 게이트 구동회로는 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 구동이 개시되고, 다음 스테이지의 출력 신호에 응답하여 리셋되는 각 스테이지를 구비하고, 상기 각 스테이지에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

본 발명의 또 다른 실시예에 따른 유기발광다이오드 표시장치는 데이터신호와 아이들링전압이 공급되는 다수의 데이터 라인들과; 상기 데이터라인들과 교차하고 스캔신호가 공급되는 다수의 게이트라인들과; 전류에 의해 발광되는 유기발광다이오드, 상기 게이트라인들 중 제2i-1 게이트라인(단, i는 양의 정수)으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제1 제어노드에 공급하는 제1 스위칭트랜지스터, 상기 제1 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제1 구동트랜지스터, 상기 게이트라인들 중 제2i 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터신호와 상기 아이들링전압을 제2 제어노드에 공급하는 제2 스위칭트랜지스터, 상기 제2 제어노드 상의 전압에 응답하여 상기 유기발광다이오드에 흐르는 전류를 제어하는 제2 구동트랜지스터를 각각 포함하는 다수의 화소들과; 제1 기간동안 상기 화소들 중 제1 화소에 포함된 상기 제1 제어노드에 상기 데이터신호를 공급하고, 상기 제1 화소에 포함된 제2 제어노드에 상기 아이들링전압을 공급하고, 제2 화소에 포함된 상기 제1 제어노드에 상기 아이들링전압을 공급하고, 상기 제2 화소에 포함된 제2 제어노드에 상기 데이터신호를 공급하는 반면에 상기 제1 기간에 이어지는 제2 기간에 상기 제1 화소에 포함된 상기 제1 제어노드에 상기 아이들링전압을 공급하고 상기 제1 화소에 포함된 제2 제어노드에 상기 데이터신호를 공급하고, 제2 화소에 포함된 상기 제1 제어노드에 상기 데이터신호를 공급하고, 상기 제2 화소에 포함된 제2 제어노드에 상기 아이들링전압을 공급하는데이터 구동회로와; 상기 제2i-1 게이트라인에 상기 스캔신호를 공급하는 제1 게이트 구동회로를 구비하고; 상기 제2i 게이트라인에 상기 스캔신호를 공급하는 제2 게이트 구동회로를 구비하고; 상기 제1 및 제2 게이트 구동회로는 상기 화소들, 상기 게이트라인들 및 상기 데이터라인들과 함께 동일한 기판상에 형성되고, 상기 제1 및 제2 게이트 구동회로는 상기 화소들을 사이에 두고 상기 기판의 서로 다른 일측상에 형성된다.

상기 제1 및 제2 기간은 1 프레임 기간이다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5

트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공

급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하

여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, , 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스태이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제 3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 이전 스테이지

의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스태이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기

제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와;

상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을

상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 및 제2 기간은 수 프레임 기간이다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 각 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기

스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력되고, 상기 제2 게이트 구동회로에 포함된 제2 스테이지 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제4 스테이지의 출력신호가 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두 개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에

공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_0) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_0) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 리셋신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 전전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, , 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3 노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고 상기 제4 스테이지의 출력신호가 상기 제2 스테이지의 리셋신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)를 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 두개, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4스�테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제2 클럭신호에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드를 방전시키는 제5 트랜지스터(T3)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드를 방전시키는 제6 트랜지스터(T5a)와; 상기 스타트 신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드를 방전시키는 제7 트랜지스터(T5)와; 상기 다음 스테이지의 출력신호에 응답하여 상기 제1 노드를 방전시키는 제8 트랜지스터(T3a)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 내지 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 어느 하나, 고전위 공급전압(Vdd), 저전위 공급전압(Vss), 오드 프레임 고전위 공급전압(Vdd_O) 및 이븐 프레임 고전위 공급전압(Vdd_E)이 공급된다.

상기 제1 내지 제4 스테이지는, 제1 노드(Q) 상의 전압에 응답하여 상기 게이트라인들 중 어느 하나에 상기 제1 클럭신호를 공급하는 제1 트랜지스터(T8)와; 상기 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 다음 다음 스테이지에 공급하는 제2 트랜지스터(T6)와; 제2 노드(QB_O) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제3 트랜지스터(T9_O)와; 상기 제2 노드(QB_O) 상의 전압에 응답하여 다음 스테이지에 상기 저전위 기준전압을 공급하는 제4 트랜지스터(T7_O)와; 제3 노드(QB_E) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압을 공급하는 제5 트랜지스터(T9_E)와; 상기 제3노드(QB_E) 상의 전압에 응답하여 상기 다음 다음 스테이지에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T7_E)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제7 트랜지스터(T1)와; 상기 오드 프레임 고전위 공급전압(Vdd_O)을 제4 노드에 공급하는 제8 트랜지스터(T4a_O)와; 상기 제4 노드 상의 전압에 응답하여 상기 오드 프레임 고전위 공급전압을 상기 제2 노드에 공급하는 제9 트랜지스터(T4_O)와; 상기 이븐 프레임 고전위 공급전압(Vdd_E)을 제5 노드에 공급하는 제10 트랜지스터(T4a_E)와; 상기 제5 노드 상의 전압에 응답하여 상기 이븐 프레임 고전위 공급전압을 상기 제3 노드에 공급하는 제11 트랜지스터(T4_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T4b_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제13 트랜지스터(T4c_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제14 트랜지스터(T4c_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제5 노드에 저전위 기준전압을 공급하는 제15 트랜지스터(T4b_E)와; 상기 다음 스테이지의

출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제16 트랜지스터(T3a)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제17 트랜지스터(T3_O)와; 상기 제3 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제18 트랜지스터(T3_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제4 노드에 상기 저전위 기준전압을 공급하는 제19 트랜지스터(T4d_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제5 노드에 상기 저전위 기준전압을 공급하는 제20 트랜지스터(T4d_E)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제21 트랜지스터(T5a_O)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제22 트랜지스터(T5_O)와; 상기 제1 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제23 트랜지스터(T5a_E)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제24 트랜지스터(T5_E)와; 상기 제3 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제25 트랜지스터(T5i_O)와; 상기 제2 노드 상의 전압에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제26 트랜지스터(T5i_E)를 구비한다.

상기 제1 게이트 구동회로에 포함된 제1 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제2 스테이지의 스타트신호로 입력되고, 상기 제2 스테이지의 출력신호가 상기 제1 스테이지의 리셋신호로 입력됨과 동시에 상기 제1 게이트 구동회로에 포함된 제3 스테이지의 스타트신호로 입력되고, 상기 제3 스테이지의 출력신호가 상기 제2 게이트 구동회로에 포함된 제4 스테이지의 스타트신호로 입력되고, 상기 제1 및 제4 스테이지 각각에는 제1 내지 제4 클럭신호 중 세 개, 고전위 공급전압(Vdd) 및 저전위 공급전압(Vss)이 공급된다.

상기 제1 내지 제4 스테이지 각각은, 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호를 상기 다수의 게이트라인들 중 어느 하나에 공급하는 제1 트랜지스터(T6)와; 제2 노드(QB) 상의 전압에 응답하여 상기 어느 하나의 게이트라인에 상기 저전위 기준전압(Vss)을 공급하는 제2 트랜지스터(T7)와; 상기 스타트 신호 또는 이전 스테이지의 출력신호에 응답하여 상기 고전위 공급전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1)와; 상기 제4 클럭신호에 응답하여 상기 고전위 공급전압을 제3 노드에 공급하는 제4 트랜지스터(T4a)와; 상기 제3 노드 상의 전압에 응답하여 상기 고전위 공급전압을 상기 제2 노드에 공급하는 제5 트랜지스터(T4)와; 상기 제2 클럭신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제6 트랜지스터(T4b)와; 상기 제2 노드 상의 전압에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제7 트랜지스터(T3)와; 다음 스테이지의 출력신호에 응답하여 상기 제1 노드에 상기 저전위 기준전압을 공급하는 제8 트랜지스터(T3a)와; 상기 제1 노드 상의 전압에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제9 트랜지스터(T5a)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제3 노드에 상기 저전위 기준전압을 공급하는 제10 트랜지스터(T4c)와; 상기 제2 클럭신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제11 트랜지스터(T5i)와; 상기 스타트신호 또는 상기 이전 스테이지의 출력신호에 응답하여 상기 제2 노드에 상기 저전위 기준전압을 공급하는 제12 트랜지스터(T5)를 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 29를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4를 참조하면, 본 발명의 실시예에 따른 OLED 표시장치는 2n 개의 게이트라인들(G1 내지 G2n)과 m 개의 데이터라인들(D1 내지 Dm)이 교차하고 $n \times m$ 매트릭스 형태로 배열된 $n \times m$ 개의 화소(P[i,j])들이 형성된 OLED 패널(103)과 게이트라인들(G1 내지 G2n)을 구동하는 게이트 구동회로(102)와 데이터라인들(D1 내지 Dm)을 구동하는 데이터 구동회로(101)를 구비한다. 단, n과 m은 양의 정수, P[i,j]는 i행, j열에 위치한 화소, i는 n보다 작거나 같은 양의 정수, j는 m보다 작거나 같은 양의 정수를 말한다.

게이트 구동회로(102)는 스타트신호를 순차적으로 쉬프트시켜 게이트라인들(G1 내지 G2n)에 1/2 수평기간의 펄스폭을 가지는 스캔신호를 순차적으로 공급한다. 이 스캔신호 중 제2i-1 게이트라인에 공급되는 스캔신호를 제1 스캔신호, 제2i 라인에 공급되는 스캔신호를 제2 스캔신호라 한다. 이러한 게이트 구동회로(102)는 다수의 게이트 구동 집적회로(Gate Driver IC)들을 포함한다.

데이터 구동회로(102)는 다수의 데이터 구동 집적회로(Data Driver IC)들을 구비하여 스캔신호가 공급될 때마다 1/2 수평기간의 데이터신호와 1/2 수평기간의 아이들링전압을 데이터라인들(D1 내지 Dm)에 공급한다. 여기서, 아이들링전압이란 이 후 설명할 OLED 구동 소자의 열화현상을 극복하기 위해 인가하는 전압으로써, 이전 프레임에서 인가한 데이터신호와 극성이 반대이고 절대값 크기가 동일한 전압 또는 0V 등과 같이 데이터신호에 비하여 상대적으로 낮으며 데이터 정보를 포함하지 않은 전압을 말한다.

화소(P[i,j])들 각각은 제2i-1 또는 제2i 게이트라인(G2i-1, G2i)에 스캔신호가 공급될 때 제j 데이터라인(Dj)으로부터의 데이터신호를 공급받아 그 데이터 신호에 상응하는 빛을 발생하게 된다.

이를 위하여, 각 화소(P[i,j])들은 도 5에 도시된 바와 같이 양극에 고전위 공급전압(Vdd)이 공급되는 OLED와, 이 OLED를 구동하기 위하여 OLED의 음극에 접속됨과 아울러 제2i-1 및 2i 게이트라인(G2i-1, G2i) 및 제j 데이터라인(Dj)과 접속되고 저전위 기준전압(Vss)이 공급되는 OLED 구동회로(105)를 구비한다.

이와 같은 OLED 구동회로(105)는 제2i-1 게이트라인(G2i-1)로부터의 제1 스캔신호에 응답하여 제j 데이터라인(Dj)으로부터의 데이터신호와 아이들링전압을 제1 제어노드(Nc1)에 공급하는 제1 스위칭트랜지스터(Ts1)와, 제1 제어노드(Nc1)의 전압에 응답하여 OLED에 흐르는 전류량을 제어하는 제1 구동트랜지스터(Td1)와, 제1 제어노드(Nc1) 상의 전압이 충전되는 제1 스토리지 커패시터(Cs1)와, 제2i 게이트라인(G2i)로부터의 제2 스캔신호에 응답하여 제j 데이터라인(Dj)으로부터의 데이터신호와 아이들링전압을 제2 제어노드(Nc2)에 공급하는 제2 스위칭트랜지스터(Ts2)와, 제2 제어노드(Nc2)의 전압에 응답하여 OLED에 흐르는 전류량을 제어하는 제2 구동트랜지스터(Td2)와, 제2 제어노드(Nc2) 상의 전압이 충전되는 제2 스토리지 커패시터(Cs2)를 구비한다.

도 6a 및 도 6b는 제2i-1 및 제2i 게이트라인(G2i-1, G2i)과 제j 데이터라인(Gj)을 통해 OLED 구동회로(105)에 공급되는 신호(Vg_2i-1, Vg_2i, Vd_j)의 파형을 나타내며, 이러한 도 6a 및 도 6b를 결부하여 OLED 구동회로(105)의 동작에 대하여 설명하기로 한다.

도 6a를 참조하면, 제2k-1 프레임기간(단, k는 양의 정수)에 제1 스위칭트랜지스터(Ts1)는 제2i-1 게이트라인(G2i-1)을 통해 제1 스캔신호(Vscan1)가 공급되면 턴-온되어 데이터라인(Dj)으로부터 공급된 데이터신호(Vdata)를 제1 제어노드(Nc1)에 공급한다. 제1 제어노드(Nc1)에 공급된 데이터신호(Vdata)는 제1 스토리지 커패시터(Cs1)에 충전됨과 아울러 제1 구동트랜지스터(Td1)의 게이트단자로 공급된다. 이와 같이 공급되는 데이터신호(Vdata)에 의해 제1 구동트랜지스터(Td1)가 턴-온되면, OLED를 통해 전류가 흐르게 된다. 이 때, OLED를 통해 흐르는 전류는 고전위 전원전압(Vdd)에 의해 발생되며, 전류량은 제1 구동트랜지스터(Td1)에 인가되는 데이터신호(Vdata)의 크기에 비례한다. 그리고, 제1 스위칭트랜지스터(Ts1)가 턴-오프 되더라도 제1 구동트랜지스터(Td1)는 제1 스토리지 커패시터(Cs1)에 의한 제1 제어노드(Nc1) 상의 전압에 의해 턴-온 상태를 유지하며 OLED를 경유하여 흐르는 전류량을 제어한다. 이어서, 제2i 게이트라인(G2i)을 통해 제2 스캔신호가 공급되면 제2 스위칭트랜지스터(Ts2)는 턴-온되어 데이터라인(Dj)으로부터 공급된 아이들링전압(Vidle)을 제2 제어노드(Nc2)에 공급한다. 제2 제어노드(Nc2)에 공급된 아이들링전압(Vidle)은 제2 스토리지 커패시터(Cs2)를 방전시켜 제2 제어노드(Nc2)상의 전압이 낮아지게 된다.

제2k 프레임기간(단, k는 양의 정수)에 제1 스위칭트랜지스터(Ts1)는 제2i-1 게이트라인(G2i-1)을 통해 제1 스캔신호가 공급되면 턴-온되어 데이터라인(Dj)으로부터 공급된 아이들링전압(Vidle)을 제1 제어노드(Nc1)에 공급한다. 제1 제어노드(Nc1)에 공급된 아이들링전압(Vidle)은 제1 스토리지 커패시터(Cs1)를 방전시켜 제2 제어노드(Nc2)상의 전압이 낮아지게 된다. 이어서, 제2 스위칭트랜지스터(Ts2)는 제2i 게이트라인(G2i)을 통해 제2 스캔신호(Vscan2)가 공급되면 턴-온되어 데이터라인(Dj)으로부터 공급된 데이터신호(Vdata)를 제2 제어노드(Nc2)에 공급한다. 제2 제어노드(Nc2)에 공급된 데이터신호(Vdata)는 제2 스토리지 커패시터(Cs2)에 충전됨과 아울러 제2 구동트랜지스터(Td2)의 게이트단자로 공급된다. 이와 같이 공급되는 데이터신호(Vdata)에 의해 제2 구동트랜지스터(Td2)가 턴-온되면, OLED를 통해 전류가 흐르게 된다. 이 때, OLED를 통해 흐르는 전류는 고전위 전원전압(Vdd)에 의해 발생되며, 전류량은 제2 구동트랜지스터(Td2)에 인가되는 데이터신호(Vdata)의 크기에 비례한다. 그리고, 제2 스위칭트랜지스터(Ts2)가 턴-오프 되더라도 제2 구동트랜지스터(Td2)는 제2 스토리지 커패시터(Cs2)에 의한 제2 제어노드(Nc2) 상의 전압에 의해 턴-온 상태를 유지하며 OLED를 경유하여 흐르는 전류량을 제어한다.

이와 같이 제1 및 제2 구동트랜지스터를 구비하여 1 프레임기간을 주기로 교대로 구동함으로써, 구동트랜지스터의 열화 현상을 극복하여 구동회로의 동작의 신뢰성이 확보됨과 아울러 동작 수명 또한 늘어나게 된다.

한편, 이와 같은 제1 및 제2 구동트랜지스터의 교대 구동 주기는 1 프레임기간이 아닌 수 프레임기간으로 할 수 있으며 프레임기간 단위가 아닌 임의의 기간으로 할 수도 있다.

도 7a 내지 도 7e는 위에서 설명한 제1 구동트랜지스터와 제2 구동트랜지스터에 데이터 신호 및 아이들링 전압을 교대로 인가하여 구동 트랜지스터들의 열화된 소자 특성을 회복시키는 구동방식에 대하여 여러 가지 경우를 간략히 모식화하여 나타낸 것이다. 도 7a 내지 7e에서 "+"는 구동 트랜지스터들에 데이터 신호가 인가되는 것을 뜻하며, "-"는 아이들링전압이 인가되는 것을 뜻한다. 이와 같은 방법들은 데이터 신호 및 아이들링 전압 인가에 대한 타이밍을 조절함으로써 구현될

수 있다. 예를 들어, 도 7b의 경우는 제1 열의 화소들에는 1/2 수평기간의 데이터신호에 이어서 1/2 수평기간의 아이들링 전압이 인가되지만, 제2 열의 화소들에는 1/2 수평기간의 아이들링전압이 먼저 인가되고 이어서 1/2 수평기간의 데이터 신호가 인가된다. 도 7b 내지 도 7e의 경우에도 마찬가지이다. 한편, 이 외에도 제1 구동트랜지스터와 제2 구동트랜지스터를 구동 상태와 아이들링 상태로 교차할 수 있는 조합 가능한 구동방법은 모두 가능하다.

도 8 내지 도 10은 게이트 구동회로(102)의 회로 구성과 그 회로의 각 노드 전압 파형을 나타낸다.

도 8의 게이트 구동회로(102)는 종속적으로 접속된 2n 개의 스테이지들 및 더미 스테이지(Dummy Stage)를 포함한다. 이 게이트 구동회로(102)의 제1 스테이지에는 스타트신호(Vst)가 입력되고 제2 내지 제2n 스테이지들에는 스타트신호로써 이전 스테이지의 출력신호(Vg_1 내지 Vg_2n-1)가 입력된다. 그리고, 제1 내지 제2n-1 스테이지들에는 리셋신호로써 다음 스테이지의 출력신호(Vg_2 내지 Vg_2n)가 입력되고, 제2n 스테이지에는 더미 스테이지(Dummy Stage)의 출력신호가 리셋신호로써 입력된다.

또한, 각 스테이지는 동일한 회로구성을 가지며 4 개의 클럭신호(C1 내지 C4) 중 두 개의 클럭신호에 응답하여 스타트신호(Vst) 또는 이전 스테이지의 출력신호(Vg_1 내지 Vg_2n-1)를 쉬프트시킴으로써 1 수평기간의신호폭을 가지는 스캔신호를 발생한다.

도 9 및 도 10은 도 8에 도시된 게이트 구동회로(102)에서 각 스테이지에 대한 구체적인 회로와 이 회로의 신호 파형을 나타낸 것으로서, 각 스테이지는 게이트라인들(G1 내지 G2n)에 하이논리의 전압을 공급하기 위한 제6 트랜지스터(T6)와, 게이트라인들(G1 내지 G2n)에 로우논리의 전압을 공급하기 위한 제7 트랜지스터(T7)를 구비한다. 이러한 각 스테이지의 동작에 대하여 제1 스테이지의 동작을 예로써 설명하기로 한다.

도 9 및 도 10을 참조하면, 제1 클럭신호(C1)가 로우논리전압을 유지하는 t1 기간 동안 스타트신호(Vst)가 하이논리전압으로 제1 및 제5 트랜지스터(T1, T5)의 게이트전극에 공급되어 제1 및 제5 트랜지스터(T1, T5)를 턴-온시킨다. 이 때 제1 노드(Q) 상의 전압(V_Q)이 중간전압(Vm)으로 상승하면서 제6 트랜지스터(T6)를 턴-온시키지만 제1 게이트라인(G1)의 전압(Vg_1)은 제1 클럭신호(C1)가 로우논리전압으로 유지되고 있으므로 로우논리전압을 유지한다. 또한, 이 때 제1 노드(Q) 상의 전압(V_Q)에 의해 제5a 트랜지스터(T5a)를 턴-온된다.

제5 트랜지스터(T5) 및 제5a 트랜지스터(T5a)의 턴-온에 의해 제2 노드(QB) 상의 전압이 낮아지면서 제3 트랜지스터(T3)와 제7 트랜지스터(T7)는 턴-오프되어 제1 노드(Q)의 방전 경로를 차단한다.

t2 기간 동안, 제1 클럭신호(C1)는 하이논리전압으로 반전되는 반면에 스타트신호(Vst)가 로우논리전압으로 반전된다. 이 때 제1 트랜지스터(T1)와 제5 트랜지스터(T5)는 턴-오프(Turn-off)되며, 제1 노드(Q) 상의 전압(V_Q)은 제1 클럭신호(C1)의 하이논리전압이 공급되는 제6 트랜지스터(T6)의 드레인전극과 게이트전극 사이의 기생 캐패시턴스에 충전되는 전압이 더해지면서 제6 트랜지스터(T6)의 문턱전압 이상으로 상승한다. 즉, 제1 노드(Q) 상의 전압(V_Q)은 부트스트래핑(Bootstrapping)에 의해 t1 기간보다 더 높은 전압(Vh)으로 상승한다. 따라서, t2 기간 동안 제6 트랜지스터(T6)는 턴-온되고 제1 게이트라인(G1)의 전압(Vg_1)은 제6 트랜지스터(T6)의 도통에 의해 공급되는 제1 클럭신호(C1)의 전압에 의해 상승하여 하이논리전압으로 반전된다.

t3 기간 동안 제1 클럭신호(C1)는 로우논리전압으로 반전되고, 제2 클럭신호(C2)는 하이논리전압으로 반전된다. 이 때 제4 트랜지스터(T4)는 제2 클럭신호(C2)에 응답하여 턴-온되며 고전위 전원전압(Vdd)은 제4 트랜지스터(T4)를 경유하여 제2 노드(QB)에 공급되어 제2 노드(QB) 상의 전압(V_QB)을 상승시킨다. 이렇게 상승하는 제2 노드(QB) 상의 전압(V_QB)은 제7 트랜지스터(T7)를 턴-온시켜 제1 게이트라인(G1) 상의 전압(Vg_1)을 기저전압(Vss)까지 방전시킴과 동시에 제3 트랜지스터(T3)를 턴-온시켜 제1 노드(Q) 상의 전압(V_Q)을 기저전압(Vss)까지 방전시킨다.

t4 기간 동안 제2 클럭신호(C2)가 로우논리전압으로 반전되면, 제4 트랜지스터(T4)가 턴-오프된다. 이 때 제2 노드(QB) 상에는 하이논리전압이 플로팅(Floating) 된다. 이러한 제2 노드(QB) 상의 하이논리전압은 남은 프레임 기간 동안 유지된다.

도 11a 내지 도 12는 게이트 구동회로(102)의 다른 회로 구성과 그 회로의 각 노드 전압 파형을 나타낸다. 이 회로의 특징은 게이트 출력이 이루어지고 난 나머지 모든 시간에 게이트라인들을 로우 전압으로 유지시키기 위해 하이 전압 상태를 유지하는 QB 노드에 연결된 트랜지스터의 열화를 방지하기 위하여 QB 노드를 두개 사용하여 교차 구동함으로써 열화 현상을 완화 및 회복 시켜주는 데 있으며, 그 동작은 다음과 같다.

오드(Odd) 프레임기간을 기준으로 설명하면, 스타트신호(Vst)에 의해 제1 트랜지스터(T1)가 턴온되어 Q 노드를 충전시킨다. 이때 QB 노드가 충전되어 있으면 제3 트랜지스터(T3)를 통해서 Q 노드가 방전되기 때문에 이를 방지하기 위하여 스타트신호(Vst)에 의해 제4cO 트랜지스터(T4cO) 및 제4dO 트랜지스터(T4dO)가 턴온되어 제4O 트랜지스터(T4O)를 턴오프 시키고, 동시에 개시 신호에 의해 제5O 트랜지스터(T5O)가 턴온되어 QB 노드를 방전시킨다. Q 노드가 하이 상태로 되면서 제4bO 트랜지스터(T4bO), 제5aO 트랜지스터(T5aO)가 턴온되어 각각 QB 노드가 충전되는 것을 방지하거나 QB 노드를 방전시킨다. 다음에 클럭신호(C1)가 들어오면 제6 트랜지스터(T6), 제8 트랜지스터(T8)가 턴온되어 각각 다음(또는 다음 다음) 스테이지 및 현재 스테이지의 게이트라인으로 출력을 발생시킨다.

마지막으로 다음 스테이지의(또는 다음 다음 스테이지의) 스테이지의 출력에 의해 제3a 트랜지스터(T3a)가 턴온되어 Q 노드를 방전시킨다. 동시에 제4 트랜지스터(T4), 제4a 트랜지스터(T4a)에 의해 QB 노드가 충전되면서 제3O 트랜지스터(T3O)가 턴온되어 Q 노드 방전이 가속화 된다. 이후에 QB 노드가 계속 하이 상태를 유지함으로써(즉 T9O가 턴온되어 있음) 게이트 단을 low 상태로 유지시킨다.

T5iO,E는 각각 오드(Odd) 프레임에서는 QB_even 노드를 방전, 이븐(Even) 프레임에서는 QB_odd 노드를 방전 시키는 역할을 한다.

도 13a 내지 도 14는 게이트 구동회로(102)의 또 다른 회로 구성과 그 회로의 각 노드 전압 파형을 나타낸다. 도 13에 도시된 회로는 한 개의 QB 노드를 이용하여 게이트 출력이 나오는 클럭 타이밍에만 QB 노드를 하이상태로 유지함으로써 두 개의 QB 노드를 이용하여 프레임마다 교차 구동을 하는 방식과 같은 효과를 나타내면서도 회로 면적은 크게 줄일 수 있는 장점이 있다. 이 회로의 구조와 동작에 대한 상세한 설명은 본 출원인에 의해 출원된 바 있는 대한민국 특허출원 "10-2005-0053124"호에 개시되어 있으므로 생략하기로 한다.

한편, 이와 같은 게이트 구동회로는 OLED 및 OLED 구동회로가 형성된 기판과 동일한 기판에 형성될 수 있다.

도 15 내지 도 17는 이와 같은 게이트 구동회로가 OLED 패널에 내장된 형태를 나타낸다. 도 15는 1 개의 내장 게이트 구동회로로 한 방향에서 게이트라인들을 구동하는 방식이며, 도 16 및 도 17은 게이트 구동회로를 2개로 분할하여 양 방향에서 게이트라인들을 구동하는 방식이다.

도 15와 같이 일방향에서 게이트 라인을 구동하는 방식은 위에서 설명한 바와 동일하고, 양방향에서 게이트 라인을 구동하는 방식에 있어서 도 16는 오드(Odd) 게이트라인들은 제1 게이트 구동회로로 구동하고, 이븐(Even) 게이트라인들은 제2 게이트 구동회로로 구동하는 방식을 나타내고, 도 17은 제1 2상 게이트 구동회로와 제2 2상 게이트 구동회로가 두 라인씩을 교대로 구동하는 방식을 나타낸다.

도 9, 도 11 및 도 13의 회로를 이용하여 도 16과 같이 스테이지를 구현하기 위한 방식을 도 18 내지 도 29에 나타내었다.

도 18 내지 도 29를 참조하면, 제1 게이트 구동회로는 기수번째 게이트라인들을 구동하기 위하여 기수번째 스테이지를 포함하고, 제2 게이트 구동회로는 우수번째 게이트라인들을 구동하기 위하여 우수번째 스테이지를 포함한다. 이 중, 도 18 내지 도 21은 도 16의 방식을 도 9의 회로를 이용한 구현을 나타내고 도 22 내지 도 25는 도 11의 회로를 이용한 구현을 나타내며, 도 26 내지 도 29는 도 13의 회로를 이용한 구현을 나타낸다.

도 18, 도 19, 도 22, 도 23, 도 26 및 도 27은 1번째 단의 출력을 3번째 단의 스타트신호로 이용하고, 3번째 단의 출력을 5번째 단의 스타트신호로 이용하고, 또한, 2번째 단의 출력을 4번째 단의 스타트신호로 이용하고, 4번째 단의 출력을 6번째 단의 스타트신호로 이용하는 등 각 단의 스타트신호를 홀수단은 홀수단에서 받고, 짝수단은 짝수단에서 받는 방법을 말한다. 도 18, 도 22 및 도 26과 도 19, 도 23 및 도 27과는 리셋신호를 받는 방법에서 차이가 난다.

도 18, 도 22 및 도 26은 1 번째 단의 리셋신호는 3번째 단의 출력을 이용하고, 3번째 단의 리셋신호는 5번째 단의 출력을 이용하고, 또한, 2번째 단의 리셋신호는 4번째 단의 출력을 이용하고, 4번째 단의 리셋신호는 4번째 단의 출력을 이용하는 방법을 나타낸다.

반면, 도 19, 도 23 및 도 27은 1 번째 단의 리셋신호는 2번째 단의 출력을 이용하고, 2번째 단의 리셋신호는 3번째 단의 출력을 이용하고, 또한, 3번째 단의 리셋신호는 4번째 단의 출력을 이용하고, 4번째 단의 리셋신호는 5번째 단의 출력을 이용하는 방법을 나타낸다.

도 20, 도 21, 도 24, 도 25, 도 28 및 도 29는 1번째 단의 출력을 2번째 단의 스타트신호로 이용하고, 2번째 단의 출력을 3번째 단의 스타트신호로 이용하고, 3번째 단의 출력을 4번째 단의 스타트신호로 이용하고, 4번째 단의 출력을 5번째 단의 스타트신호로 이용하는 방법을 말한다. 도 20, 도 24 및 도 28과 도 21, 도 25 및 도 28과는 리셋신호를 받는 방법에서 차이가 난다.

도 20, 도 24 및 도 28은 1번째 단의 리셋신호는 3번째 단의 출력을 이용하고, 3번째 단의 리셋신호는 5번째 단의 출력을 이용하고, 또한, 2번째 단의 리셋신호는 4번째 단의 출력을 이용하고, 4번째 단의 리셋신호는 4번째 단의 출력을 이용하는 방법을 나타낸다.

반면, 도 21, 도 25 및 도 28은 1번째 단의 리셋신호는 2번째 단의 출력을 이용하고, 2번째 단의 리셋신호는 3번째 단의 출력을 이용하고, 또한, 3번째 단의 리셋신호는 4번째 단의 출력을 이용하고, 4번째 단의 리셋신호는 5번째 단의 출력을 이용하는 방법을 나타낸다.

발명의 효과

상술한 바와 같이 본 발명의 실시예에 따른 유기발광다이오드 구동회로는 데이터 신호와 아이들링전압이 교대로 공급되어 유기발광다이오드를 구동하는 구동트랜지스터들은 동작과 회복기간을 가져 열화에 의한 특성변화가 방지되어, 유기발광다이오드 구동트랜지스터들의 수명이 연장됨과 아울러 유기발광다이오드 구동회로의 동작의 신뢰성이 확보된다. 이와 더불어 이러한 유기발광다이오드 구동회로를 이용하는 유기발광다이오드 표시장치도 수명이 연장됨과 동시에 동작의 신뢰성이 향상된다. 또한 게이트 구동회로를 유기발광다이오드 패널상에 내장함으로써 게이트 구동 집적회로들을 모두 제거하여 유기발광다이오드 표시장치의 박막화와, 공정의 단순화 및 비용감소에 유리하다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 유기발광다이오드 표시장치를 나타내는 도면.

도 2는 도 1의 유기발광다이오드 표시장치의 화소를 나타내는 도면.

도 3은 도 2의 화소에 공급되는 데이터신호 및 스캔신호를 나타낸 도면.

도 4는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 나타내는 도면.

도 5는 도 4의 유기발광다이오드 표시장치의 화소를 나타내는 도면.

도 6a 및 도 6b는 도 5의 화소에 공급되는 데이터신호, 아이들링전압 및 스캔신호를 나타내는 도면.

도 7a 내지 도 7e는 도 5의 화소 구동 예를 나타내는 도면.

도 8은 도 4의 게이트 구동회로를 나타내는 도면.

도 9는 도 8의 각 스테이지의 회로를 나타내는 도면.

도 10은 도 9의 회로의 각 노드 전압 파형을 나타내는 도면.

도 11a는 도 4의 게이트 구동회로를 나타내는 다른 도면.

도 11b는 도 11의 각 스테이지의 회로를 나타내는 도면.

도 12는 도 11b의 회로의 각 노드 전압 파형을 나타내는 도면.

도 13a는 도 4의 게이트 구동회로를 나타내는 또 다른 도면.

도 13b는 도 13a의 각 스테이지의 회로를 나타내는 도면.

도 14는 도 9의 회로의 각 노드 전압 파형을 나타내는 도면.

도 15는 게이트 구동회로를 내장한 액정표시장치를 나타내는 도면.

도 16은 게이트 구동회로를 양측 분할 내장한 액정표시장치를 나타내는 도면.

도 17은 도 16과 다른 게이트 구동회로를 양측 분할 내장한 액정표시장치를 나타내는 도면.

도 18은 도 16의 게이트 구동회로의 도 9의 회로를 이용한 스테이지 구성을 나타내는 도면.

도 19는 도 16의 게이트 구동회로의 도 9의 회로를 이용한 스테이지 구성을 나타내는 다른 도면.

도 20는 도 16의 게이트 구동회로의 도 9의 회로를 이용한 스테이지 구성을 나타내는 또 다른 도면.

도 21는 도 16의 게이트 구동회로의 도 9의 회로를 이용한 스테이지 구성을 나타내는 또 다른 도면.

도 22은 도 16의 게이트 구동회로의 도 11b의 회로를 이용한 스테이지 구성을 나타내는 도면.

도 23는 도 16의 게이트 구동회로의 도 11b의 회로를 이용한 스테이지 구성을 나타내는 다른 도면.

도 24는 도 16의 게이트 구동회로의 도 11b의 회로를 이용한 스테이지 구성을 나타내는 또 다른 도면.

도 25는 도 16의 게이트 구동회로의 도 11b의 회로를 이용한 스테이지 구성을 나타내는 또 다른 도면.

도 26은 도 16의 게이트 구동회로의 도 13b의 회로를 이용한 스테이지 구성을 나타내는 도면.

도 27는 도 16의 게이트 구동회로의 도 13b의 회로를 이용한 스테이지 구성을 나타내는 다른 도면.

도 28는 도 16의 게이트 구동회로의 도 13b의 회로를 이용한 스테이지 구성을 나타내는 또 다른 도면.

도 29는 도 16의 게이트 구동회로의 도 13b의 회로를 이용한 스테이지 구성을 나타내는 또 다른 도면.

<도면의 주요 부분에 대한 부호의 설명>

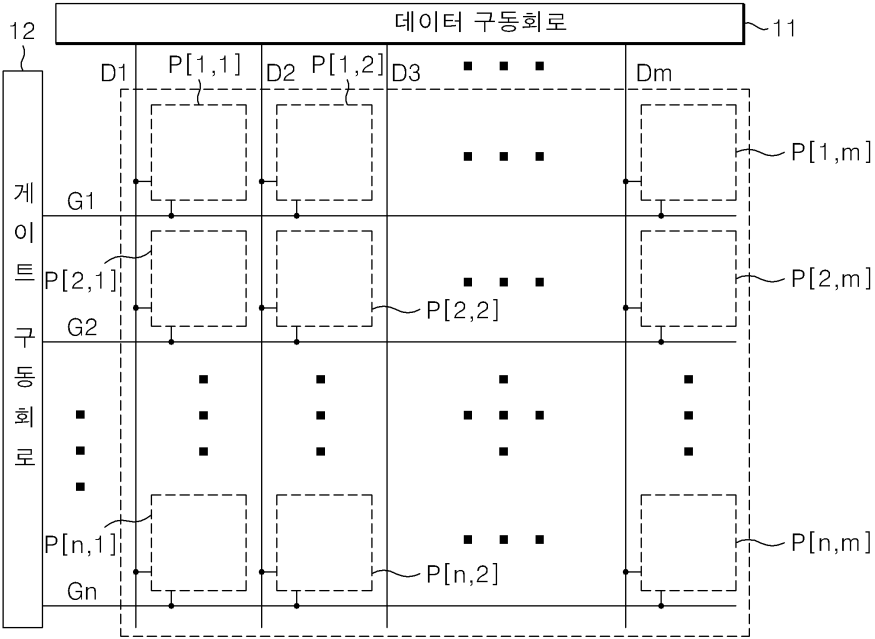
11, 101 : 데이터 구동회로 12, 102 : 게이트 구동회로

13, 103 : OLED 패널 D1, D2, ... Dm : 데이터 라인

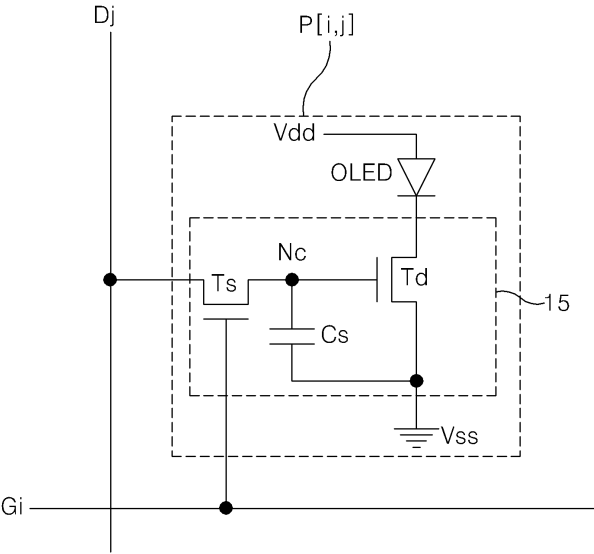
G1, G2, ... Gn : 게이트 라인 15, 105 : OLED 구동회로

도면

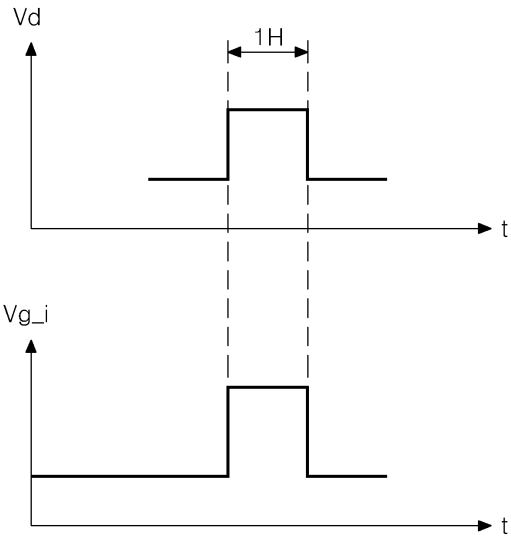
도면1



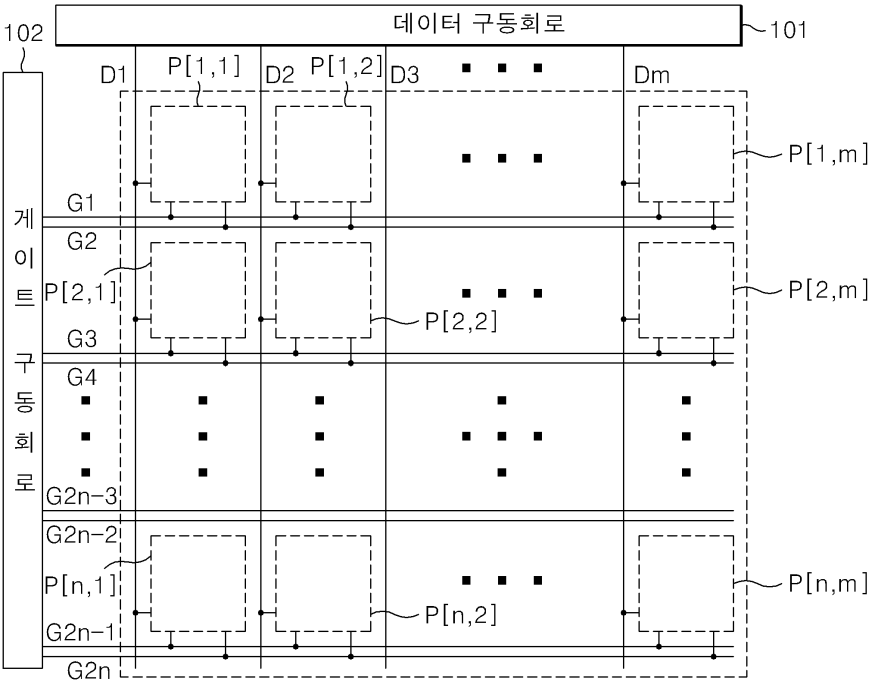
도면2



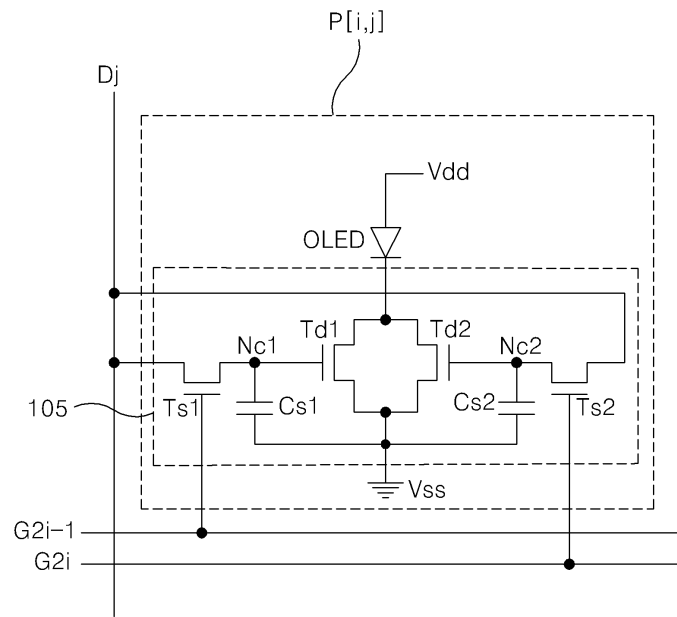
도면3



도면4

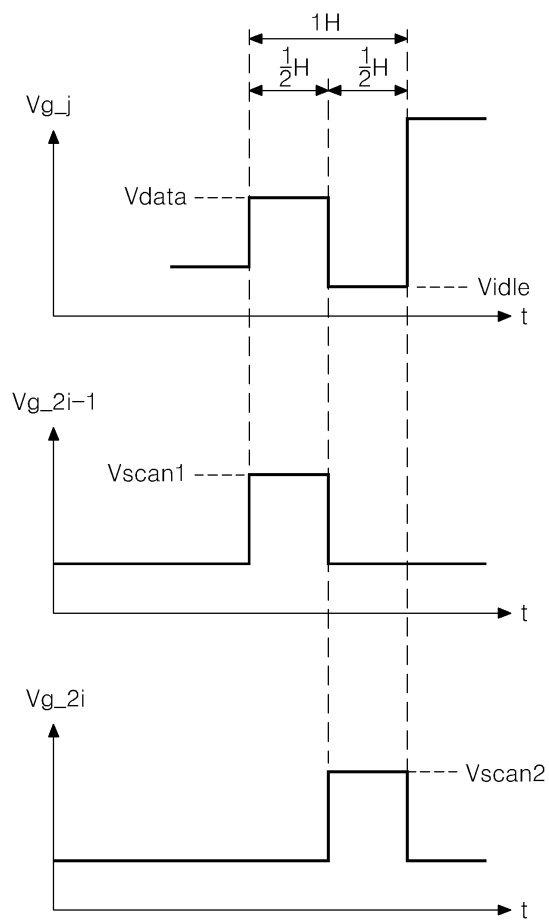


도면5



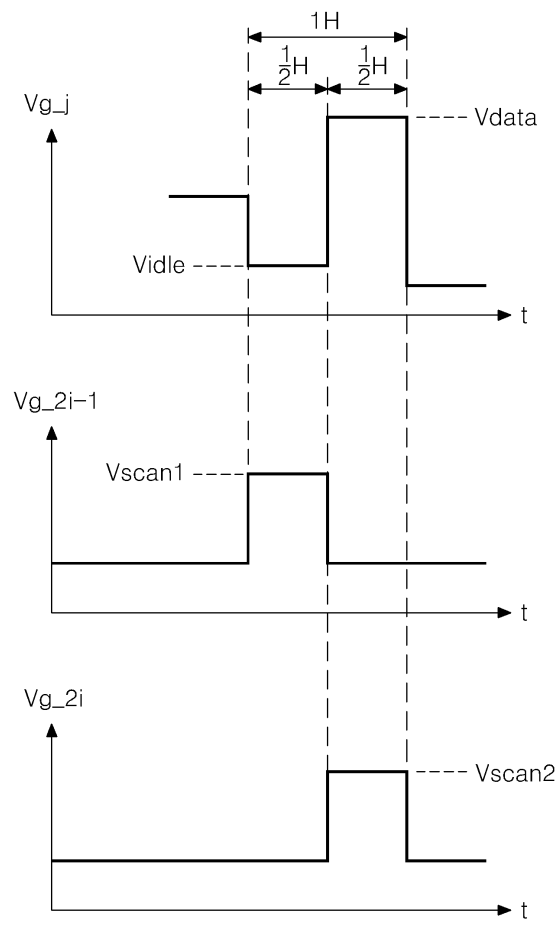
도면6a

오드 프레임

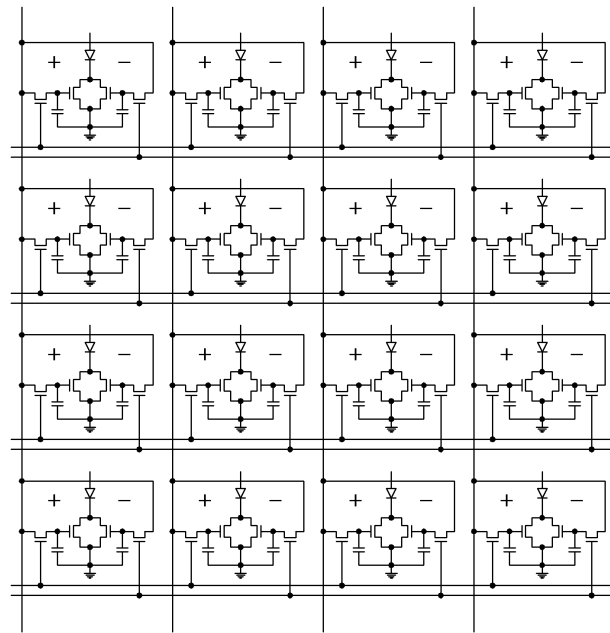


도면6b

이븐 프레임

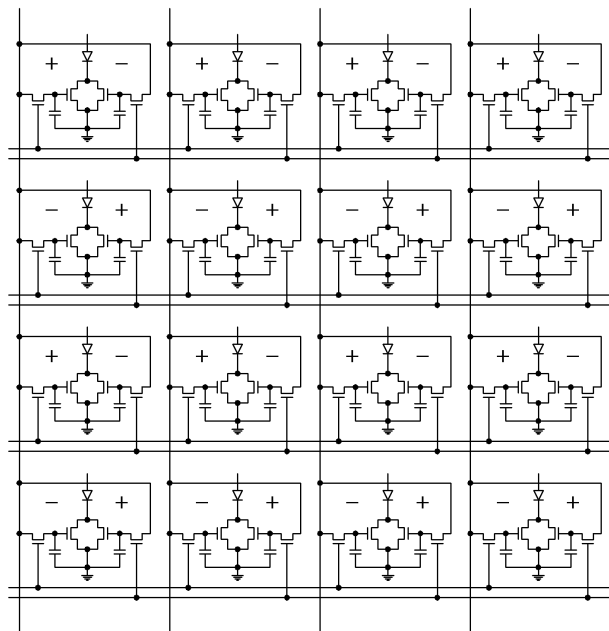


도면7a



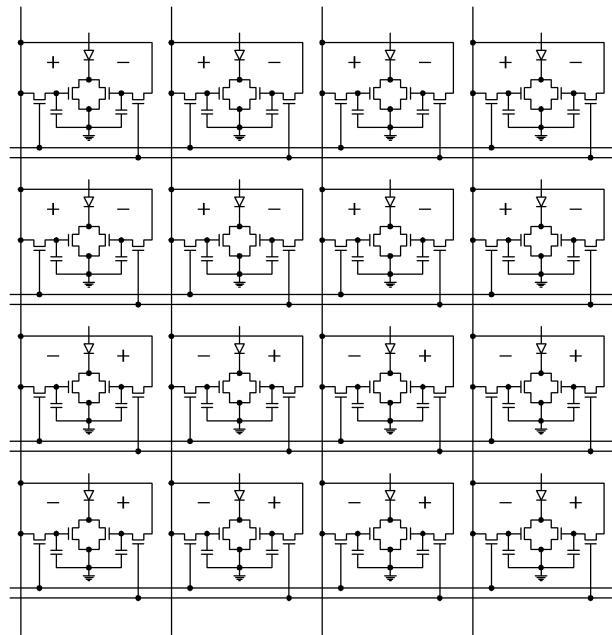
+ : 구동 전압
- : 아이들링 전압

도면7b



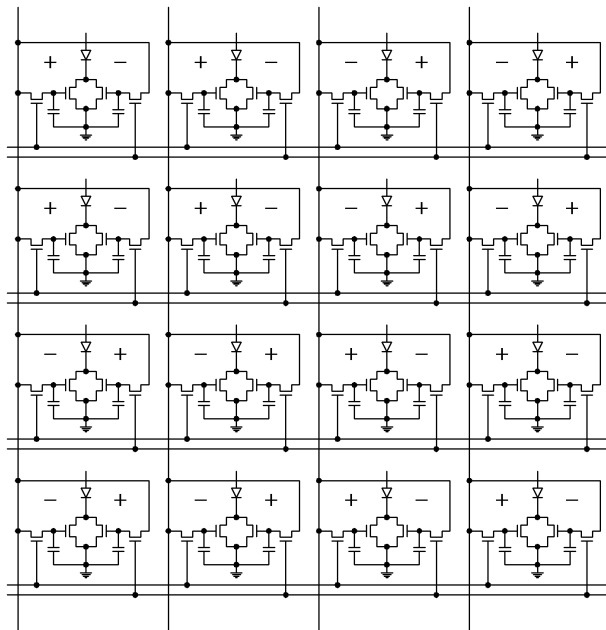
+ : 구동 전압
- : 아이들링 전압

도면7c



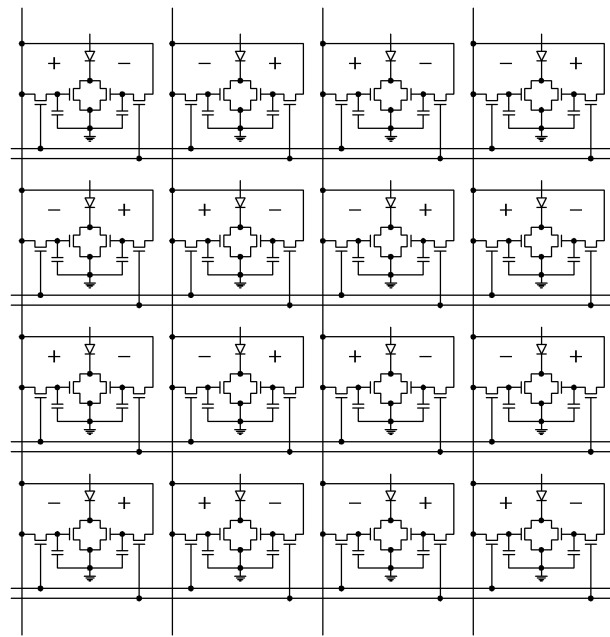
+ : 구동 전압
- : 아이들링 전압

도면7d



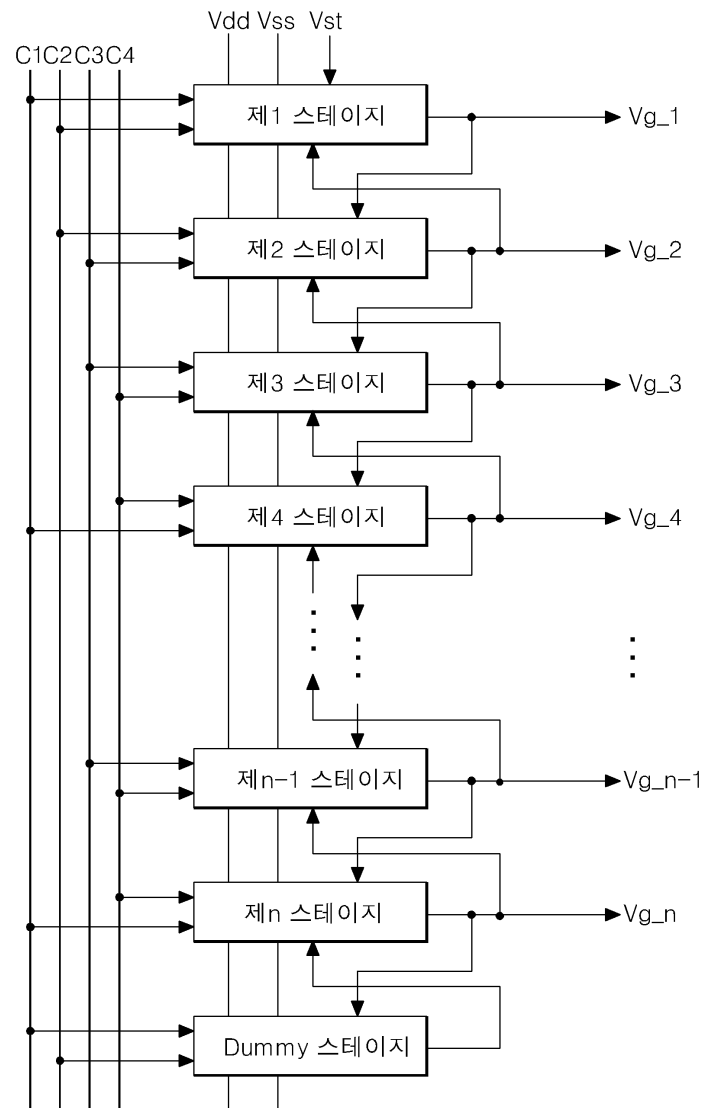
+ : 구동 전압
- : 아이들링 전압

도면7e

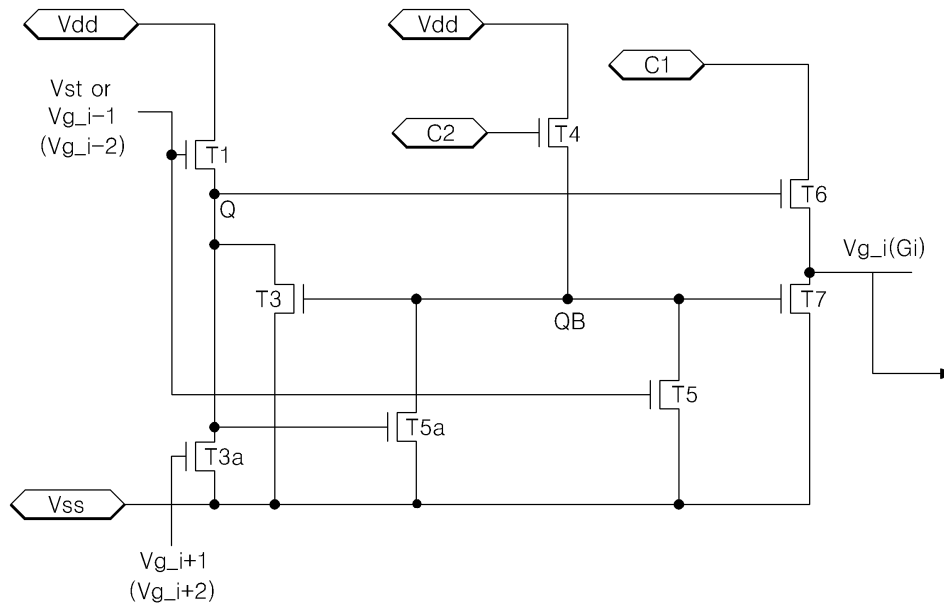


+ : 구동 전압
- : 아이들링 전압

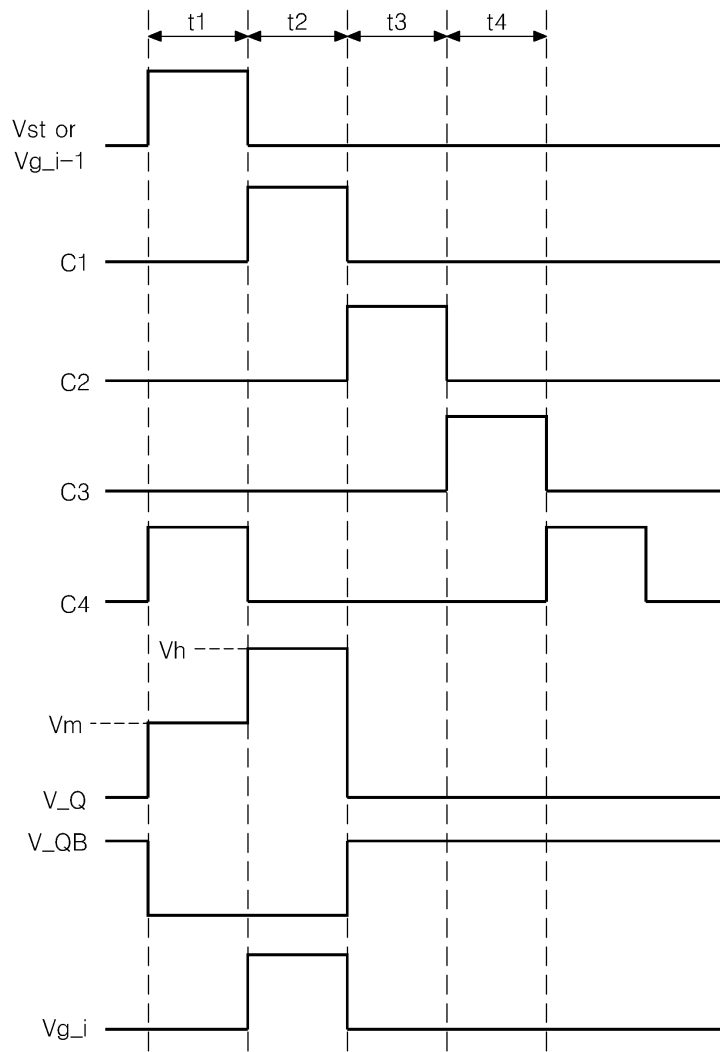
도면8



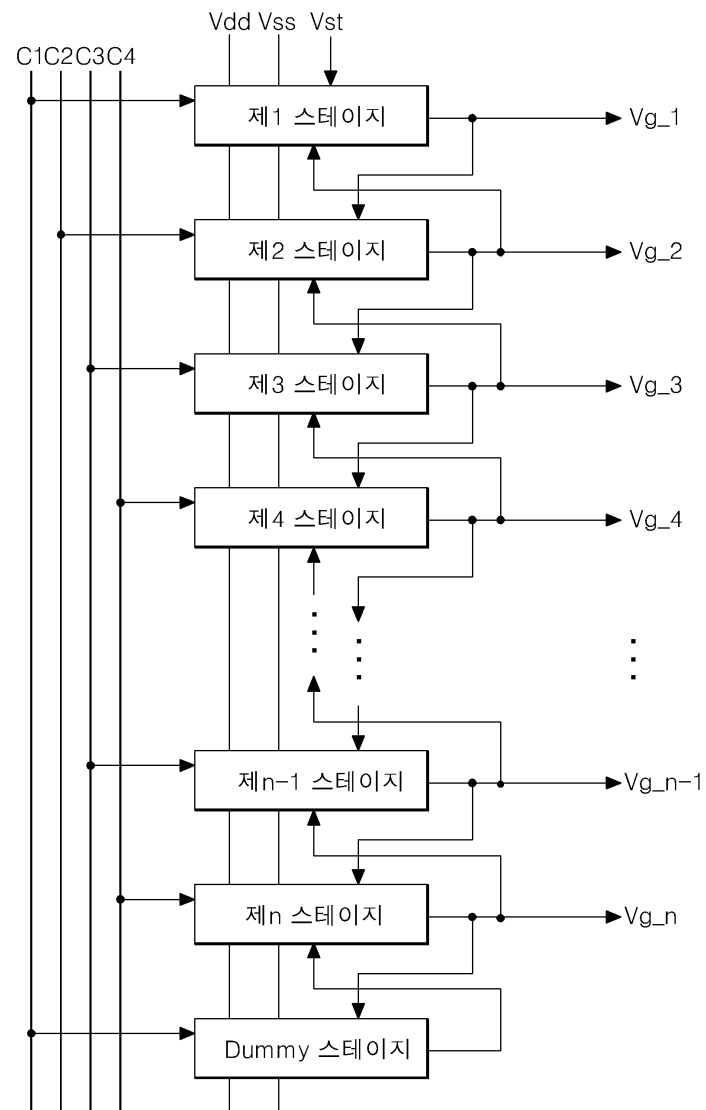
도면9



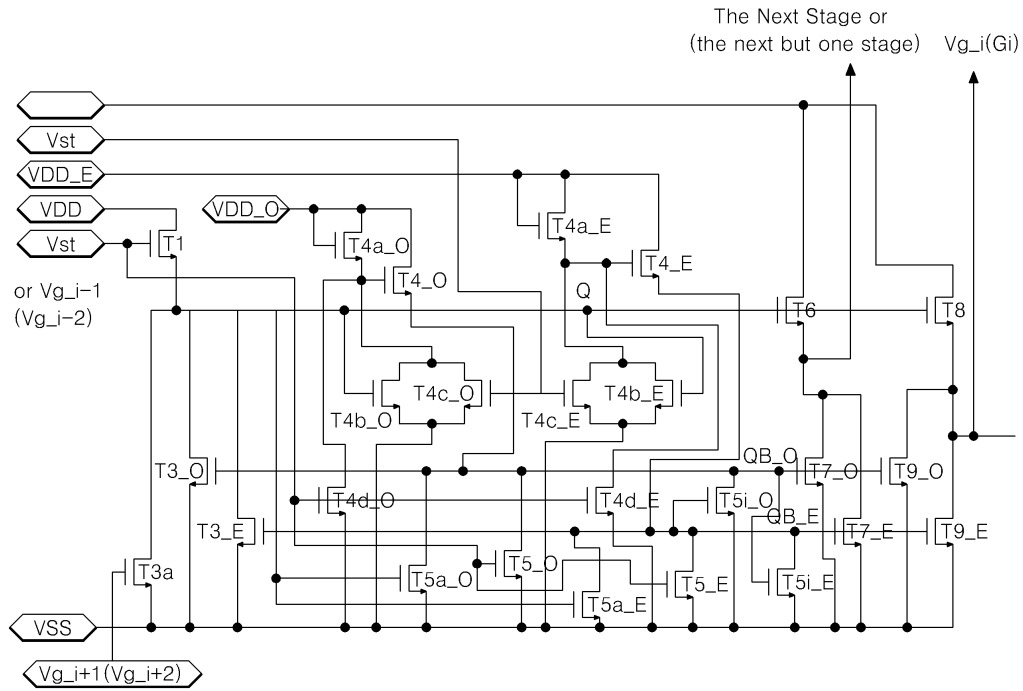
도면10



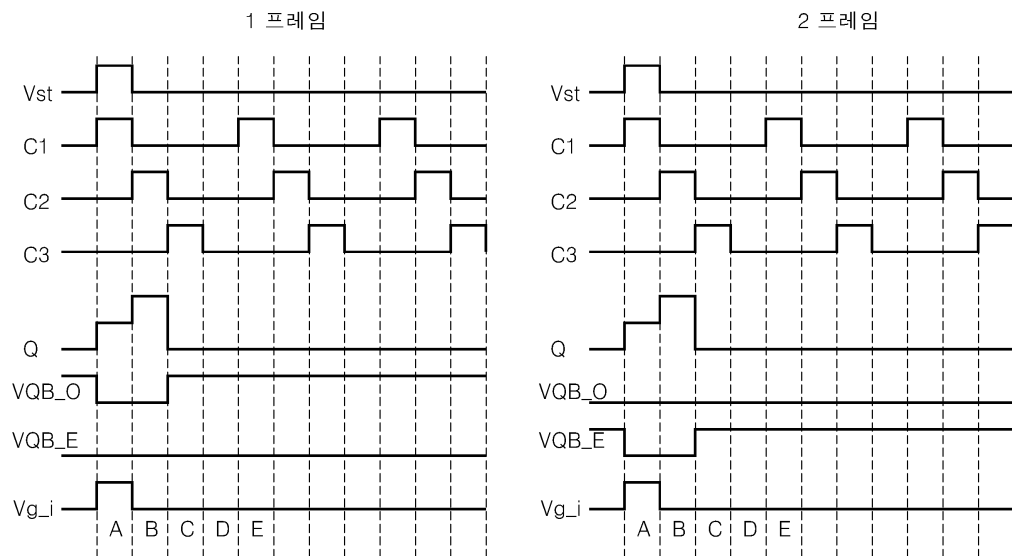
도면11a



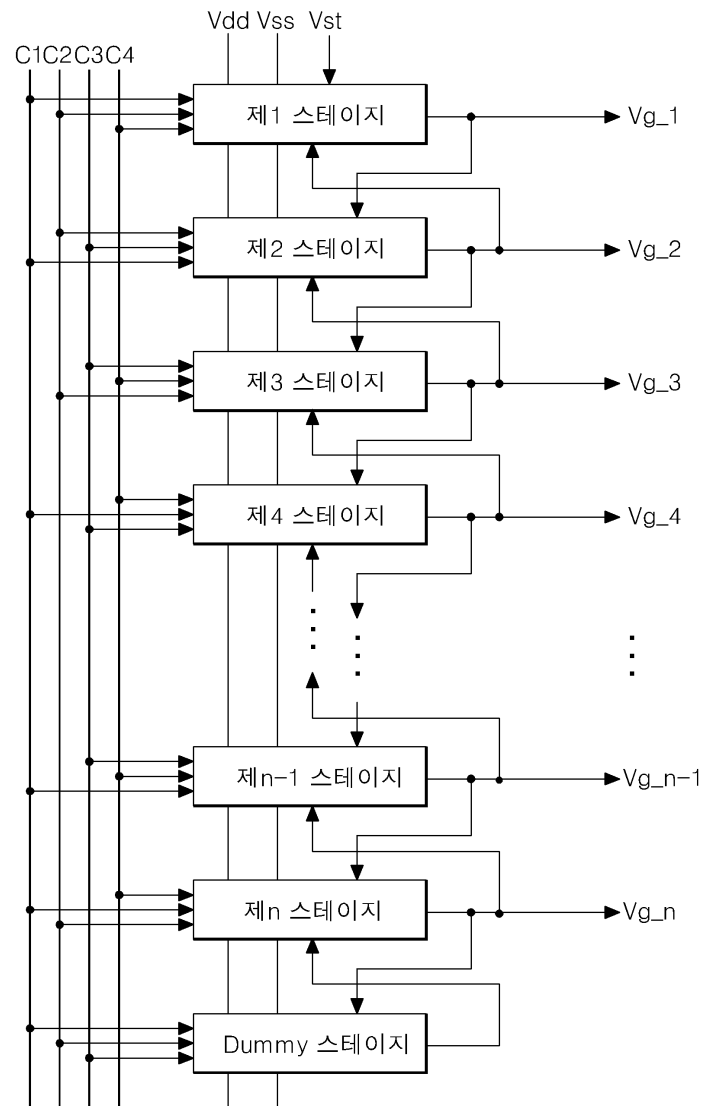
도면11b



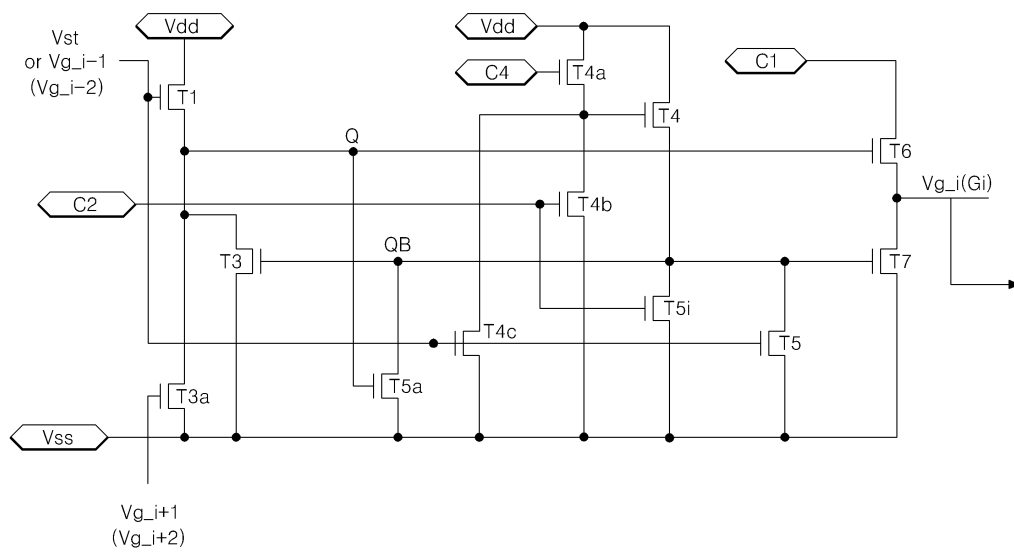
도면12



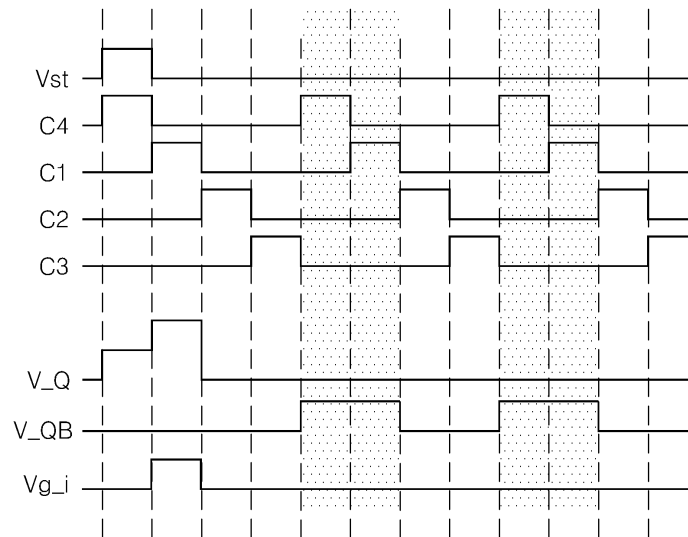
도면13a



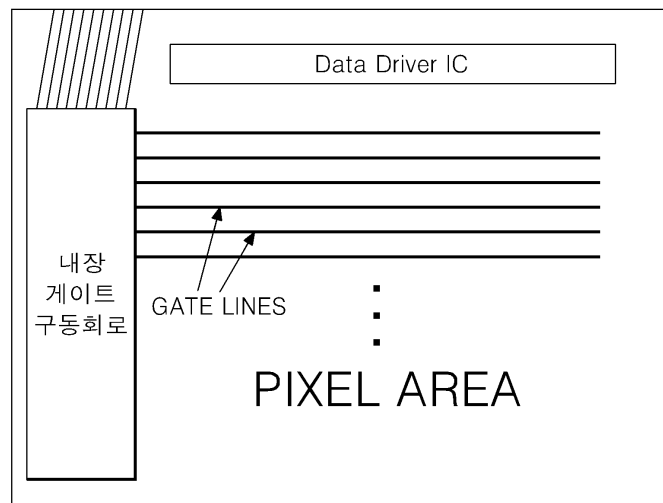
도면13b



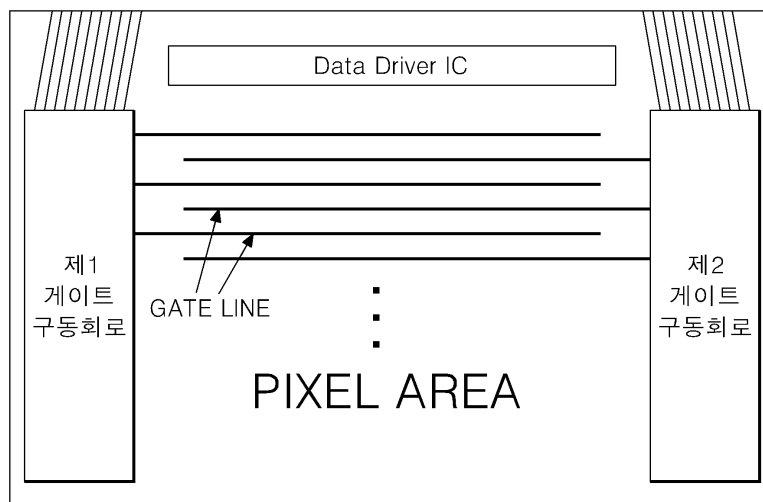
도면14



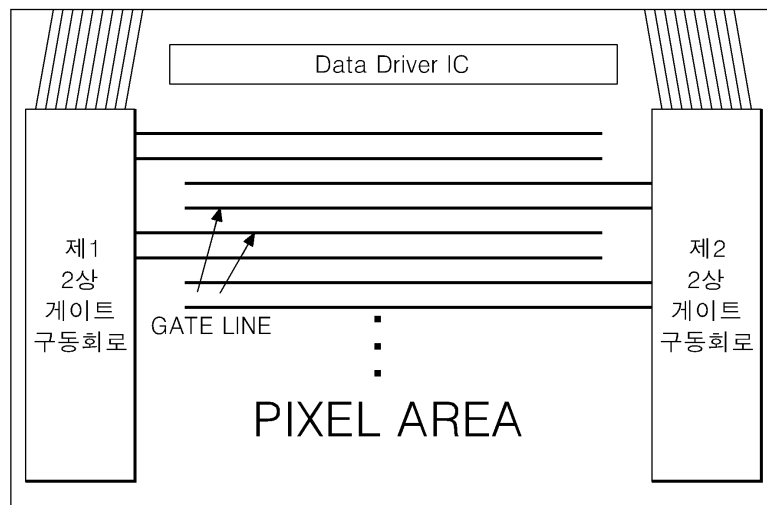
도면15



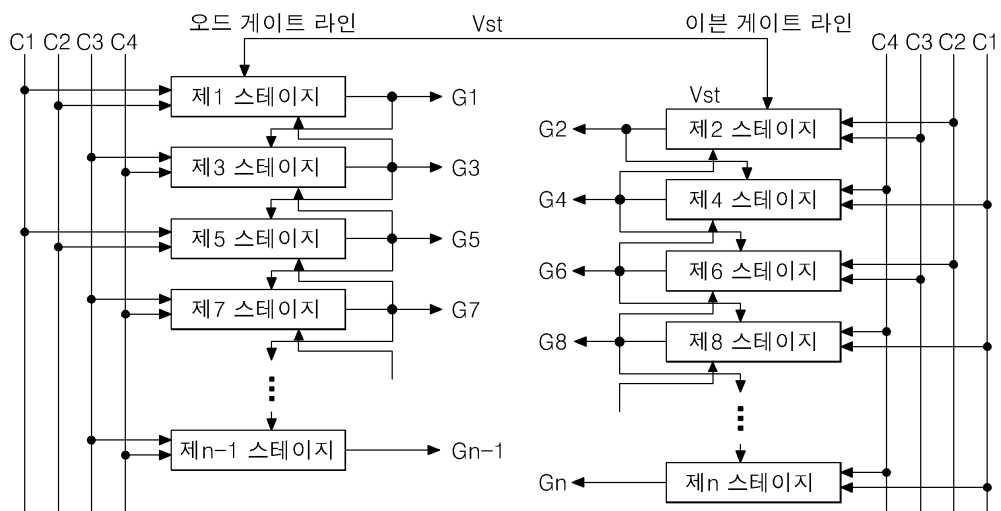
도면16



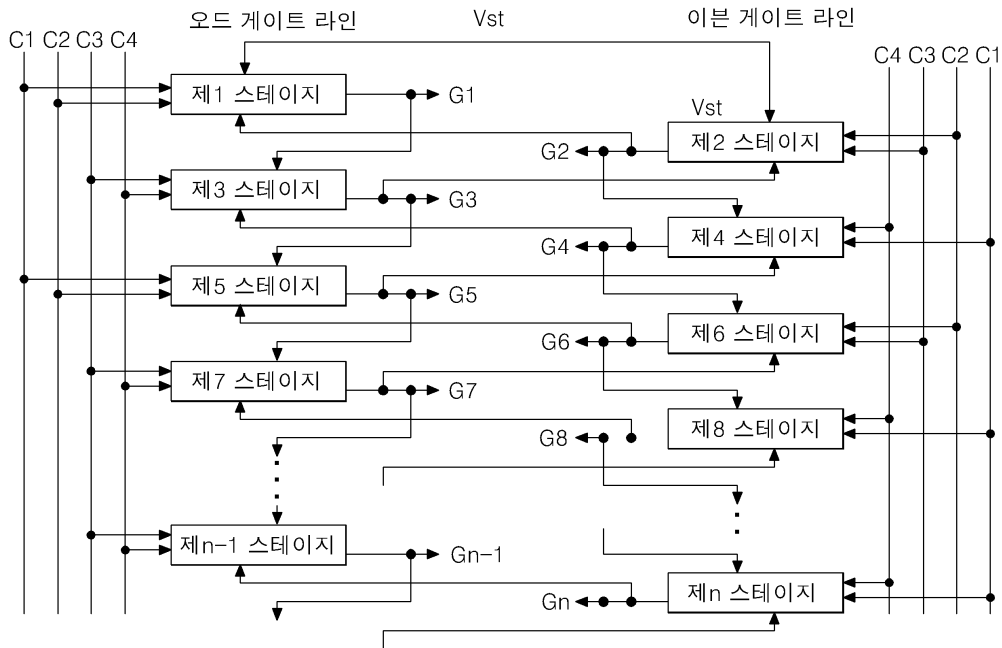
도면17



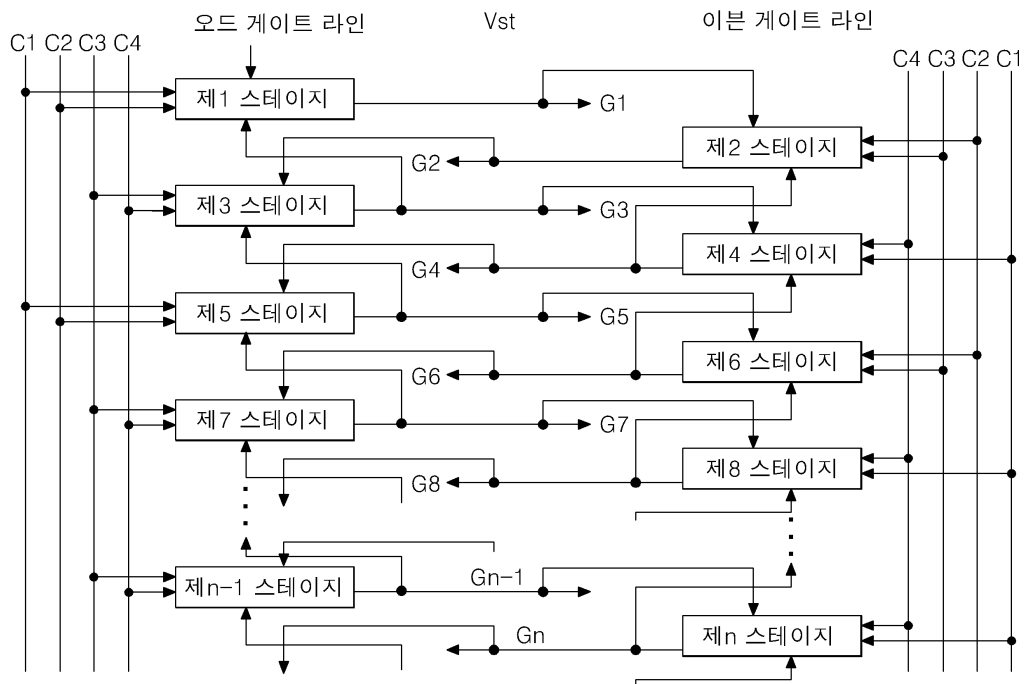
도면18



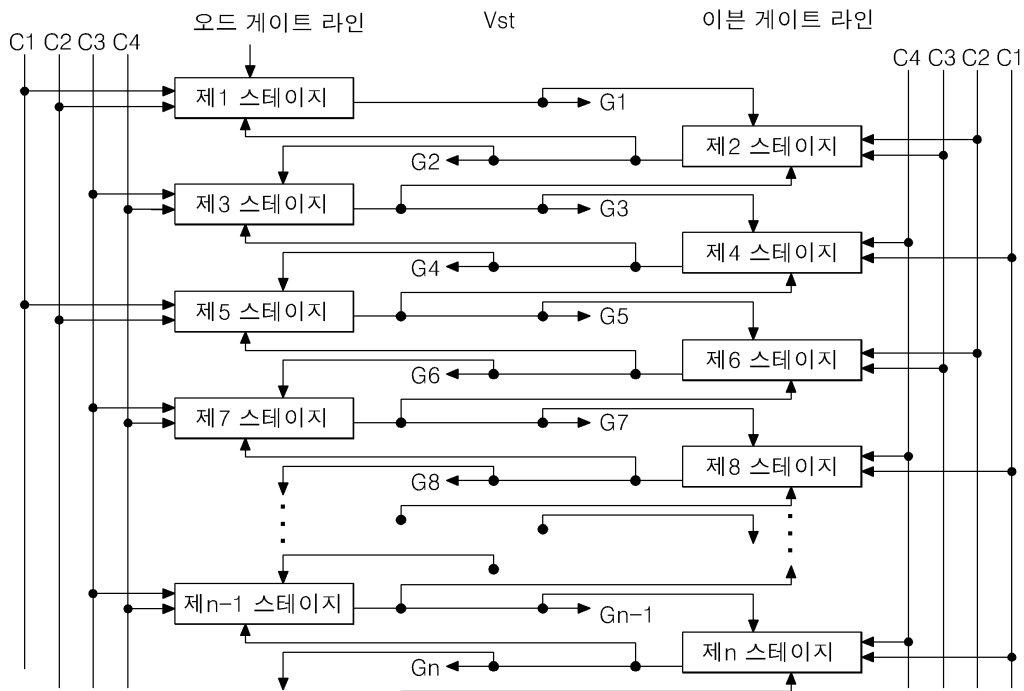
도면19



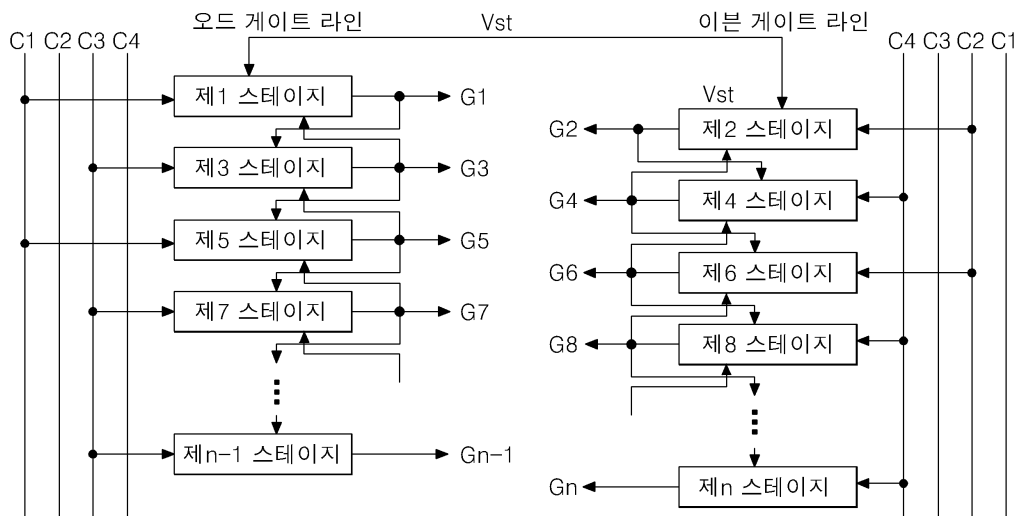
도면20



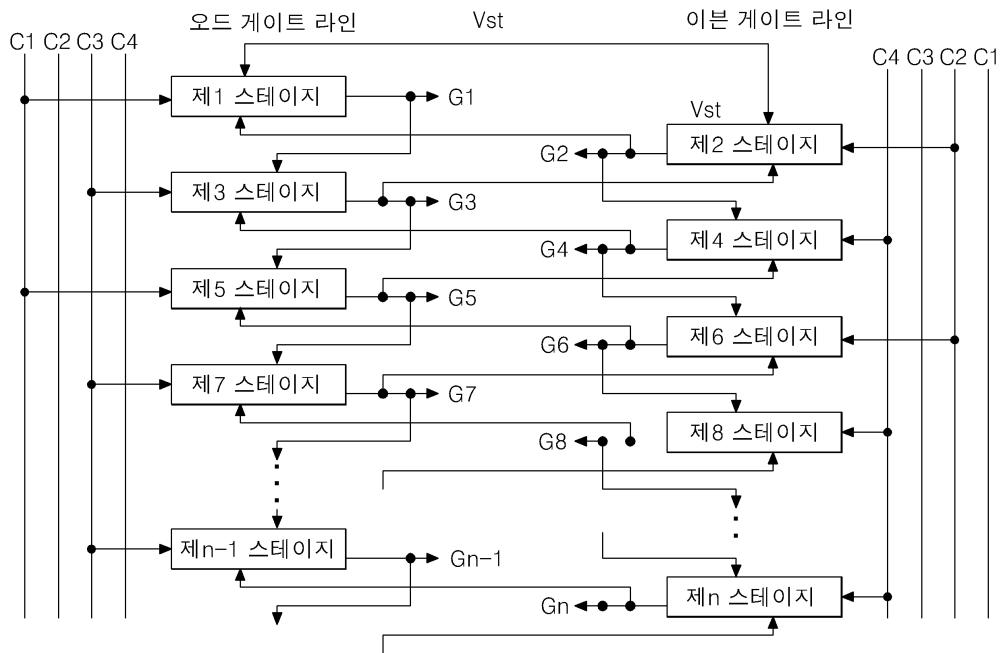
도면21



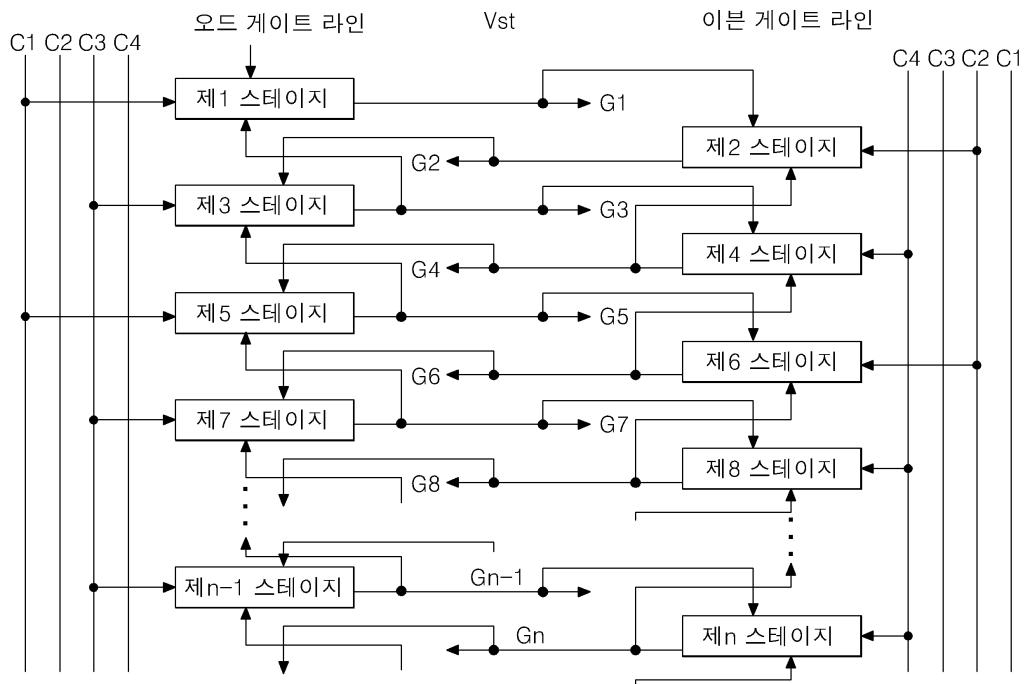
도면22



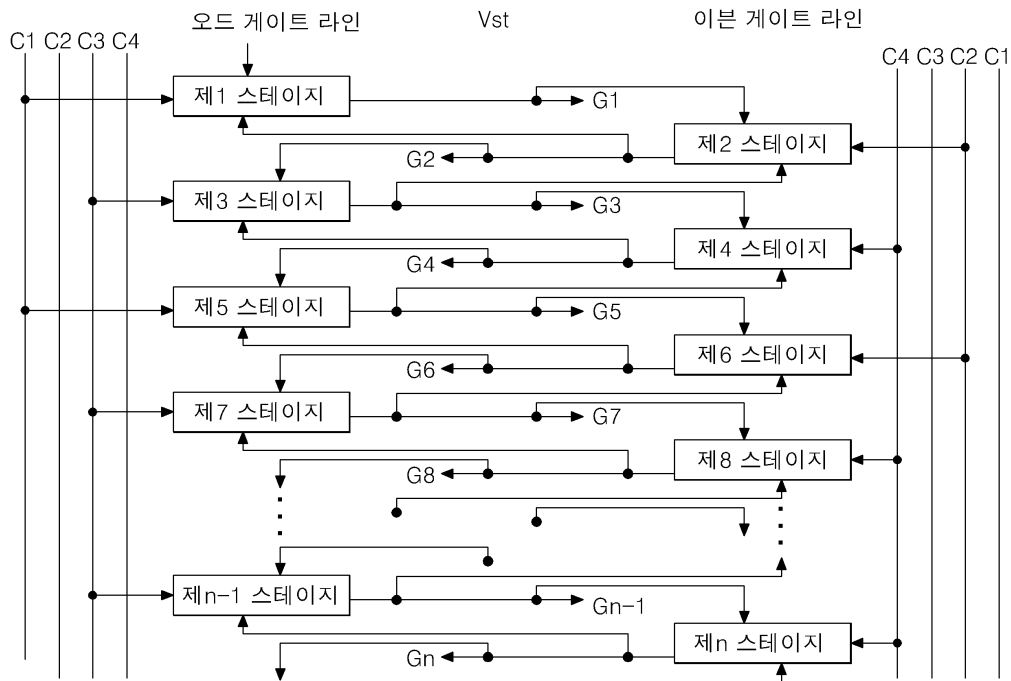
도면23



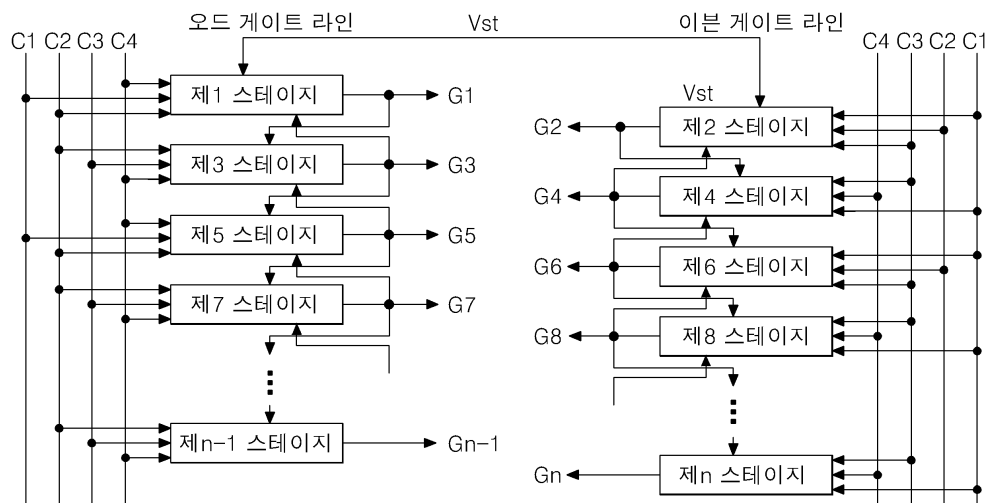
도면24



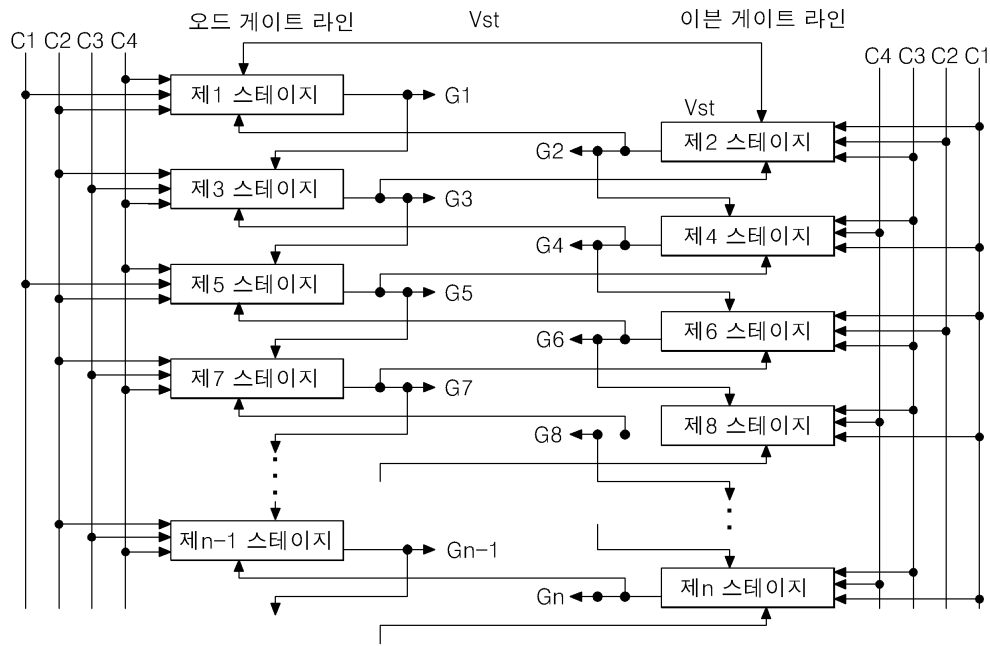
도면25



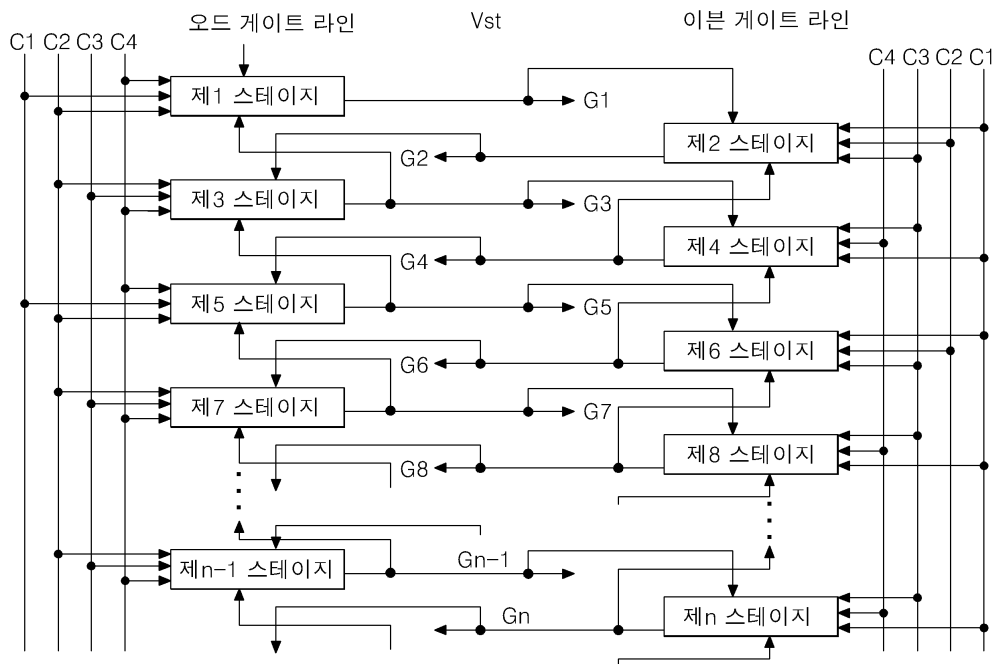
도면26



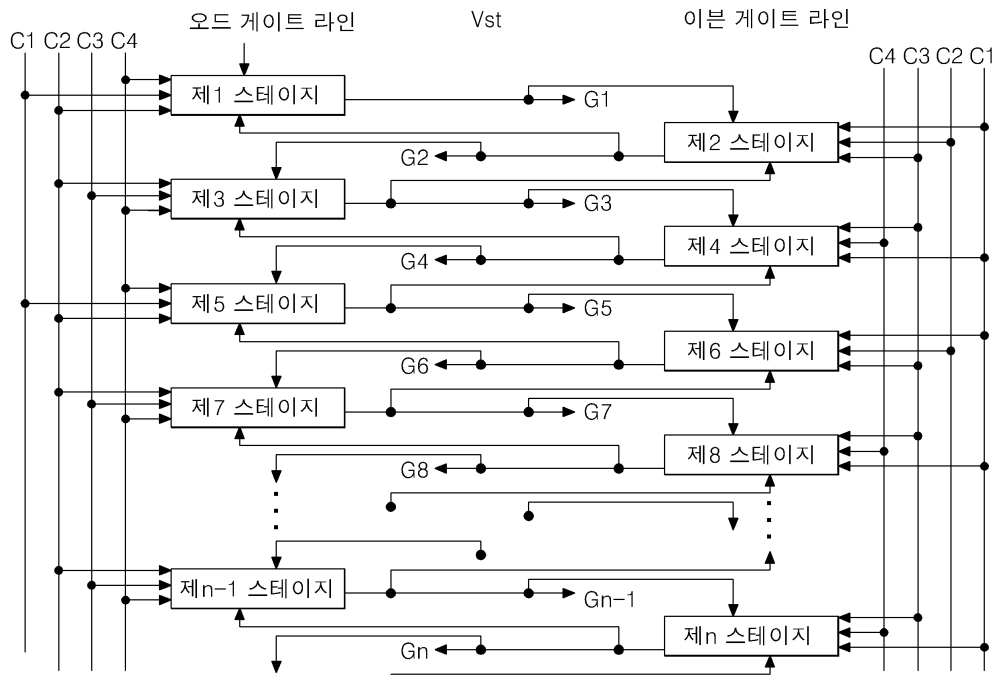
도면27



도면28



도면29



专利名称(译)	有机发光二极管驱动电路和使用其的有机发光二极管显示装置		
公开(公告)号	KR1020070002470A	公开(公告)日	2007-01-05
申请号	KR1020050058021	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN 김빈 JANG YONG HO 장용호		
发明人	김빈 장용호		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/325 G09G2310/0224 G09G2320/046		
其他公开文献	KR101147836B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光二极管显示装置，并包括栅极驱动电路，用于将扫描信号提供给数据驱动电路，用于向第二代理阳极提供数据信号，提供空载电压和栅极线。

