



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H05B 33/00 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호 10-2006-0121514

(43) 공개일자 2006년11월29일

(21) 출원번호 10-2005-0043743

(22) 출원일자 2005년05월24일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김도영
경기 수원시 영통구 영통동 벽적골8단지아파트 842-1104
타카시 노구치
경기 성남시 분당구 정자동 상록마을 우성아파트 321-502
권장연
경기 성남시 분당구 정자동 미켈란쉐르빌 D-3403
김종만
경기 성남시 수정구 태평2동 372번지
정지심
인천 남구 문학동 313번지 대청빌라 101호

(74) 대리인 리앤목특허법인
이해영

전체 청구항 수 : 총 9 항

(54) 유기발광 디스플레이 및 그 제조방법

(57) 요약

본 발명의 유기발광디스플레이는: 기관;과 기관에 매트릭스 상으로 배치되는 것으로, 스위칭 트랜지스터와 드라이빙 트랜지스터 및 OLED를 갖춘 다수 화소;를 구비한다. 스위칭 트랜지스터는 드라이빙 트랜지스터에 비해 낮은 이동도의 실리콘 채널을 갖는다. 낮은 이동도의 스위칭 트랜지스터에 전류누설이 억제되고 높은 이동도의 다결정 실리콘에 의해 고수명 고속구동이 가능하게 된다.

대표도

도 1

특허청구의 범위

청구항 1.

기관; 과 기관에 매트릭스 상으로 배치되는 것으로, 스위칭 트랜지스터와 드라이빙 트랜지스터 및 OLED를 갖춘 다수 화소; 를 구비하며,

상기 스위칭 트랜지스터는 드라이빙 트랜지스터에 비해 낮은 이동도의 실리콘 채널을 갖는 것을 특징으로 하는 유기발광 디스플레이.

청구항 2.

제 1 항에 있어서,

상기 스위칭 트랜지스터의 채널은 비정질 실리콘으로 형성되고, 그리고

상기 드라이빙 트랜지스터의 채널은 다결정 실리콘으로 형성되는 것을 특징으로 하는 유기발광 디스플레이.

청구항 3.

제 1 항에 있어서,

상기 기관은 유리 또는 플라스틱 기관인 것을 특징으로 하는 유기발광디스플레이.

청구항 4.

기관상에 다수 나란하게 배치되는 수직주사신호라인과;

수직주사신호라인에 직교하게 배치되는 수평구동신호라인과;

상기 수직-수평주사신호라인들에 의해 정의되는 화소 영역마다 마련되는 OLED; 상기 수직주사신호라인과 수평구동신호라인에 연결되어 OLED를 구동하는 반도체 회로부; 그리고 상기 반도체 회로부에 OLED 구동용 파워를 공급하는 파워공급라인을; 구비하며,

상기 반도체 회로부는 낮은 이동도의 제1실리콘 채널을 갖는 스위칭 트랜지스터와 상대적으로 높은 이동도의 제2실리콘 패턴을 갖는 드라이빙 트랜지스터를 구비하는 것을 특징으로 하는 유기발광디스플레이.

청구항 5.

제 4 항에 있어서,

상기 스위칭 트랜지스터는 비정질 실리콘 채널을 구비하며, 그리고

상기 드라이빙 트랜지스터는 다결정 실리콘 채널을 구비하는 것을 특징으로 하는 유기발광 디스플레이.

청구항 6.

제 4 항 또는 제 5 항에 있어서,

상기 기관은 유리 또는 플라스틱 기관인 것을 특징으로 하는 유기발광 디스플레이.

청구항 7.

기관상에 매트릭스 상으로 배열되는 것으로 스위칭 트랜지스터, 드라이빙 트랜지스터 및 OLED를 각각 포함하는 다수의 화소가 형성되어 있는 유기발광디스플레이의 제조방법에 있어서,

상기 기관상에 비정질 실리콘 형성단계;

상기 비정질 실리콘을 국부적으로 다결정화하여 상기 각 화소의 스위칭 트랜지스터와 드라이빙 트랜지스터를 형성하기 위한 비정질 실리콘 영역과 다결정 실리콘 영역을 형성하는 단계;

상기 비정질 실리콘 및 다결정 실리콘을 이용하여 각 화소의 스위칭 트랜지스터 및 드라이빙 트랜지스터를 포함하는 반도체 회로부를 제조하는 단계; 그리고

상기 반도체 회로부 위에 유기발광층을 포함하는 OLED 제조단계; 를 포함하는 것을 특징으로 하는 유기발광 디스플레이의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 기관은 플라스틱 또는 유기 기관인 것을 특징으로 하는 유기발광 디스플레이의 제조방법.

청구항 9.

제 7 항 또는 제 8 항에 있어서,

상기 비정질 실리콘의 국부적 다결정화는 ELA에 의해 수행하는 것을 특징으로 하는 유기발광 디스플레이의 제조방법.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 액티브 매트릭스 TFT 유기발광 디스플레이 및 그 제조방법{Active Matrix TFT organic light emitting display and Fabrication method thereof}에 관한 것이다.

유기 발광 다이오드(OLED)를 이용하는 능동형 컬러 화상 표시 장치는 각 화소가 아날로그 화상 신호를 샘플링하는 스위칭(샘플링) 트랜지스터, 화상 신호를 유지하는 메모리 커패시터(memory capacitor) 및, 메모리 커패시터에 축적된 화상 신호 전압에 따라 OLED에 공급되는 전류를 제어하는 구동(드라이빙) 트랜지스터를 구성하는 2개의 트랜지스터와 1개의 커패시터(capacitive element)로 이루어진 회로가 가장 일반적으로 이용되고 있다. 이것은 소위 2T(two transistors)-1C(one capacitor)의 구조로서 그러한 회로 구성의 예가 일본 특허 공개공보 제2002-156923호에 개시되어 있다.

일반적으로 스위칭 트랜지스터와 드라이빙 트랜지스터의 채널은 비정질 실리콘 또는 다결정 실리콘으로 형성된다. 비정질 실리콘은 이동도가 낮고 고속 구동이 어려운 결점을 가지며, 특히 구동 트랜지스터의 대전류에 의해 급격한 품질저하(degradation)가 나타나기 때문에 수명이 짧은 단점이 있다.

다결정 실리콘은 이동도가 높고 그리고 대전류에 의한 품질 저하는 비정질 실리콘에 비해 현저히 낮기 때문에 선호된다. 그러나 다결정 실리콘의 단점을 결정경계(grain boundary)를 통한 전류 누설로 큰 오프 커런트(off-current)가 발생한다는 점이다.

또한, 다결정 실리콘의 또 하나의 결점은 균질성(uniformity)가 떨어지기 때문에 화소별 균일한 동작 특성을 얻기 어렵다. 이러한 균질성의 약점을 보상하기 위해 전압 프로그램 방식(Voltage program, Sarnoff, SID 98 참조), 전류 프로그램 방식(current program type, Sony, SID 01 참조) 등이 있다. 이외에도 다양한 형태의 보상 수단이 제안되고 있는데 이러한 보상 소자에 의해 회로가 복잡하고 따라서 제작 설계가 까다로울 뿐 아니라 오히려 이러한 보상소자에 의한 새로운 문제가 발생한다.

현재 OLED의 연구 과제는 전류누설이 적고 응답이 빠르면서도 구조가 단순한 OLED의 구동 회로의 개발이다.

발명이 이루고자 하는 기술적 과제

본 발명의 기술적 과제는 소비전력이 낮고 수명이 긴 유기발광디스플레이 및 그 제조방법을 제공하는 것이다.

발명의 구성

본 발명에 따른 유기발광디스플레이는 낮은 이동도의 제1실리콘 채널을 갖는 스위칭 트랜지스터와 상대적으로 높은 이동도의 제2실리콘 채널을 갖는 드라이빙 트랜지스터를 갖춘다.

본 발명에 따른 유기발광디스플레이의 구체적인 유형은: 기판상에 다수 나란하게 배치되는 수직주사신호라인과;

수직주사신호라인에 직교하게 배치되는 수평구동신호라인과;

상기 수직주사신호라인과 수평구동신호라인들에 의해 정의되는 화소 영역마다 마련되는 OLED; 상기 수직주사신호라인과 수평구동신호라인에 연결되어 OLED를 구동하는 반도체 회로부; 그리고 상기 반도체 회로부에 OLED 구동용 파워를 공급하는 파워공급라인을; 구비하며,

상기 반도체 회로부는 낮은 이동도의 제1실리콘 채널을 갖는 스위칭 트랜지스터와 상대적으로 높은 이동도의 제2실리콘 채널을 갖는 드라이빙 트랜지스터를 구비한다.

상기 본 발명에 있어서, 상기 기판은 플라스틱 기판이며,

상기 반도체 회로부는:

상기 수직주사신호라인과 수평주사신호라인에 연결되는 비정질 실리콘 스위칭 트랜지스터와;

상기 OLED에 연결되는 다결정 실리콘 드라이빙 트랜지스터와;

상기 하나의 메모리 커패시터; 를 구비한다.

본 발명의 바람직한 실시 예에 따르면, 상기 플라스틱 기판상에 절연층이 형성되고, 상기 절연층 상에 반도체 회로부가 마련된다.

기판과, 기판상에 매트릭스 상으로 배열되는 것으로 스위칭 트랜지스터, 드라이빙 트랜지스터 및 OLED를 각각 포함하는 다수의 화소를 가지는 본 발명에 따른 유기발광디스플레이의 제조방법은:

기판상에 비정질 실리콘 형성단계;

상기 비정질 실리콘을 국부적으로 다결정화하여 상기 각 화소의 스위칭 트랜지스터와 드라이빙 트랜지스터를 형성하기 위한 비정질 실리콘 영역과 다결정 실리콘 영역을 형성하는 단계;

상기 비정질 실리콘 및 다결정 실리콘을 이용하여 각 화소의 스위칭 트랜지스터 및 드라이빙 트랜지스터를 포함하는 반도체 회로부를 제조하는 단계; 그리고

상기 반도체 회로부 위에 유기발광층을 포함하는 OLED 제조단계를 포함한다.

이하 첨부된 도면을 참조하면서 본 발명에 따른 유기발광디스플레이에 대해 간단히 살펴본다.

도 1은 본 발명에 따른 디스플레이 장치의 개략적 구조를 보이는 등가 회로도이며, 도 2는 각 화소의 레이아웃을 보인다.

디스플레이 소자(1)는 플라스틱 기판(11)을 베이스 패널로 이용한다. 기판(11) 상에는 다수 나란한 수직주사신호라인(Xs, 이하 X 라인)과 역시 다수 나란한 수평구동신호 라인(Ys, 이하 Y 라인)이 상호 직교하는 방향으로 배치되어 매트릭스 구조를 형성한다. Z 라인(Zd)은 상기 Y 라인(Ys)에 소정간격을 두고 이와 나란하게 배치된다. 상기 X 라인(Xs)과 Y 라인(Yd) 및 Z 라인(Zd) 들에 의해 에워 쌓인 영역에 화소(pixel)가 마련된다.

상기 X 라인(Xs)은 수직주사신호가 인가되는 라인이며, Y 라인(Ys)은 영상신호인 수평구동신호가 인가되는 라인이다. 상기 X 라인(Xs)은 수직주사회로에 연결되며, Y 라인(Ys)은 수평구동회로에 연결된다. 상기 Z 라인(Zd)은 OLED 작동을 위한 전원 회로(Power Circuit)에 연결된다.

각 화소는 2 개의 트랜지스터(Q1, Q2)와 하나의 커패시터(Cm)를 구비한다. 각 화소에서 X 라인(Xs)과 Y 라인(Ys)에 스위칭 트랜지스터(Q1)의 소스와 게이트가 연결되고 드레인은 드라이빙 트랜지스터(Q2)의 게이트에 접속된다. 상기 스위칭 트랜지스터(Q1)의 작동에 의해 인가되는 전하를 축적하여 각 화소별 이미지 정보를 메모리 하는 메모리 커패시터(Cm)는 드라이빙 트랜지스터(Q2)의 게이트와 소스에 병렬 접속된다. 드라이빙 트랜지스터(Q2)의 드레인은 OLED의 애노드가 연결된다. 그리고 OLED의 캐소드(K)는 전체 화소가 공유하는 공통 전극에 해당한다. 여기에서 상기 스위칭 트랜지스터는 n형 TFT이며, 드라이빙 트랜지스터(Qd)는 p형 TFT이다.

위와 같은 구조의 유기발광소자에 있어서, 본 발명의 특징에 따라 상기 스위칭 트랜지스터(Q1)는 낮은 이동도의 실리콘, 예를 들어 비정질 실리콘 트랜지스터, 그리고 상기 드라이빙 트랜지스터(Q2)는 상대적으로 높은 이동도의 다결정 실리콘 트랜지스터이다. 여기에서 낮은 이동도의 스위칭 트랜지스터(Q1)는 비정질 실리콘 외에 국부적으로 다결정이 일부 혼재하는 실리콘 채널을 갖출 수 있다. 그리고 드라이빙 트랜지스터(Q2)는 스위칭 트랜지스터(Q1)에 비해 높은 예를 들어 순수한 다결정 실리콘, 또는 대부분의 다결정 실리콘에 일부 비정질 실리콘이 혼재하는 실리콘 채널을 가질 수 있다.

본 발명에서 스위칭 트랜지스터의 채널은 화소의 스위칭에 필요한 최소의 응답성을 위한 낮은 이동도를 가지며, 이러한 낮은 이동도는 오프 커런트를 억제하여 전류의 누설에 의한 전력 손실을 감소할 수만한다. 오프 커런트를 줄이기 위해 CMOS에서 채널의 양측에 LDD(lightly doped drain) 영역을 두는 방법이 알려져 있으나 이는 LDD 마스크 및 LDD 영역을 형성하기 위한 추가 공정이 필요하다. 그리고 이러한 LDD 는 웨이퍼와 같이 열에 강한 기판을 이용하는 반도체 소자에 적용될 수 있고 플라스틱과 같은 열에 약한 기판에는 적용될 수 없다.

본 발명에 따르면, 판 재료로 열에 약한 유리나 플라스틱이 이용되며, 이러한 기판 위에 LDD 공정이 필요없는 비정질 실리콘 스위칭 트랜지스터 및 다결정 실리콘 드라이빙 트랜지스터가 형성된다. 지금까지 연구되어온 유기발광디스플레이가 비정질 실리콘 또는 다결정 실리콘 중 어느 하나의 재료만을 이용하는 반면에 본 발명은 낮은 이동도를 가짐으로써 오프-커런트를 줄일 수 있는 비정질 실리콘과 높은 이동도를 가짐으로써 빠른 응답성과 긴 수명을 가지는 다결정 실리콘을 복합적으로 이용하는 점에 특징이 있다.

도 2를 참조하면, 도 2의 좌우에 Y 라인과 Z 라인이 나란하게 배치되고 이에 직교하는 방향으로 X 라인이 배치된다. X 라인(Xs)과 Y 라인(Yd) 교차부분에 비정질 실리콘 스위칭 트랜지스터(Q1)가 위치하고, X 라인과 Z 라인의 교차부 가까이에 다결정 실리콘 드라이빙 트랜지스터(Q2) 배치된다. 스위칭 트랜지스터(Q1)와 드라이빙 트랜지스터(Q2)의 사이에는 메모리 커패시터(Cm)가 배치된다. 상기 메모리 커패시터(Cm)의 일측 전극(Cma)은 상기 Z 라인(Zd)으로 부터 연장되는 부분이며, 타측 전극(Cmb)은 스위칭 트랜지스터(Q1)의 드레인(Q1d)과 드라이빙 트랜지스터(Q2)의 게이트(Q2g)와 일체적으로 형성된다. 스위칭 트랜지스터(Q1)의 게이트(Q1g)는 S 라인(Xs)으로 부터 연장되는 부분이다.

도 2의 A - A' 선 단면을 보이는 도 3을 참조하면, 플라스틱 또는 유리 기판(11)에 SiO₂ 등의 절연물질로 된 버퍼층(12)이 형성되고, 이 위에 스위칭 트랜지스터(Q1)가 형성된다. 스위칭 트랜지스터(Qs)는 버퍼층(12)위에 형성되는 소스(Q1s), 채

널(Q1c) 및 드레인(Q1d)을 갖는 비정질 실리콘(amorphous crystalline silicon) 층과 그 위의 SiO₂ 등에 의한 제1절연층(13, Insulator) 및 게이트(Q1g)를 구비한다. 스위칭 트랜지스터(Q1) 위에는 SiO₂ IMD(intermetal dielectric, 14)가 형성되고 이 위에 금속에 의한 소스 전극(Q1se), 드레인 전극(Q1de)이 형성된다. 이들 전극(Q1se, Q1de)은 그 하부는 IMD(17)에 형성되는 관통공을 통해 하부의 소스(Q1s)와 드레인(Q1d)에 전기적으로 접속된다. 이들 전극 및 메모리 커패시터의 상부전극(Cmb), 상기 Z 라인(Zd)는 Mo/Al/Mo 또는 Ti/Al-Cu 합금/Ti의 적층구조를 가질 수 있다. 상기 스위칭 트랜지스터(Q1)의 게이트(Q1g)는 전술한 X 라인(Xs)으로 부터 연장되는 것으로 텅스텐 등에 의해 형성된다.

메모리 커패시터(Cm)의 유전층은 상기 IMD(14)의 일부이며 하부 전극(Cma)은 전술한 바와 같이 다결정 실리콘 드라이빙 트랜지스터(Q2)의 게이트와 일체적으로 텅스텐으로 형성된다.

상기 Z라인(Zd) 이와 일체적으로 형성되는 상부 전극(Cmb), 소스 및 드레인 전극(15, 16)의 위에는 제2, 3절연층(17, 18)이 형성되고, 이 위에는 HTL(정공수송층(HTL), OLED의 캐소드로서의 공통전극(K) 그리고 제4절연층(19)이 마련된다. 상기 제4절연층(19)의은 OLED를 보호하는 패시베이션층이다.

도 2의 B-B 선 단면도를 보이는 도 4는 드라이빙 트랜지스터(Q2)와 OLED의 전체 적층구조를 보인다.

상기 기판(11) 상의 버퍼층(12)이 형성되고, 이 위에 스위칭 트랜지스터(Q1)와 동시에 형성되는 드라이빙 트랜지스터(Q2)가 형성된다. 드라이빙 트랜지스터(Q2)의 실리콘층은 다결정 실리콘으로 스위칭 트랜지스터(Qs) 제작시 이용된 실리콘층과 동시에 형성된 후 별도의 어닐링에 의해 다결정화 된 것이다. 다결정 실리콘은 소스(Q2s), 채널(Q2c) 및 드레인(Q2d)을 포함하며, 그 위의 SiO₂ 등에 의한 제1절연층(13, Insulator) 및 게이트(Q2g)를 구비한다. 게이트(Q2g)는 전술한 바와 같이 메모리 커패시터(Cm)의 상부 전극(Cmb)과 텅스텐 등으로 일체적으로 형성된다.

다결정 드라이빙 트랜지스터(Q2) 위에는 스위칭 트랜지스터(Q1)를 덮는 SiO₂ IMD(intermetal dielectric, 14)가 형성되고 이 위에 금속에 의한 소스 전극(Q2se), 드레인 전극(Q2de)이 형성된다. 이들 전극(Q2se, Q2de)은 그 하부는 IMD(17)에 형성되는 관통공을 통해 하부의 소스(Q2s)와 드레인(Q2d)에 전기적으로 접속되며, 그 위에는 제2, 3절연층(17, 18)이 형성된다.

상기 제3절연층(18)위에 정공수송층(HTL)이 마련되고 이 위의 소정영역에 발광층(EM), 전자수송층(ETL)이 형성되고 이 위에 캐소드인 공통전극(K)이 형성된다. 상기 공통전극(K) 위에는 전술한 제4절연층(19)이 형성된다. 한편, 제2, 3 전극의 사이에는 상기 드레인 전극(Q2de)에 연결되며 상기 OLED의 하부에 위치하는 애노드(An)가 마련된다. 애노드(An)는 제3절연층(18)에 형성된 윈도우(18a)에 의해 상기 정공수송층(HTL)에 물리적으로 접촉되어 전기적으로 연결된다.

전술한 구조의 전계발광디스플레이의 레이아웃은 실현 가능한 본 발명의 구체적인 한 예로서 이러한 레이아웃 및 이의 수정은 본 발명의 기술적 범위를 제한하지 않는다.

이러한 본 발명의 전계발광디스플레이는 플라스틱 등 열에 약한 기판 위에 전류누설이 적으면서도 수명이 긴 OLED 구동용 반도체 회로부를 가지는 점에 특징이 있다.

이러한 본 발명에 따른 전계발광디스플레이의 제조방법은 다음과 같다.

도 5a 내지 도 5p는 본 발명에 따른 반도체 회로부의 제조공정을 도시한다. 도 5a에 도시된 바와 같이, 유리 또는 플라스틱 기판(11) 위에 SiO₂ 버퍼층(12)을 CVD 법 등에 의해 형성한다. 도 5a 내지 5p는 유기발광디스플레이의 단위 화소에 해당하는 부분을 일부 보인다.

도 5b에 도시된 바와 같이, 상기 버퍼층(12) 위에 비정질 실리콘(a-Si)을 형성한다.

도 5c에 도시된 바와 같이 마스크(미도시)를 이용한 ELA(Excimer Laser Annealing)에 의해 상기 비정질 실리콘(a-Si)에 대해 선택적 어닐링(selective annealing)을 수행하여 드라이빙 트랜지스터가 형성된 부분의 비정질 실리콘(a-Si)을 다결정 실리콘(p-Si)으로 변환한다.

도 5d에 도시된 바와 같이, 상기 비정질 실리콘(a-Si)과 다결정 실리콘(p-Si)을 패터닝하여 스위칭 트랜지스터(Q1)와 드라이빙 트랜지스터(Q2)에 이용될 실리콘 아일랜드를 형성한다. 두 실리콘의 패터닝은 기존의 포토리소그래피법등의 공지된 패터닝법을 이용하여 동시에 이루어진다.

도 5e에 도시된 바와 같이, CVD 법 등에 의해 상기 적층 위에 SiO₂ 등의 게이트 절연층(13)을 형성한다.

도 5f에 도시된 바와 같이, 상기 게이트 절연층(13) 위에 몰리브덴 또는 텅스텐 등의 금속층(M or W)을 증착법 또는 스퍼터링 법 등으로 형성한 다음 이를 포토레지스트를 이용한 습식식각법에 의해 패터닝하여 X 라인(Xs), 연결되는 게이트(Q1g, Q2g) 및 메모리 커패시터의 하부 전극(Cma)을 형성한다.

도 5g에 도시된 바와 같이, 이온 주입법 등에 의해 상기 게이트(Q1g, Q2g)에 덮이지 않은 비정질 실리콘(a-Si)에 P(인) 이온을 주입하여 스위칭 트랜지스터(Q1)의 소스(Q1s)와 드레인(Q1d)을 얻는다. 여기에서 게이트 절연층 위에 드라이빙 트랜지스터의 다결정 실리콘을 보호하는 마스크층을 추가한 후 도핑을 실시함으로써 드라이빙 트랜지스터의 단결정에는 도핑이 일어나지 않도록 할 수 있다.

도 5h에 도시된 바와 같이, 상기 스위칭 트랜지스터(Q1)를 보호하는 하는 포토레지스트 마스크(PR Mask)를 형성한 후 보론(B) 등의 이온주입을 하여 드라이빙 트랜지스터(Q2)의 P 형 소스(Q2s)와 드레인(Q2d)을 얻는다. 이때에 선행된 공정에서 드라이빙 트랜지스터가 N 형으로 도핑 되어 있는 경우 충분한 B⁺ 이온의 도핑에 의해 P 형으로 반전된다. 위와 같은 P⁺ 및 B⁺ 이온의 도핑이 완료된 후 어닐링에 의해 스위칭 트랜지스터(Q1)와 드라이빙 트랜지스터(Q2)의 다결정 실리콘을 활성화한다. 도 5h의 공정은 선택적인 공정으로서 생략될 수 있다. 이 경우는 도 5g의 공정에서 비정질 실리콘(a-Si)과 다결정 실리콘(p-Si)에 대한 도핑이 이루어져야 하며, 이의 결과물인 두 트랜지스터는 공히 NPN 형이 된다.

도 5i에 도시된 바와 같이, 상기 기관에 형성되는 적층물의 최상 면에 CVD 법 등으로 SiO₂를 증착하여 IMD(14) 층을 형성한 후 여기에 스위칭 트랜지스터(Q1), 드라이빙 트랜지스터(Q2) 등의 콘택트를 위한 콘택트 홀(14a)을 형성한다.

도 5j에 도시된 바와 같이, 상기 IMD(14) 위에 금속층을 형성한 후 이를 패터닝하여, Y 라인(Ys), Z 라인(Zd), 스위칭 트랜지스터(Q1)의 드레인 전극(Q1de) 및 소스 전극(Q1se), 드라이빙 트랜지스터(Q2)의 드레인 전극(Q2de) 및 소스 전극(Q2se), 메모리 커패시터(Cm)의 상부 전극(Cmb) 등을 형성한다.

도 5k에 도시된 바와 같이, 상기 적층 위에 SiO₂ 제2절연막(17)을 형성한 후, 여기에 드라이빙 트랜지스터(Q2)의 드레인 전극(Q2de)을 노출하는 콘택트 홀(17a)을 형성한다.

도 5l에 도시된 바와 같이 상기 제2절연막(17) 위에 ITO 등의 도전성 물질층을 형성한 후 이를 패터닝하여 OLED의 애노드(An)를 형성한다.

도 5m에 도시된 바와 같이 상기 적층 위에 제3절연층(18)을 형성한 후 OLED 영역에서 상기 ITO 애노드(An)가 노출되는 윈도우(18a)를 형성한다.

도 5n에 도시된 바와 같이, 상기 제3절연층(18)와 상기 ITO 애노드(An) 위의 전체에 정공수송층(HTL)을 형성한다.

도 5o에 도시된 바와 같이, 상기 정공수송층(HTL) 위에 발광층(EM), 전자수송층(ETL)을 순차적으로 형성한다.

도 5p에 도시된 바와 같이 상기 전자수송층(ETL)을 포함하는 적층의 최상 면에 OLED의 캐소드인 공통전극(K)과 그 위의 제4절연층(19)을 형성하여 목적하는 유기발광디스플레이를 얻는다.

위의 설명에서는 화소를 구동하는 트랜지스터 및 커패시터의 제조과정에 대해서 설명되었는데, 본 발명에 따르면 플라스틱 기관에 비정질 실리콘 및 다결정 실리콘에 의한 스위칭 트랜지스터 및 드라이빙 트랜지스터를 형성하게 된다.

발명의 효과

본 발명은 비정질 실리콘의 잇점과 다결정 실리콘의 잇점을 공히 취하도록 낮은 전류누설이 요구되는 스위칭 트랜지스터에 낮은 이동도의 비정질 실리콘에 의해 채널을 구성하며, 내구성과 빠른 응답성이 요구되는 드라이빙 트랜지스터는 높은 이동도의 비정질 실리콘으로 구성한다.

이러한 본 발명에 따르면 전류 누설이 감소하여 소비전력이 낮고 그리고 내구성과 빠른 응답성에 의해 고해상 고수명의 유기발광디스플레이를 얻을 수 있게 된다.

이러한 본 발명은 오프 커런트 감소를 위한 LDD 구조를 택하지 않으므로 열에 약한 플라스틱이나 유리를 기판 재료로 사용할 수 있다. 따라서 본 발명에 따르면 양질의 고성능 유기발광디스플레이를 제조할 수 있다.

이러한 본원 발명의 이해를 돕기 위하여 몇몇의 모범적인 실시 예가 설명되고 첨부된 도면에 도시되었으나, 이러한 실시 예들은 단지 넓은 발명을 예시하고 이를 제한하지 않는다는 점이 이해되어야 할 것이며, 그리고 본 발명은 도시되고 설명된 구조와 배열에 국한되지 않는다는 점이 이해되어야 할 것이며, 이는 다양한 다른 수정이 당 분야에서 통상의 지식을 가진 자에게 일어날 수 있기 때문이다.

도면의 간단한 설명

도 1은 본 발명에 따라 플라스틱 기판에 형성된 유기발광디스플레이의 등가 회로도이다.

도 2는 도 1에 도시된 본 발명에 따른 디스플레이의 한 화소의 레이아웃을 보인다.

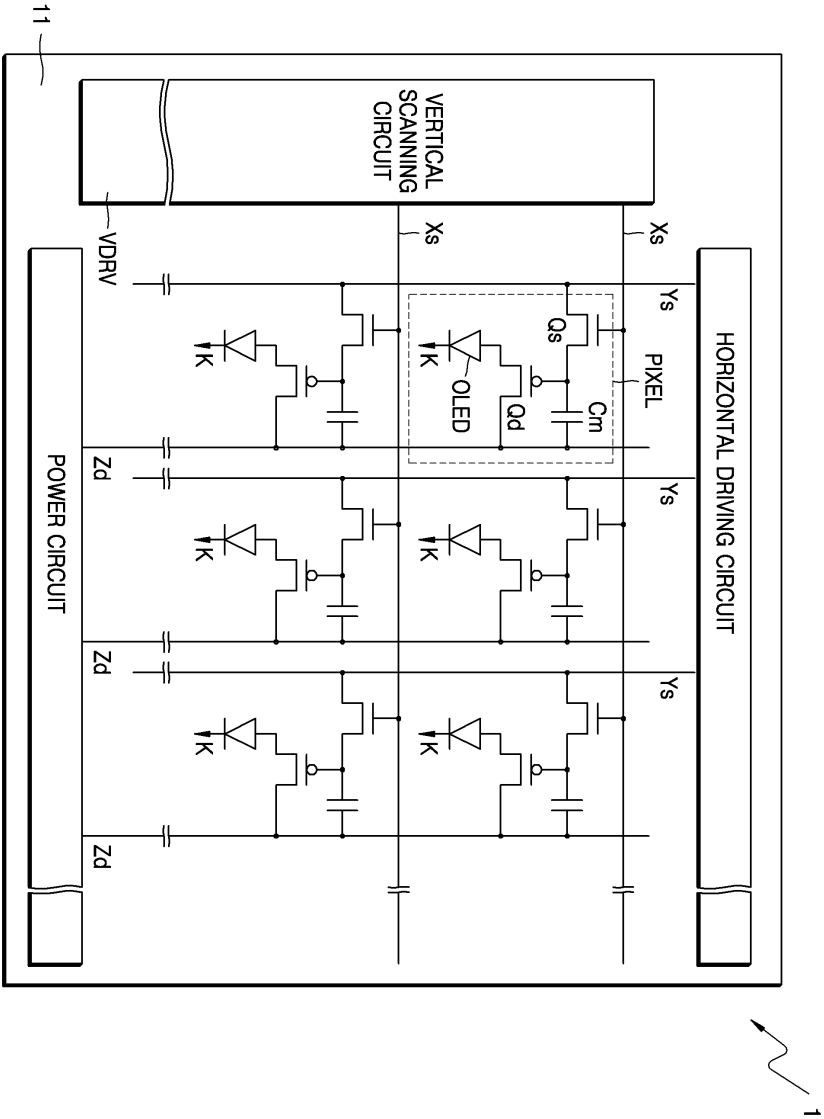
도 3은 본 발명에 따른 디스플레이를 보이는 도 2의 A - A' 선 단면도이다.

도 4는 본 발명에 따른 디스플레이를 보이는 도 2의 B - B' 선 단면도이다.

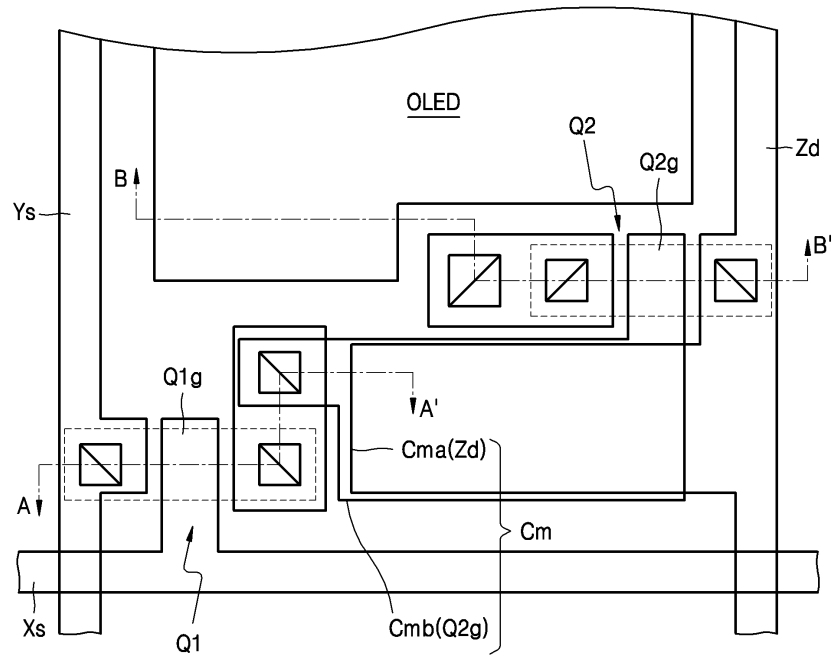
도 5a 내지 도 5p는 본 발명에 따른 단결정 실리콘 필름의 제조공정을 보인다.

도면

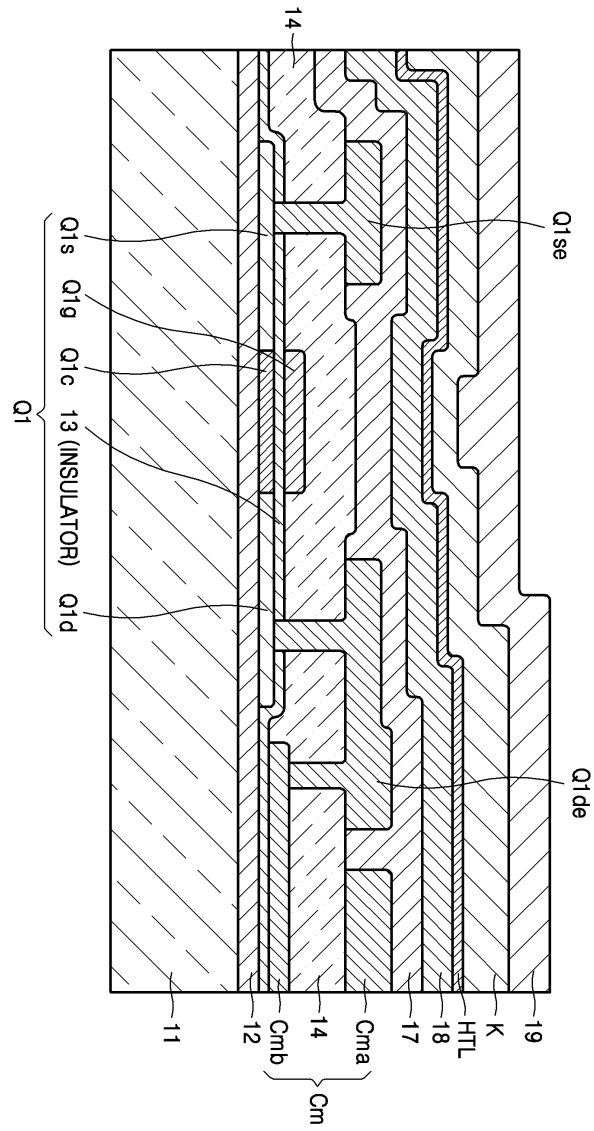
도면1



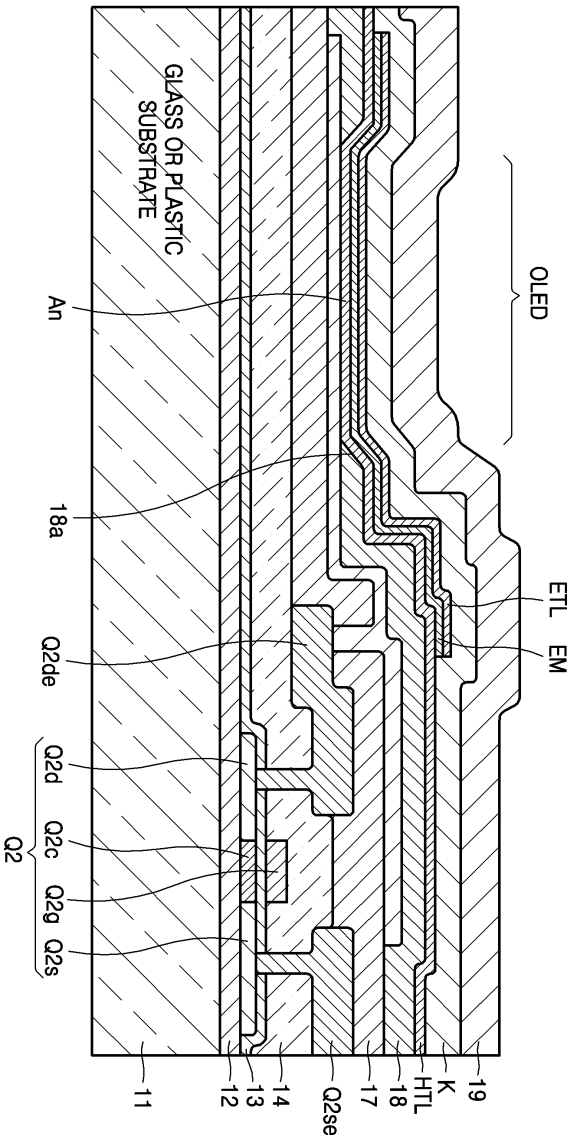
도면2



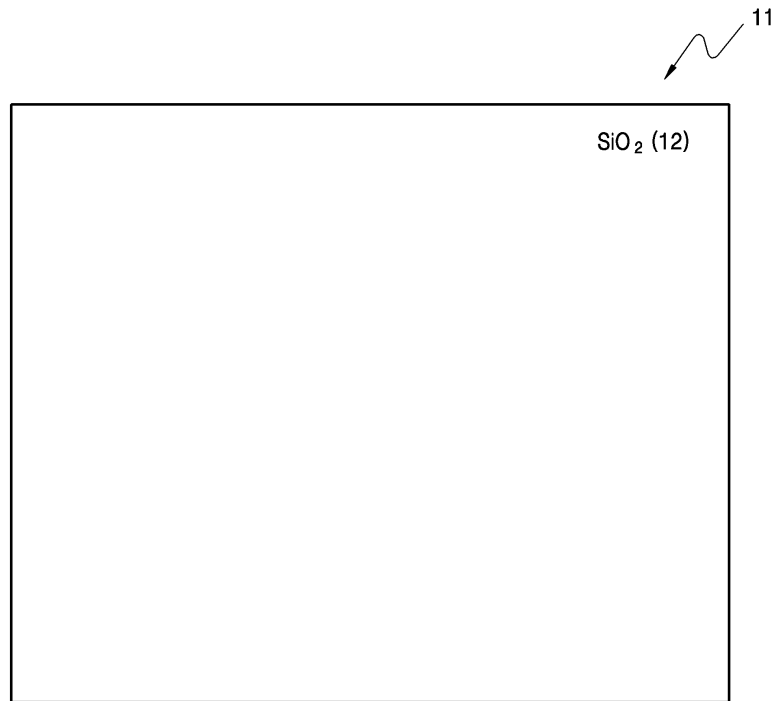
도면3



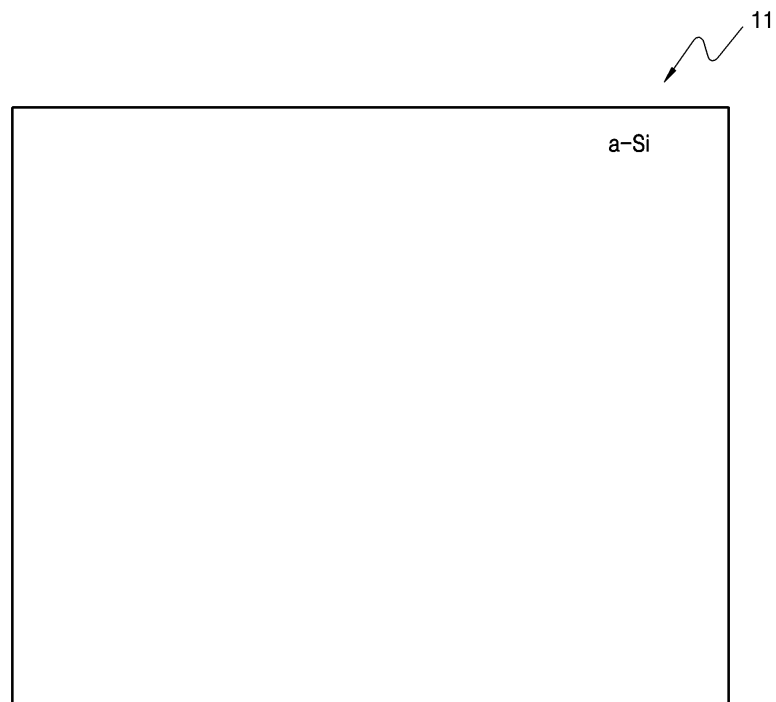
도면4



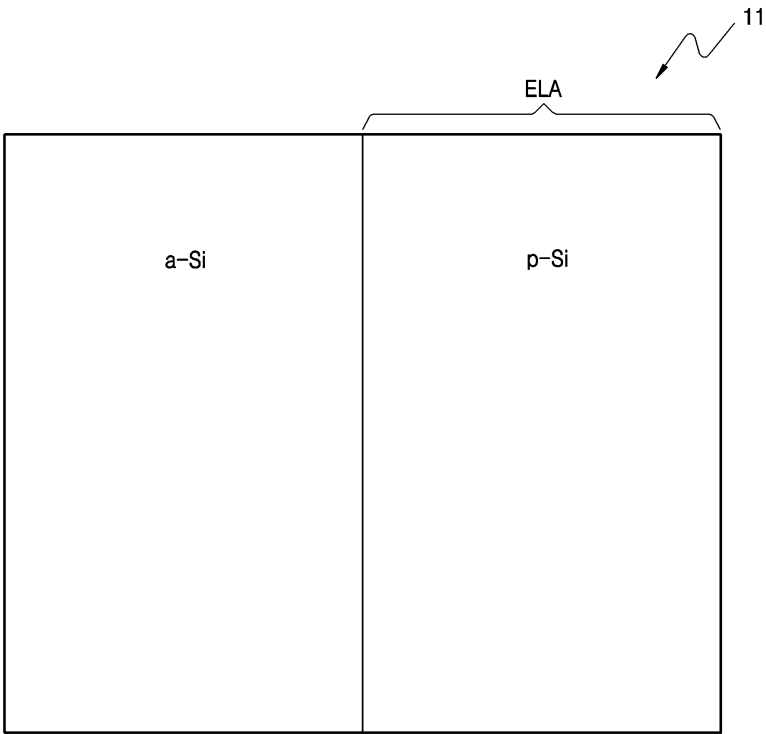
도면5a



도면5b

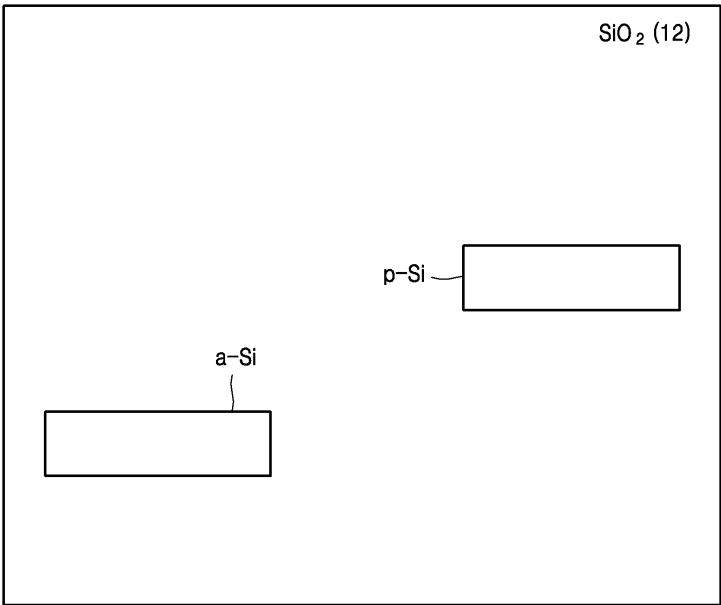


도면5c



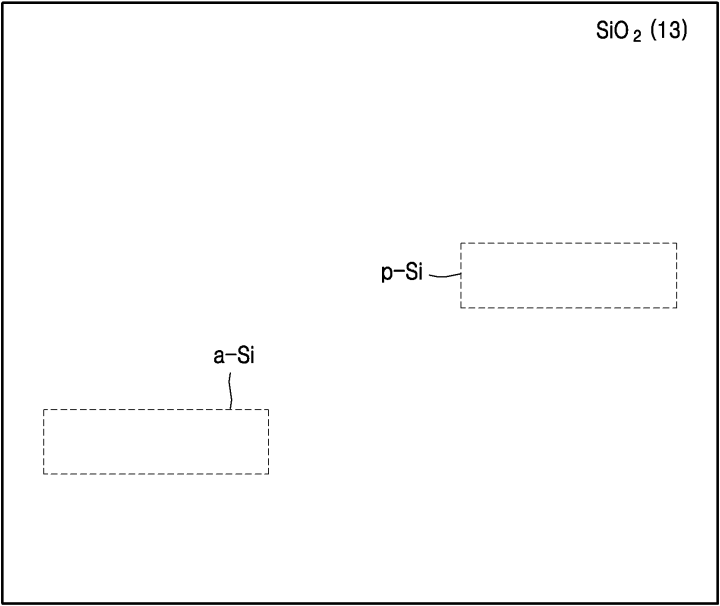
SELECTIVE ELA

도면5d



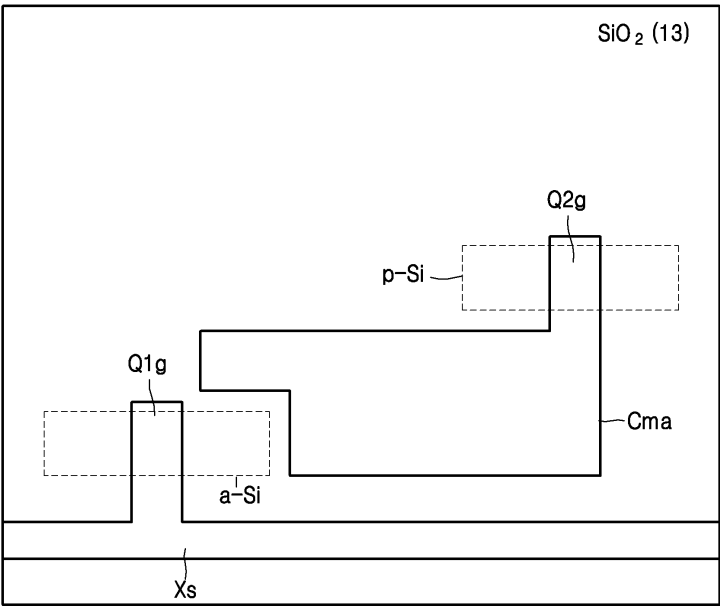
a-Si PATTERNING

도면5e



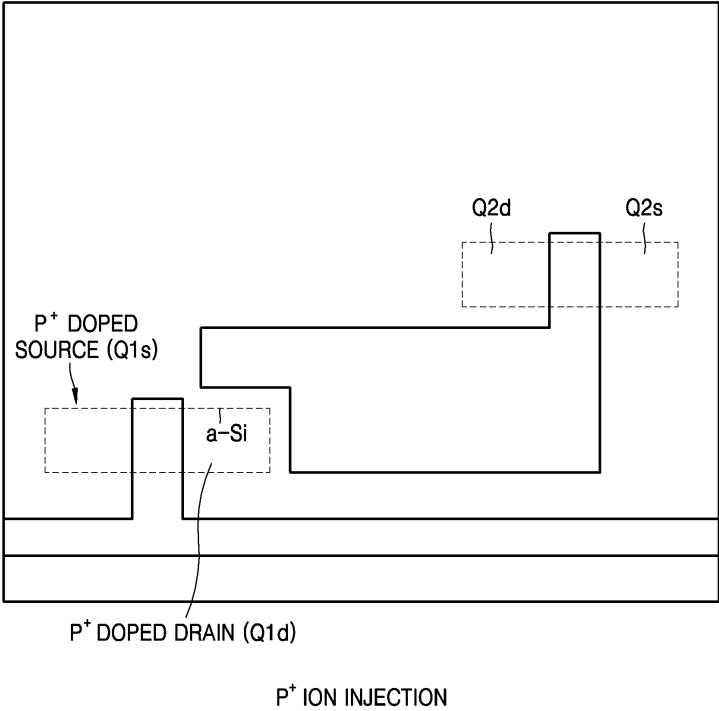
SiO_2 증착 (GATE INSULATOR)

도면5f

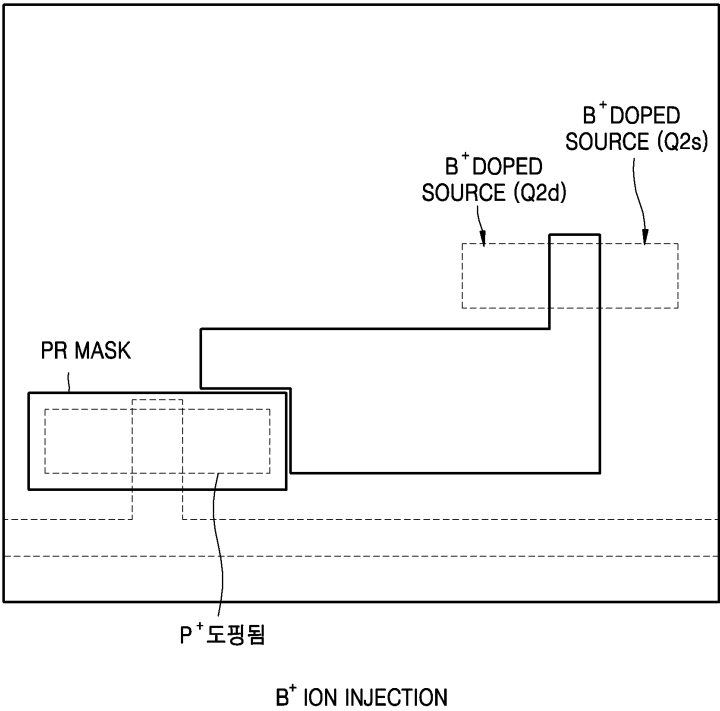


Mo or W DEPOSITION & PATTERNING (GATE)

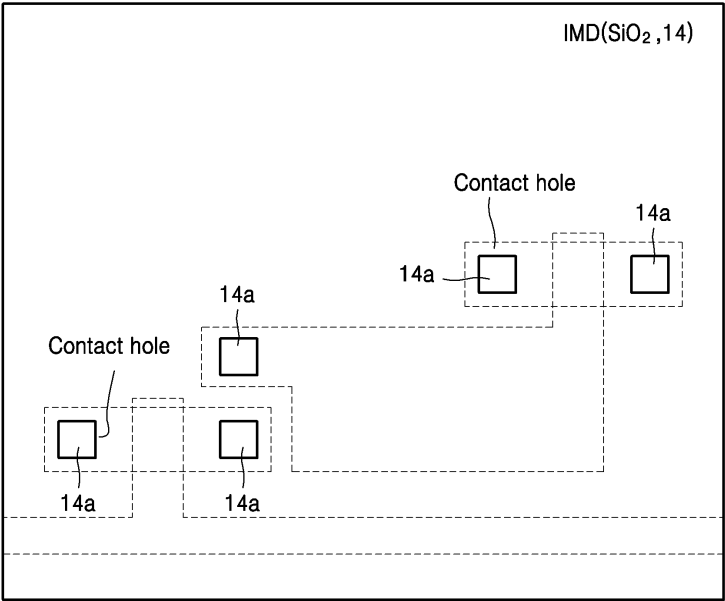
도면5g



도면5h

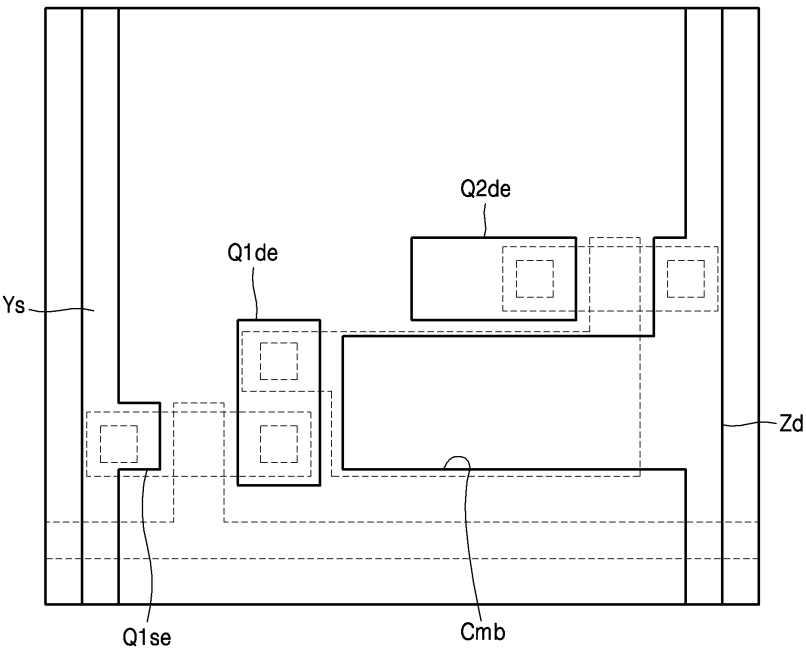


도면5i



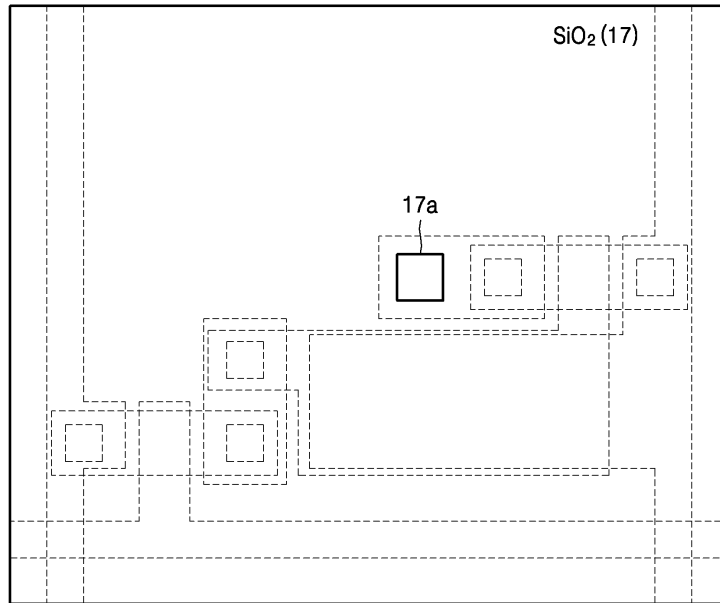
IMD DEPOSITION & MAKING CONTACT HOLES

도면5j



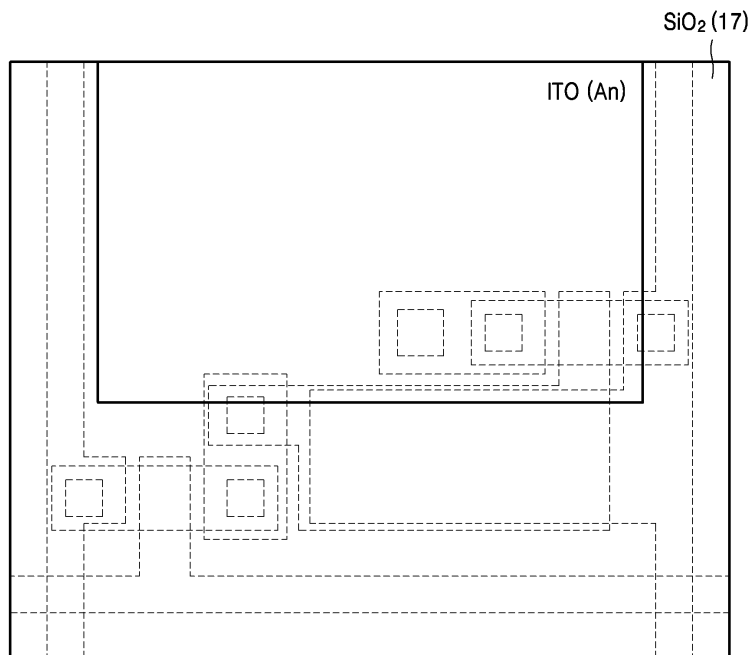
METAL DEPOSITION & PATTERNING

도면5k



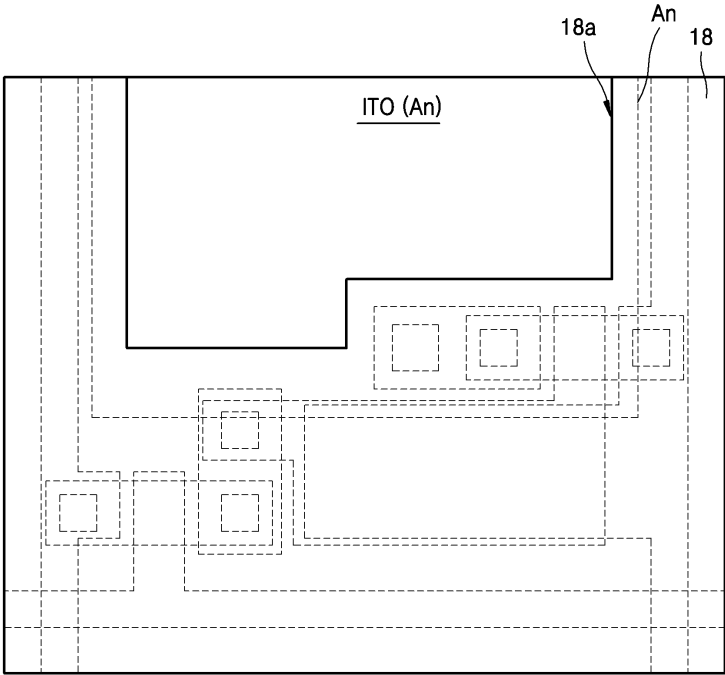
SiO₂ DEPOSITION AND PATTERNING

도면5l

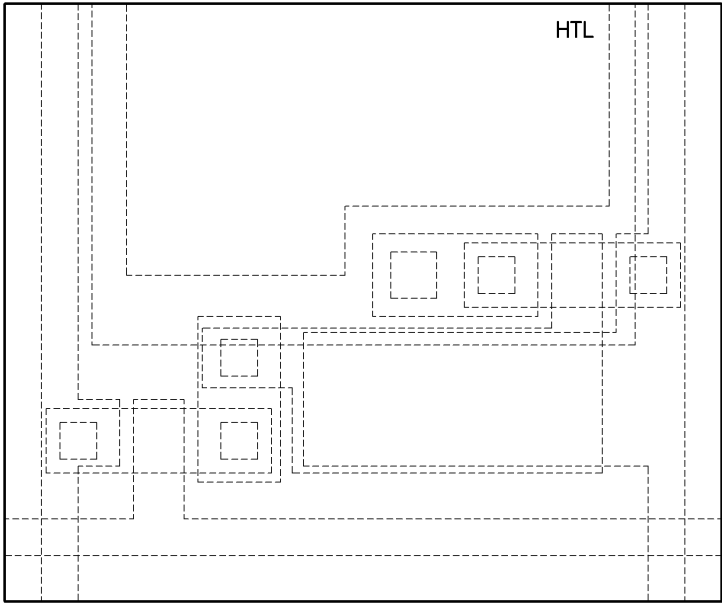


ANODE FORMATION

도면5m

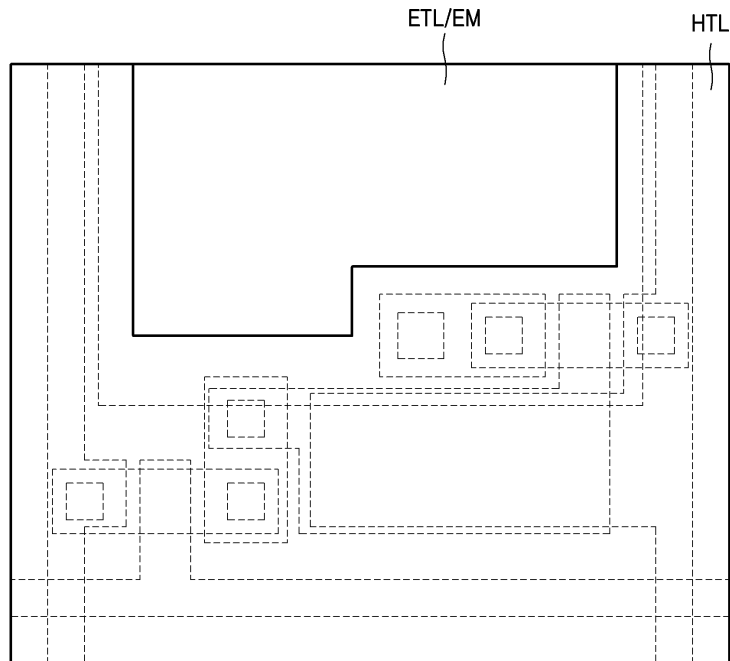


도면5n



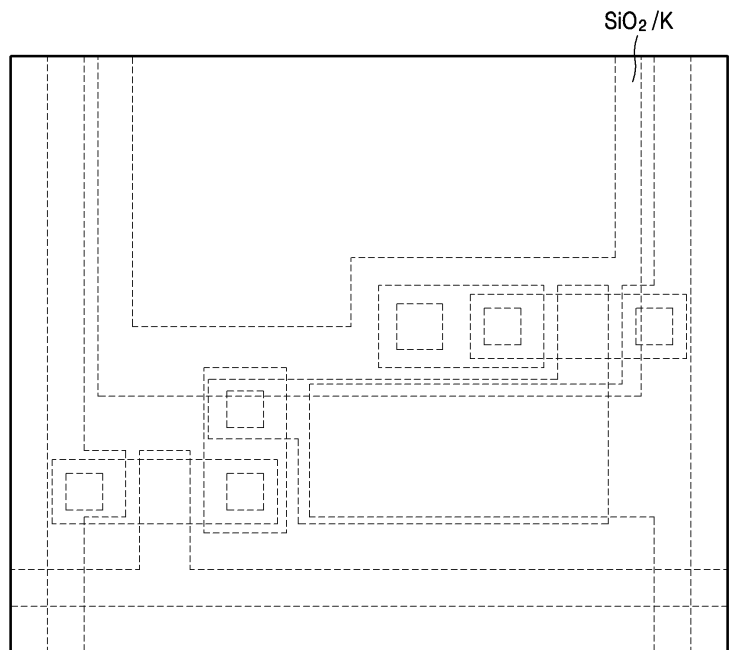
HTL DEPOSITION

도면5o



ETL/EM DEPOSITION

도면5p



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020060121514A	公开(公告)日	2006-11-29
申请号	KR1020050043743	申请日	2005-05-24
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM DO YOUNG 김도영 TAKASHI NOGUCHI 타카시노구치 KWON JANG YEON 권장연 KIM JONG MAN 김종만 JUNG JI SIM 정지심		
发明人	김도영 타카시노구치 권장연 김종만 정지심		
IPC分类号	H05B33/00 H05B33/10		
CPC分类号	H01L27/1214 H01L27/12 H01L29/04 H01L27/3244 H01L27/1229 H01L27/1274		
代理人(译)	李，杨HAE		
外部链接	Espacenet		

摘要(译)

本发明的有机发光显示器：基板和多像素。多像素作为矩阵相位布置在基板中，并配备有开关晶体管，驱动晶体管和OLED。开关晶体管具有与驱动晶体管相比较低的迁移率的硅沟道。在具有高迁移率的多晶硅的低迁移率的开关晶体管中，可以抑制电流泄漏并且可以实现香菜寿命高速驱动。OLED，非晶，多晶，TFT，漏电流，cff电流。

