

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. H05B 33/26 (2006.01)	(11) 공개번호 (43) 공개일자	10-2006-0048203 2006년05월18일
---	------------------------	--------------------------------

(21) 출원번호	10-2005-0048068
(22) 출원일자	2005년06월04일

(30) 우선권주장	JP-P-2004-00168619	2004년06월07일	일본(JP)
	JP-P-2004-00171192	2004년06월09일	일본(JP)

(71) 출원인	가시오계산키 가부시키키가이샤 일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고
----------	---

(72) 발명자	시라사키 도모유키 일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고가시오계산키가부시키키 가이샤 하무라기쥬츠센터내 도야마 다다히사 일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고가시오계산키가부시키키 가이샤 하무라기쥬츠센터내 다케이 마나부 일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고가시오계산키가부시키키 가이샤 하무라기쥬츠센터내 오구라 준 일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고가시오계산키가부시키키 가이샤 하무라기쥬츠센터내 야마구치 이쿠히로 일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고가시오계산키가부시키키 가이샤 하무라기쥬츠센터내 오자키 츠요시 일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고가시오계산키가부시키키 가이샤 하무라기쥬츠센터내
----------	---

(74) 대리인	손은진
----------	-----

심사청구 : 있음

(54) 표시장치 및 그 제조방법

요약

본 발명은 발광소자를 구비한 표시장치 및 제조방법에 관한 것으로,

전압강하나 전류지연의 발생을 억제하는 것이고, 기관과 상기 기관상에 설치된 발광소자와, 상기 발광소자를 구동하기 위한 전극을 갖는 화소회로와, 상기 화소회로에 접속되고 상기 화소회로의 전극과는 다른 층의 도전층을 갖는 배선을 구비하는 것을 특징으로 하는 표시장치이다.

대표도

도 8

색인어

트랜지스터어레이기판, 일렉트로루미네선트 디스플레이패널, 화소회로, EL라인, 유기EL소자, 전류원라인

명세서

도면의 간단한 설명

도 1은 트랜지스터어레이기판(1)의 등가회로도.

도 2는 제 1 실시형태에 있어서 일렉트로루미네선트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 3은 도 2의 다음의 공정을 설명하기 위한 단면도.

도 4는 도 3의 다음의 공정을 설명하기 위한 단면도.

도 5는 도 4의 다음의 공정을 설명하기 위한 단면도.

도 6은 도 5의 다음의 공정을 설명하기 위한 단면도.

도 7은 도 6의 다음의 공정을 설명하기 위한 단면도.

도 8은 도 5의 상태에 있어서의 평면도.

도 9는 표시장치의 평면도.

도 10은 표시장치의 등가회로도.

도 11은 제 2 실시형태에 있어서 일렉트로루미네선트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 12는 도 11의 다음의 공정을 설명하기 위한 단면도.

도 13은 도 12의 다음의 공정을 설명하기 위한 단면도.

도 14는 도 13의 다음의 공정을 설명하기 위한 단면도.

도 15는 도 14의 다음의 공정을 설명하기 위한 단면도.

도 16은 도 15의 다음의 공정을 설명하기 위한 단면도.

도 17은 제 3 실시형태에 있어서 일렉트로루미네선트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 18은 도 17의 다음의 공정을 설명하기 위한 단면도.

도 19는 도 18의 다음의 공정을 설명하기 위한 단면도.

도 20은 도 19의 다음의 공정을 설명하기 위한 단면도.

도 21은 도 20의 다음의 공정을 설명하기 위한 단면도.

도 22는 도 21의 다음의 공정을 설명하기 위한 단면도.

도 23은 제 4 실시형태에 있어서 일렉트로루미네센트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 24는 도 23의 다음의 공정을 설명하기 위한 단면도.

도 25는 도 24의 다음의 공정을 설명하기 위한 단면도.

도 26은 도 25의 다음의 공정을 설명하기 위한 단면도.

도 27은 도 26의 다음의 공정을 설명하기 위한 단면도.

도 28은 도 27의 다음의 공정을 설명하기 위한 단면도.

도 29는 제 5 실시형태에 있어서 일렉트로루미네센트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 30은 도 29의 다음의 공정을 설명하기 위한 단면도.

도 31은 도 30의 다음의 공정을 설명하기 위한 단면도.

도 32는 도 31의 다음의 공정을 설명하기 위한 단면도.

도 33은 도 32의 다음의 공정을 설명하기 위한 단면도.

도 34는 도 33은 다음의 공정을 설명하기 위한 단면도.

도 35는 제 6 실시형태에 있어서 일렉트로루미네센트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 36은 도 35의 다음의 공정을 설명하기 위한 단면도.

도 37은 도 36의 다음의 공정을 설명하기 위한 단면도.

도 38은 도 37의 다음의 공정을 설명하기 위한 단면도.

도 39는 도 38의 다음의 공정을 설명하기 위한 단면도.

도 40은 도 39의 다음의 공정을 설명하기 위한 단면도.

도 41은 도 38의 상태에 있어서의 평면도.

도 42는 제 7 실시형태에 있어서 일렉트로루미네센트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 43은 도 42의 다음의 공정을 설명하기 위한 단면도.

도 44는 제 8 실시형태에 있어서 일렉트로루미네센트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 45는 도 44의 다음의 공정을 설명하기 위한 단면도.

도 46은 도 45의 다음의 공정을 설명하기 위한 단면도.

도 47은 도 46의 다음의 공정을 설명하기 위한 단면도.

도 48은 도 47의 다음의 공정을 설명하기 위한 단면도.

도 49는 도 48의 다음의 공정을 설명하기 위한 단면도.

도 50은 도 49의 다음의 공정을 설명하기 위한 단면도.

도 51은 제 9 실시형태에 있어서 일렉트로루미네센트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 52는 도 51의 다음의 공정을 설명하기 위한 단면도.

도 53은 도 52의 다음의 공정을 설명하기 위한 단면도.

도 54는 도 53의 다음의 공정을 설명하기 위한 단면도.

도 55는 도 54의 다음의 공정을 설명하기 위한 단면도.

도 56은 도 55의 다음의 공정을 설명하기 위한 단면도.

도 57은 제 10 실시형태에 있어서 일렉트로루미네센트 디스플레이패널을 제조하는 프로세스의 한 공정을 설명하기 위한 단면도.

도 58은 도 57의 다음의 공정을 설명하기 위한 단면도.

도 59는 도 58의 다음의 공정을 설명하기 위한 단면도.

도 60은 도 59의 다음의 공정을 설명하기 위한 단면도.

도 61은 도 60의 다음의 공정을 설명하기 위한 단면도이다.

※도면의 주요부분에 대한 부호의 설명

1: 트랜지스터어레이기관 2: 기관

6: 화소회로 7: 전류경로제어트랜지스터

18: 전류원라인 19:EL라인

26: 유기EL소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광소자를 구비한 표시장치 및 그 제조방법에 관한 것이다.

표시장치에는 액정표시장치와 같은 비자발광(非自發光)형 표시장치와, 플라즈마 디스플레이나 유기일렉트로루미네선트 표시장치와 같은 자발광(自發光)형 표시장치로 크게 나눌 수 있다. 이와 같은 표시장치에서는 패시브구동방식의 것과, 액티브매트릭스 구동방식의 것으로 분류할 수 있고, 액티브매트릭스 구동방식의 유기일렉트로루미네선트 디스플레이패널이 고콘트라스트, 고정세와 같은 점에서 패시브구동방식보다도 뛰어나고 있다. 예를 들면, 일본 특개평 8-330600호 공보에 기재된 종래의 액티브매트릭스 구동방식의 유기일렉트로루미네선트 표시장치에 있어서는 유기일렉트로루미네선트소자(이하, 유기EL소자라고 한다)와, 화상데이터에 따른 전압신호가 게이트에 인가되어 유기EL소자에 전류를 흘리는 구동트랜지스터와, 이 구동트랜지스터의 게이트에 화상데이터에 따른 전압신호를 공급하기 위한 스위칭을 실시하는 스위칭용 트랜지스터가 화소마다 설치되어 있다. 이 유기일렉트로루미네선트 디스플레이패널에서는 주사선이 선택되면 스위칭용 트랜지스터가 ON이 되고, 그 때에 유기EL소자의 휘도데이터가 되는 전위의 신호전압이 데이터라인을 통하여 구동트랜지스터의 게이트에 인가된다. 이에 따라 구동트랜지스터가 ON이 되고, 게이트전압값에 따른 크기의 구동전류가 전원으로부터 구동트랜지스터의 소스-드레인을 통하여 유기EL소자에 흐르고, 유기EL소자가 전류의 크기에 따른 휘도로 발광한다. 주사선의 선택이 종료되고 나서 다음으로 그 주사선이 선택되기까지의 사이에서는 스위칭용 트랜지스터가 OFF가 되어도 구동트랜지스터의 게이트전압값이 계속 홀딩되고, 유기EL소자가 전압에 따른 구동전류의 크기에 따른 휘도로 발광한다.

유기일렉트로루미네선트 표시장치에서는 유기일렉트로루미네선트 디스플레이패널의 주변에 구동회로를 설치하고, 유기일렉트로루미네선트 디스플레이패널에 부설된 주사선, 데이터라인, 전원선 등에 전압을 인가하는 것이 실시되어 있다.

한편, 종래의 액티브매트릭스 구동방식의 유기일렉트로루미네선트 표시장치에서는 주사선, 데이터라인, 전원선은 스위칭용 트랜지스터, 구동트랜지스터 등과 같은 화소회로의 패터닝공정과 동시에 패터닝된다. 즉, 유기일렉트로루미네선트 표시장치를 제조함에 있어서 화소회로의 전극의 기초가 되는 박막에 대하여 포토리소그래피법, 에칭법을 실시함으로써, 그 박막으로부터 화소회로의 전극을 형상가공하는 동시에, 동시에 전극에 접속되는 배선도 형상가공한다.

발명이 이루고자 하는 기술적 과제

이와 같이 배선이 화소회로의 전극의 기초가 되는 박막으로부터 형성되면 배선이 화소회로의 전극의 두께와 같게 되는데, 화소회로의 전극의 두께는 요구되는 화소회로의 특성에 맞추어 설계되어 있기 때문에 복수의 화소에 전류를 흘리는 데는 배선이 고저항이 되고, 배선의 전기저항이나 기생용량에 의해서 전압강하가 발생하거나, 배선을 통한 전류의 지연이 발생하거나 하기 쉽다. 특히 복수의 화소회로에 접속된 배선은 복수의 발광소자를 위해 비교적 큰 전류를 흘릴 필요가 있기 때문에 저저항이 아니면 안된다.

그래서 본 발명은 상기와 같은 문제점을 해결하고자 하여 이루어진 것이며, 전압강하나 전류지연의 발생을 억제하는 것을 목적으로 한다.

이상의 과제를 해결하기 위해 청구항 1에 관련되는 발명은,

기관과,

상기 기관상에 설치된 발광소자와,

상기 발광소자를 구동하기 위한 전극을 갖는 화소회로와,

상기 화소회로에 접속되고 상기 화소회로의 전극과는 다른 층의 도전층을 갖는 배선을 구비하는 것을 특징으로 하는 표시장치이다.

또 다른 발명은,

기관과,

상기 기관상에 설치된 복수의 발광소자와,

상기 발광소자를 각각 구동하기 위한 전극을 갖는 복수의 화소회로와,

상기 복수의 화소회로에 접속되고 상기 화소회로의 전극과는 다른 층의 도전층을 갖는 화소회로접속배선을 구비하는 것을 특징으로 하는 표시장치이다.

또한 다른 발명은,

기관과,

상기 기관상에 설치된 복수의 발광소자와,

상기 발광소자를 각각 구동하기 위한 전극을 갖는 복수의 화소회로와,

상기 복수의 발광소자에 접속되고 상기 화소회로의 전극과는 다른 층의 도전층을 갖는 발광소자접속배선을 구비하는 것을 특징으로 하는 표시장치이다.

또한 다른 발명은,

발광층을 갖는 복수의 발광소자와,

상기 복수의 발광소자를 각각 구동하는 복수의 화소회로와,

상기 화소회로 또는 상기 발광소자에 접속되는 동시에, 상기 발광소자의 발광층이 성막되는 구획의 적어도 한 변으로서 상기 발광층을 칸막이하는 도전층을 갖는 배선을 구비하는 것을 특징으로 하는 표시장치이다.

표시장치의 제조방법에 관련되는 발명은,

기관상에 설치된 복수의 화소회로에 접속되고 상기 화소회로의 전극과는 다른 층의 도전층을 갖는 화소회로접속배선을 성막하는 것을 특징으로 하는 표시장치의 제조방법이다.

본 발명에서는 화소회로의 전극과는 다른 도전층을 갖는 화소회로접속배선 또는 발광소자접속배선을 설치하고 있기 때문에 화소회로접속배선 또는 발광소자접속배선의 전기저항을 화소회로의 전기저항보다도 작게 할 수 있다. 그 때문에 배선에 있어서의 전류지연이나 전압강하를 억제할 수 있다.

또한 다른 발명은,

기관상에 설치된 복수의 화소회로의 전극과는 다른 층의 도전층을 갖는 배선을 설치하고,

상기 배선을 격벽으로서 발광층을 성막하는 것을 특징으로 하는 표시장치의 제조방법이다.

본 발명에서는 화소회로의 전극과는 다른 도전층을 갖는 배선을 설치하고 있기 때문에 배선의 전기저항을 화소회로의 전극의 전기저항보다도 작게 할 수 있다. 그 때문에 배선에 있어서의 전류지연이나 전압강하를 억제할 수 있다.

발명의 구성 및 작용

이하에 본 발명을 실시하기 위한 최량의 형태에 대해서 도면을 이용하여 설명한다. 단, 이하에 서술하는 실시형태에는 본 발명을 실시하기 위해 기술적으로 바람직한 여러가지의 한정이나 변경이 덧붙여져 있는데, 발명의 범위를 이하의 실시형태 및 도시에 한정하는 것은 아니다.

<제 1 실시형태>

도 2~도 7을 이용하여 발광소자인 유기일렉트로루미네선트소자를 화소로 하는 표시장치의 제조방법에 대하여 설명한다. 도 2~도 7은 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 도 2~도 7의 차례로 되어 있다.

우선 도 1, 도 2에 나타내는 바와 같은 화소회로를 갖는 트랜지스터어레이기판(1)을 제조한다. 이 트랜지스터어레이기판(1)은 유기EL소자를 제어하는 화소회로(6)가 종래와 같이 신호전압에 의한 전압회로제조제어하는 것은 아니고, 회로제조 데이터에 따른 전류값의 회로제조전류(기억전류)를 화소회로(6) 내에 흘림으로써 회로제조전류의 전류값에 따른 전류값의 구동전류를 가져오고, 이 구동전류를 후술하는 유기EL소자(26)에 흘림으로써 제조제어하는 전류회로제조제어패널이며, 기상성장법(예를 들면, PVD법, CVD법, 스퍼터링법 등)과 같은 성막공정, 포토리소그래피법, 메탈마스크법과 같은 마스크공정, 에칭과 같은 형상가공공정을 적절하게 실시함으로써 화소회로(6)의 일부가 되는 복수의 트랜지스터나 커패시터(10: capacitor)를 기판(2)상에 패터닝함으로써 제조된 것이다.

구체적으로는 도 1에 나타내는 바와 같이, 트랜지스터어레이기판(1)은 유리, 또는 수지 등을 시트상 또는 판상으로 형성한 절연성의 기판(2)과, 서로 평행하게 되도록 기판(2)상에 배열된 복수의 신호전류선(데이터라인)(3, 3, ...)과, 기판(2)의 평면에서 보아 신호전류선(3)에 대하여 직교하도록 또한 서로 평행하게 되도록 기판(2)상에 배열된 복수의 주사선(4, 4, ...)과, 주사선(4, 4, ...)의 각각의 사이에 있어서 주사선(4)과 평행하게 되도록 기판(2)상에 배열된 복수의 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)과, 신호전류선(3, 3, ...) 및 주사선(4, 4, ...)을 따라서 이차원어레이상이 되도록 기판(2)상에 배열된 복수의 화소회로(6, 6, ...) 등을 구비하고 있다.

화소회로(6)는 화소마다 화소의 주변에 설치된 회로이다. 화소회로(6)는 세개의 박막트랜지스터(이하, 간단하게 트랜지스터로 기술(記述)한다)(7, 8, 9)와, 커패시터(10)를 갖고 있다. 어떠한 트랜지스터(7, 8, 9)도 게이트(7G, 8G, 9G)(도 2 등에 도시), 게이트(7G, 8G, 9G)를 피복한 게이트절연막(41)(도 2 등에 도시), 게이트절연막(41)을 끼워서 각 게이트(7G, 8G, 9G)에 대향한 반도체층(42)(도 2 등에 도시), 반도체층(42)의 채널표면을 에찬트(etchant)로부터 보호하는 블록킹절연막(43)(도 2 등에 도시), 반도체층(42)의 양단부상에 형성된 불순물반도체층(44, 44)(도 2 등에 도시), 한쪽의 불순물반도체층(44)상에 형성된 드레인(7D, 8D, 9D)(도 2 등에 도시), 다른쪽의 불순물반도체층(44)상에 형성된 소스(7S, 8S, 9S)(도 2 등에 도시) 등을 구비하는 N채널MOS형의 전계효과트랜지스터이고, 특히 비정질실리콘을 반도체층(42)(채널영역)으로 한 a-Si트랜지스터인데, 폴리실리콘을 반도체층(42)으로 한 p-Si트랜지스터라도 좋다. 트랜지스터(7, 8, 9)의 구조는 역스태거형이라도 좋고, 코플레인형, 그 외의 형이라도 좋다. 이하에서는 트랜지스터(7)를 전류경로제어트랜지스터(7)와, 트랜지스터(8)를 홀딩트랜지스터(8)와, 트랜지스터(9)를 전류제어트랜지스터(9)로 칭한다. 여기에서 전류경로제어트랜지스터(7) 및 홀딩트랜지스터(8)를 구비한 회로가 선택기간 중에는 신호전류선(3)에 소정의 전류값의 기억전류를 흘리는 동시에, 비선택기간 중에는 신호전류선(3)에 전류를 흘리는 것을 정지하는 스위치회로에 상당하고, 전류제어트랜지스터(9) 및 커패시터(10)를 구비한 회로가 선택기간 중에 신호전류선(3)을 통하여 흐르는 기억전류의 전류값에 따른 전류데이터를 기억하며, 그 선택기간 중에 기억된 전류데이터에 따라서 기억전류의 전류값에 따른 전류값의 구동전류를 비선택기간 중에 유기EL소자(26)(도 8에 도시)에 공급하는 전류기억회로에 상당한다. 또 전류경로제어트랜지스터(7)는 비선택기간 중에 전류제어트랜지스터(9)로부터 흐르는 구동전류를 신호전류선(3)에 흘리지 않고, 유기EL소자(26)에 흘리도록 전류경로를 제어하는 기능을 갖는다. 홀딩트랜지스터(8)는 선택기간에 흐르는 기억전류의 전류값에 따른 전류제어트랜지스터(9)의 게이트(9S)-소스(9S)의 전압을 비선택기간까지 홀딩하는 기능을 갖는다. 또한 도 2~도 7은 전류제어트랜지스터(9)를 주사선(4)에 직교하는 면을 따라서 절단한 경우의 트랜지스터어레이기판(1)의 단면도이며, 하나의 화소를 나타낸다. 다른 화소도 각 공정에서는 도 2~도 7의 상태로 되어 있다.

도 1에 나타내는 바와 같이, 전류경로제어트랜지스터(7)의 게이트(7G)는 주사선(4)에 접속되고, 전류경로제어트랜지스터(7)의 소스(7S)는 신호전류(3)에 접속되며, 전류경로제어트랜지스터(7)의 드레인(7D)은 전류제어트랜지스터(9)의 소스(9S)에 접속되어 있다. 홀딩트랜지스터(8)의 게이트(8G)는 주사선(4)에 접속되고, 홀딩트랜지스터(8)의 드레인(8D)은 전류제어트랜지스터(9)의 드레인(9D) 및 전류원라인(18)에 접속되며, 홀딩트랜지스터(8)의 소스(8S)는 전류제어트랜지스터(9)의 게이트(9G)에 접속되어 있다. 전류제어트랜지스터(9)의 드레인(9D)은 전류원라인(18)에 접속되어 있다. 커패시터(10)는 전류제어트랜지스터(9)의 게이트(9G)에 접속된 전극과, 전류제어트랜지스터(9)의 소스(9S)에 접속된 전극과, 이들 두개의 전극의 사이에 개재하는 유전체막을 갖고, 전류제어트랜지스터(9)의 게이트(9G)와 소스(9S)의 사이에 전하를 축적하는 기능을 갖는다. 커패시터(10)의 유전체막은 게이트절연막(41)을 가져도 좋다.

상기 트랜지스터(7, 8, 9)는 동일 공정에서 동시에 패터닝된 것이기 때문에 게이트(7G, 8G, 9G), 게이트절연막(41), 반도체층(42), 불순물반도체층(44), 드레인(7D, 8D, 9D), 소스(7S, 8S, 9S) 등의 조성은 트랜지스터(7, 8, 9)의 사이에서 같지만, 트랜지스터(7, 8, 9)의 형상, 크기, 치수, 채널폭, 채널길이 등은 트랜지스터(7, 8, 9)의 각각의 기능에 따라서 다르다.

신호전류선(3, 3, ...)은 트랜지스터(7, 8, 9)의 각 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D)이 되는 소스, 드레인도전막을 동일 공정에서 동시에 패터닝함으로써 형성된 것이다.

주사선(4, 4, ...)은 트랜지스터(7, 8, 9)의 각 게이트(7G, 8G, 9G)가 되는 게이트도전막을 동일 공정에서 동시에 패터닝함으로써 형성된 것이다.

또 도 9에 나타내는 배선(36, 36), 배선(39, 39), 복수의 배선(45)은 모두 하층이 게이트도전막을 패터닝하여 이루어지고, 상층이 소스, 드레인도전막을 패터닝하여 이루어지는 것이다. 배선(36, 36), 배선(39, 39), 복수의 배선(45)은 모두 비표시 영역에 설치되어 있기 때문에 게이트도전막이나 소스, 드레인도전막과 같이 얇아도 폭넓게 설치함으로써 충분히 저저항으로 할 수 있다.

또 도 2에 나타내는 바와 같이, 트랜지스터어레이기판(1)의 표층에는 평탄화막(11)이 전체 일면에 성막되어 있고, 평탄화막(11)에 의해서 신호전류선(3, 3, ...) , 주사선(4, 4, ...) 및 화소회로(6, 6, ...)가 피복되어 있다. 평탄화막(11)은 트랜지스터(7, 8, 9)를 보호하기 위한 질화실리콘, 산화실리콘 등의 무기층간 절연막상에 표면이 평탄화될 정도로 두껍게 성막되는 폴리이미드 등의 감광성 절연막을 적층한 것이다. 또한 트랜지스터어레이기판(1)의 각층 중, 기판(2)의 표면으로부터 평탄화막(11)의 표면까지의 사이의 다층막을 트랜지스터층이라 한다.

도 2에 나타내는 바와 같이, 준비한 트랜지스터어레이기판(1)에 대하여 포토리소그래피법, 에칭법 등을 실시함으로써 각 전류제어트랜지스터(9)의 소스(9S)에 통하는 콘택트홀(12) 및 각 전류제어트랜지스터(9)의 드레인(9D)에 통하는 콘택트홀(13)을 평탄화막(11)에 형성한다. 동시에 배선(36, 36)의 각 일단부상의 평탄화막(11)에 콘택트홀(37, 37)을 형성하고, 배선(39, 39)의 각 일단부상의 평탄화막(11)에 콘택트홀(40, 40)을 형성하며, 각 전류원라인(18, 18, ...)의 단부에 콘택트홀(46)을 형성한다.

다음으로 질화실리콘 또는 산화실리콘으로 이루어지는 유기EL분리절연막(14)을 세로방향(열방향)에 이웃한 화소의 사이에 있어서 주사선(4)과 평행하게 되도록 패터닝 형성한다. 유기EL분리절연막(14)은 기상성장법과 같은 박막형성공정, 포토리소그래피법과 같은 마스크공정, 에칭법과 같은 형상가공공정을 거쳐서 패터닝한다.

다음으로 도 3에 나타내는 바와 같이, 스퍼터링 등의 기상성장법에 의해서 금, 은, 동, 알루미늄, 티탄 또는 크롬 등의 금속 재료로 이루어지는 고반사율의 반사금속막(15)을 트랜지스터어레이기판(1)상의 일면에 성막한다. 반사금속막(15)은 콘택트홀(12, 13) 내에 있어서도 표면에 성막된다.

다음으로 스퍼터링 등의 기상성장법에 의해서 투명금속산화물막(16)을 반사금속막(15)상의 일면에 성막한다. 투명금속산화물막(16)은 산화인듐, 산화아연 혹은 산화주석 또는 이들 중의 적어도 하나를 포함하는 혼합물(예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 카드뮴-주석산화물(CTO))로 이루어진다. 투명금속산화물막(16)은 콘택트홀(12, 13) 내에 있어서도 표면에 성막된다.

다음으로 스퍼터링 등의 기상성장법에 의해서 30nm~50nm정도의 두께의 동 또는 니켈 등의 금속재료로 이루어지는 하층 및 이 하층상에 전해도금 등에 의해 500nm정도의 동 등의 상층을 갖는 금속층(17)을 투명금속산화물막(16)상의 일면에 성막한다.

다음으로 콘택트홀(13)과 겹치고 또한 행방향을 따른 부분의 금속층(17) 및 유기EL분리절연막(14)과 겹치며 또한 행방향을 따른 부분의 금속층(17)이 노출되는 포토레지스트막(61)을 형성한다. 동시에 포토레지스트막(61)은 콘택트홀(37)에서 배선(36)과 접속된 금속층(17)을 노출하고, 콘택트홀(40)에서 배선(39)과 접속된 금속층(17)을 노출하며, 또한 각 콘택트홀(46)에서 배선(45)과 접속된 금속층(17)을 노출하고 있다.

이어서 노출된 금속층(17)을 전극으로서 전해도금을 실시함으로써, 도 4에 나타내는 바와 같이 노출된 금속층(17)상에 각각 막두께 2 μ m~100 μ m 또한 2 μ m~50 μ m폭의 동 등의 도금의 전류원라인(18, 18, ...) , EL라인(19, 19, ...) , 또한 EL라인(19, 19, ...)을 표시영역 외의 좌측에서 서로 접속하는 공통배선(35), 및 EL라인(19, 19, ...)을 표시영역 외의 우측에서 서로 접속하는 공통배선(38)을 형성한다. 공통배선(35)은 콘택트홀(37, 37)을 통하여 배선(36, 36)에 접속되고, 공통배선(38)은 콘택트홀(40, 40)을 통하여 배선(39, 39)에 접속되어 있다. 전류원라인(18, 18, ...)은 각 콘택트홀(46)을 통하여 각 배선(45, 45, ...)에 접속되어 있다.

전류원라인(18, 18, ...) , EL라인(19, 19, ...) , 공통배선(35) 및 공통배선(38)은 모두 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S) 및 드레인(7D, 8D, 9D)의 막두께 보다도 두꺼워지도록 퇴적되고, 전류원라인(18, 18, ...) , EL라인(19, 19, ...) , 공통배선(35) 및 공통배선(38)의 각 단위길이당의 저항은 모두 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S) 및 드레인(7D, 8D, 9D)의 단위길이당의 저항보다도 작다. 또한 전류원라인(18, 18, ...) , L라인(19, 19, ...) , 공통배선(35) 및 공통배선(38)의

저항율은 모두 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S) 및 드레인(7D, 8D, 9D)의 도전재료의 저항율보다도 낮은 것이 바람직하다. 또 전류원라인(18, 18, ...), L라인(19, 19, ...), 공통배선(35) 및 공통배선(38)은 모두 트랜지스터(7, 8, 9)의 게이트(7G, 8G, 9G)의 막두께보다도 두꺼워지도록 퇴적되고, 전류원라인(18, 18, ...), L라인(19, 19, ...), 공통배선(35) 및 공통배선(38)의 단위길이당의 저항은 모두 트랜지스터(7, 8, 9)의 게이트(7G, 8G, 9G)의 단위길이당의 저항보다도 작다. 전류원라인(18, 18, ...), L라인(19, 19, ...), 공통배선(35) 및 공통배선(38)의 저항율은 모두 트랜지스터(7, 8, 9)의 게이트(7G, 8G, 9G)의 도전재료의 저항율보다도 낮은 것이 바람직하다. 또한 전류원라인(18)이 화소회로접속배선의 도전층에 상당하고, 주사선(4)을 따라서 동일한 행에 배열된 화소회로(6, 6, ...)가 동일한 전류원라인(18)에 접속되어 있다. 이와 같이 전류원라인(18, 18, ...), EL라인(19, 19, ...), 공통배선(35) 및 공통배선(38)은 저항이고, 긴길이에 형성되어 있는 것에 대하여 배선(36, 36), 배선(39, 39) 및 각 배선(45)은 비교적 짧기 때문에 전체의 배선저항에의 영향이 작다.

전류원라인(18, 18, ...)의 개수, EL라인(19, 19, ...)의 개수 및 배선(45, 45, ...)의 개수는 모두 주사선(4, 4, ...)의 개수와 동일수이고, 각행에 전류원라인(18), EL라인(19), 배선(45) 및 주사선(4)이 1개씩 설치되어 있다. 그 후, 포토레지스트막(61)을 제거한다. 또한 전해도금 대신에 스퍼터링법, 승화증착법 또는 디스펜서법에 의해 동후막을 성막해도 좋다.

그리고 전류원라인(18, 18, ...), EL라인(19, 19, ...), 공통배선(35) 및 공통배선(38)으로 피복된 부분을 제외하고 노출된 금속층(17)에 대하여 에칭에 의한 형상가공을 실시함으로써 전류원라인(18, 18, ...)의 아래쪽에 밀바탕층(17a)을 형성하고, EL라인(19, 19, ...)의 아래쪽에 밀바탕층(17b)을 형성한다.

다음으로 도 5에 나타내는 바와 같이, 투명금속산화물막(16)에 대하여 포토리소그래피법, 에칭법을 실시함으로써 형성된 레지스트마스크를 마스크로 해서 투명금속산화물막(16)을 화소마다 잔류시켜서 화소전극(16a)을 패터닝 형성하는 동시에, 전류원라인(18, 18, ...)을 마스크로 한 밀바탕층(17a)의 아래쪽에 설치된 투명금속산화물막(16)을 잔류시켜서 투명금속산화물밀바탕막(16b)을 형성하고, 밀바탕층(17b)의 아래쪽에 설치된 투명금속산화물막(16)을 잔류시켜서 투명금속산화물밀바탕막(16c)을 형성한다. 여기에서 평면에서 보아 잔류한 화소전극(16a)이 콘택트홀(12)에 겹치고 또한 잔류한 화소전극(16a)이 화소마다 독립하도록 투명금속산화물막(16)이 패터닝되어 있다. 화소전극(16a)은 후술하는 유기EL소자(26)(도 8에 도시)의 애노드로서 기능한다. 밀바탕층(17a) 및 투명금속산화물밀바탕막(16b)은 전류원라인(18)과 형상이 대략 동일하고, 행방향으로 연장하고 있다. 밀바탕층(17b) 및 투명금속산화물밀바탕막(16c)은 EL라인(19)과 형상이 대략 동일하고, 행방향으로 연장하고 있다. 또한 도 5는 후술하는 도 8의 (V)-(V)선을 따른 면에 있어서 화살표방향으로 본 면의 단면도이다.

계속해서 화소전극(16a) 및 레지스트마스크를 마스크로 해서 반사금속막(15)을 화소전극(16a)과 동일 형상으로 패터닝하여 반사금속밀바탕막(15a)을 형성하고, 투명금속산화물밀바탕막(16b)의 아래쪽의 반사금속막(15)을 잔류하도록 에칭하여 반사금속밀바탕막(15b)을 형성하며, 투명금속산화물밀바탕막(16c)의 아래쪽의 반사금속막(15)을 잔류하도록 에칭하여 반사금속밀바탕막(15c)을 형성한다. 또한 평면에서 보아 반사금속밀바탕막(15a)은 콘택트홀(12)에 겹치도록 배치되어 있다. 이 때문에 화소전극(16a)은 서로 화소마다 전기적으로 절연되고, 또한 해당 화소의 전류제어트랜지스터(9)의 소스(9S)와 접속되어 있다. 도 5의 상태의 트랜지스터어레이기판(1)의 회로도가 도 1이 된다.

그리고 이 유기EL소자(26)가 설치되어 있지 않은 구조의 트랜지스터어레이기판(1)에 있어서, 각 주사선(4)에 검사용 주사드라이버를 접속시키고, 전류원라인(18)에 소정의 전압을 출력하는 검사용 구동드라이버를 접속시키며, 신호전류선(3)에, 신호전류선(3)에 소정의 전류값의 전류가 흐르게 하는 검사용 전류제어드라이버를 접속시키고 나서 주사선(4), 전류원라인(18)에 구동드라이버로부터 소정의 전압을 인가하고, 전류제어드라이버로부터 신호전류선(3)에 소정의 전류가 흐르도록 구동시키며, 전류원라인(18)으로부터 각 화소회로(6)의 전류제어트랜지스터(9)의 소스(9S), 드레인(9D)간 및 전류경로제어트랜지스터(7)의 소스(7S), 드레인(7D)간을 경유하여 신호전류선(3)에 소정의 전류값의 전류가 흐르고 있는지 어떤지 검사할 수 있다. 이와 같이 유기EL소자(26)를 설치하는 전(前)단계로 각 화소회로(6)가 정상인지 아닌지 확인할 수 있기 때문에 가령 트랜지스터어레이기판(1)의 어떤 화소회로(6)의 트랜지스터(7, 8, 9), 커패시터(10)의 어느 쪽인가에 동작불량이 있고, 불량품으로 확정된 경우, 그 트랜지스터어레이기판(1)에 유기EL소자(26)를 형성하지 않고 완료되기 때문에 생산성을 향상할 수 있다.

도 8은 도 5의 상태에 있어서의 화소회로(6)의 주요소의 대략 평면도이고, 전류원라인(18) 및 EL라인(19)은 주사선(4)에 대하여 평행하게 설치되어 있다. 또 도 5에 나타내는 바와 같이, 평면에서 보아 가로방향(행방향)으로 배열된 모든 화소, 즉 각 행의 화소의 콘택트홀(13)에 설치된 밀바탕층(17a)에 대하여 전류원라인(18)의 일부가 일치하도록 형성되어 있기 때문에 각 행의 모든 화소의 전류제어트랜지스터(9)의 드레인(9D)이 각 행의 전류원라인(18)에 각각 전기적으로 접속한 상태로 된다.

또한 도 8에 있어서, 트랜지스터(7~9)의 소스(7S, 8S, 9S)와 일체로 형성된 신호전류선(3)과, 트랜지스터(7~9)의 게이트(7G, 8G, 9G)와 일체로 형성된 주사선(4)의 사이에는 게이트절연막(41)에 더하여 반도체층(42)과 동일막을 패터닝하여 이루어지는 보호막(42a)이 형성되어 있다. 또 홀딩트랜지스터(8)의 소스(8S)와 전류제어트랜지스터(9)의 게이트(9G)는 게이트절연막(41)에 설치된 콘택트홀(31)을 통하여 서로 접속되어 있다.

다음으로 도 6에 나타내는 바와 같이, 각 전류원라인(18)에 전압을 인가한 전착도장법(electrodeposition coating)에 의해 전류원라인(18), 공통배선(35) 및 공통배선(38)의 표면만을 선택적으로 피복하도록 전류원라인절연막(21)을 형성한다. 또한 전류원라인절연막(21) 대신에 전류원라인(18), 공통배선(35) 및 공통배선(38)의 표면의 표면을 양극(陽極)산화하여 절연막을 피복시켜도 좋다.

또 기상성장법, 포토리소그래피법, 에칭법을 이용하여 전류원라인(18)만을 피복하도록 질화실리콘 또는 산화실리콘 등의 무기절연막 또는 발수성유기절연막으로 이루어지는 전류원라인절연막(21)을 패터닝해도 좋다. 또 마스크를 한 상태에서 스핀코트법을 실시하여 마스크를 벗김으로써(리프트오프법) 전류원라인(18)만을 피복하도록 절연재료로 이루어지는 전류원라인절연막(21)을 패터닝해도 좋다.

다음으로 도 6에 나타내는 바와 같이, PEDOT(폴리티오펜:polythiophene) 및 도판트인 PSS(폴리스티렌술포산)로 이루어지는 정공수송층(22)이 되는 용액을 액적도출법(잉크젯법), 스핀코트법, 딥코트법, 니들에 의한 적하법 등의 습식성막법에 의해서 성막한다. 정공수송층(22)은 트랜지스터어레이기판(1)의 일면에 형성하여 모든 화소에 공통시켜도 좋고, 화소마다 독립하도록 형성해도 좋다. 이 때 전류원라인절연막(21) 및 유기EL분리절연막(14)은 정공수송층재료함유용액이나 발광층재료함유용액에 대하여 발액성을 나타내는 것이 바람직하다. 발액성을 나타내면 정공수송층재료함유용액이나 발광층재료함유용액이 전류원라인(18), EL라인(19)을 따라서 치우쳐서 성막되지 않기 때문에 화소전극(16a)상에 균등한 두께로 성막할 수 있다. 도면에서는 정공수송층(22)을 포함하는 용액 또는 현탁액이 전류원라인(18) 및 EL라인(19)에 둘러싸여진 영역에 충전된 후, 용제 또는 수분이 휘발함으로써 정공수송층(22)이 성막되어 있는 상태를 나타내고 있다.

정공수송층(22)의 건조 후, 공역이중결합을 갖는 폴리파라비닐렌(polyparavinylen)계 발광재료나 폴리플루오렌(polyfluorene)계 발광재료를 갖는 발광층(23)을 함유한 용액을 액적도출법(잉크젯법), 스핀코트법, 딥코트법, 니들에 의한 주입 등의 습식성막법에 의해서 성막한다. 발광층(23)은 도 9에 나타내는 바와 같이, 전류원라인(18) 및 EL라인(19)을 따라서 복수의 화소에 연속하여 형성되고, 각 행마다 적색으로 발광하는 적발광층(23R), 녹색으로 발광하는 녹색발광층(23G), 청색으로 발광하는 청발광층(23B)이 된다. 여기에서 유기EL분리절연막(14)의 위에 반사금속밀바탕막(15c), 투명금속산화물밀바탕막(16c), 밀바탕층(17b) 및 EL라인(19)이 잔류하고 있는데, 정공수송층(22)의 막두께나 발광층(23)의 막두께는 유기EL분리절연막(14)의 막두께보다도 얇다. 그리고 정공수송층(22)이 되는 용액 또는 현탁액의 높이 및 화소영역에 피복했을 때의 발광층(23)이 되는 용액 또는 현탁액의 높이는 모두 전류원라인(18)의 높이나 EL라인(19)의 높이보다도 낮다. 따라서 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액은 전류원라인(18) 및 EL라인(19)을 넘어서 이웃한 행의 화소에 유출하는 일은 없다. 이와 같이 전류원라인(18) 및 EL라인(19)은 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액의 유출을 방지하는 격벽으로서 기능한다. 따라서 도 9에 나타내는 바와 같이, 전류원라인(18) 및 EL라인(19)을 따라서 둘러싸여진 행방향의 복수의 화소는 동일색으로 발광하는 발광층으로 하면 전류원라인(18) 및 EL라인(19)간에 일괄하여 발광층(23)을 포함하는 용액 또는 현탁액을 유입시킴으로써 행방향의 복수의 화소에 발광층(23)을 일괄하여 성막할 수 있다.

다음으로 도 7에 나타내는 바와 같이, 증착 등의 기상성장법에 의해서 마그네슘, 칼슘, 리튬, 바륨, 희토류금속 등의 낮은 일함수재료로 이루어지는 전자주입층과, 산화인듐, 산화아연 또는 산화주석 또는 이들 중의 적어도 하나를 포함하는 혼합물(예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 카드뮴-주석산화물(CTO))을 갖는 투명도전층과의 이중구조의 공통전극(24)을 캐소드전극으로서 일면에 성막한다. 전자주입층은 10nm~200nm의 두께로 가시광이 투과할 정도로 얇기 때문에 전류원라인(18)이나 EL라인(19)의 단차에 의해서 절단되어도 좋지만, 공통전극(24) 중의 투명도전층은 복수의 화소의 유기EL소자(26)의 한쪽의 전극을 서로 등전위로 하기 위해 전류원라인(18)상의 전류원라인절연막(21)의 위를 넘고 또한 EL라인(19)상에 걸치도록 성막되어 있다. 이에 따라 발광층(23)은 공통전극(24)에 밀착한 상태에서 공통전극(24)에 의해서 피복되고, 또한 EL라인(19)도 공통전극(24)에 밀착한 상태에서 공통전극(24)에 의해서 피복되어 공통전극(24)과 전기적으로 접속된다. 도 7에 있어서 화소전극(16a), 정공수송층(22), 발광층(23), 공통전극(24)의 차례로 적층한 것이 유기EL소자(26)가 되고, 공통전극(24)은 모든 화소(유기EL소자(26))를 덮도록 연속하여 형성되어 있다.

다음으로 스핀코트법, 딥코트법, 기상성장법에 의해서 오버코트절연층(25)을 일면에 성막한다.

그리고 도 9에 나타내는 바와 같이, 주사드라이버(32)의 각 단자를 각 배선(36)의 노출한 컨택트홀(37)과 반대측의 단부에 접속시킨다. 그리고 전류제어용의 데이터드라이버(33)의 각 단자를 각 신호전류선(3)의 노출한 단부에 접속시킨다. 또한 전류원드라이버(34)의 각 단자를 각 배선(45)을 통하여 각 전류원라인(18)에 접속한다. 또 주사드라이버(32) 및 전류원드라이버(34)로부터 출력되는 정전압(VSS)이 배선(36), 배선(39), 공통배선(35), 공통배선(38) 및 EL라인(19)을 통하여 공통전극(24)에 공급되게 된다. 또한 기판(2)은 상면을 투명밀봉기판으로 덮어 유기EL소자(26)를 기판(2) 및 투명밀봉기판으로 밀봉해도 좋다. 이와 같이 하여 액티브 매트릭스 구동방식의 표시장치가 완성된다.

완성된 표시장치는 도 10과 같은 회로를 구비한다. 도 10에 나타내는 바와 같이, 전류원라인(18)과 EL라인(19)의 사이에 있어서 전류제어트랜지스터(9)와 유기EL소자(26)가 직렬로 접속되어 있다. 즉, 전류제어트랜지스터(9)의 드레인(9D)이 전류원라인(18)에 접속되고, 전류제어트랜지스터(9)의 소스(9S)가 유기EL소자(26)의 애노드인 화소전극(16a)에 접속되며, 유기EL소자(26)의 캐소드인 공통전극(24)이 EL라인(19)에 접속되어 있다. 또 EL라인(19)이 발광소자접속배선의 도전층에 상당하고, 주사선(4)을 따라서 동일한 행에 배열된 유기EL소자(26, 26, ...)가 동일한 EL라인(19)에 접속되어 있다.

이 일렉트로루미네센트 디스플레이패널의 구동방법의 한 예를 설명한다.

주사드라이버(32)가 복수의 주사선(4)에 ON레벨(하이레벨)의 시프트펄스를 차례차례 출력하고, 그것에 동기하도록 전류원드라이버(34)가 복수의 전류원라인(18)에 로우레벨(EL라인(19)의 정전압(VSS)보다도 저전위 또는 등전위)의 시프트펄스를 차례차례 출력하며, 각각 주사선(4)에 시프트펄스가 출력되어 있을 때에 데이터드라이버(33)가 신호전류선(3) 및 전류제어트랜지스터(9)에 접속된 전류경로제어트랜지스터(7)의 드레인(7D)-소스(7S)간을 통하여 강제적으로 전류제어트랜지스터(9)의 드레인(9D)-소스(9S)간에 휘도계조에 따른 전류값의 기억전류(뽑아냄전류)를 흘린다.

구체적으로 어떤 행의 선택기간에 해당 행의 주사선(4)에 하이레벨의 시프트펄스가 출력되고, 또한 해당 행 이외의 복수의 주사선(4)에 OFF레벨(로우레벨)의 전압이 인가되어 있을 때는 해당 행의 전류원라인(18)에 EL라인(19)의 정전압(VSS)보다도 저전위 또는 등전위인 로우레벨의 시프트펄스가 출력되어 있다. 그 때 전류경로제어트랜지스터(7) 및 홀딩트랜지스터(8)가 ON상태(선택상태)가 된다. 이 때 데이터드라이버(33)가 계조데이터에 따른 전류값의 기억전류를 전류제어트랜지스터(9)의 드레인(9D)-소스(9S)간에 강제적으로 흐르도록 제어한다. 기억전류는 전류원라인(18)로부터 전류제어트랜지스터(9)의 드레인(9D)-소스(9S)간, 전류경로제어트랜지스터(7)의 드레인(7D)-소스(7S)간을 경유하여 신호전류선(3)을 향하여 흐른다. 이 기억전류의 전류값은 유기EL소자(26)의 발광휘도계조에 따라서 데이터드라이버(33)에 의해서 자동적으로 제어되어 있다.

트랜지스터의 특성상 전류제어트랜지스터(9)의 드레인(9D)-소스(9S)간에 흐르는 전류의 전류값은 전류제어트랜지스터(9)의 게이트(9G)-소스(9S)간 전위 및 전류제어트랜지스터(9)의 드레인(9D)-소스(9S)간 전위에 의존된다. 데이터드라이버(33)는 기억전류의 전류값에 따라서 전류제어트랜지스터(9)의 게이트(9G)-소스(9S)간 전위 및 전류제어트랜지스터(9)의 드레인(9D)-소스(9S)간 전위를 설정하게 되고, 이 때의 게이트(9G)-소스(9S)간의 전압값은 전류제어트랜지스터(9)의 게이트(9G)-소스(9S)간의 커패시터(10)에 차지된 전하에 의해서 그 후의 발광기간에 걸쳐서 홀딩(기억)된다. 해당 행의 선택기간 후의 발광기간에서는 주사드라이버(32)에 의해서 해당 행의 주사선(4)이 OFF레벨이 되고, 전류경로제어트랜지스터(7) 및 홀딩트랜지스터(8)이 OFF상태가 되는데, OFF상태의 홀딩트랜지스터(8)에 의해서 커패시터(10)의 전하가 홀딩되고, 전류제어트랜지스터(9)의 게이트(9G)-소스(9S)간의 전압이 그대로 유지된다. 이 때 전류원라인(18)이 하이레벨(EL라인(19)의 전압보다도 고레벨)이 됨으로써 전류제어트랜지스터(9)의 드레인(9D)-소스(9S)간이 포화상태가 될만큼 충분히 큰 전위차가 되기 때문에 전류원라인(18)으로부터 전류제어트랜지스터(9)를 통하여 유기EL소자(26)에 전류제어트랜지스터(9)의 게이트(9G)-소스(9S)간의 전압의 크기에 의해서 일의적으로 전류값이 정해지는 구동전류가 흐르고, 구동전류의 전류값에 따라서 유기EL소자(26)가 발광한다. 구동전류의 크기는 전류제어트랜지스터(9)의 게이트(9G)-소스(9S)간의 전압에 의존한다. 그 때문에 발광기간에 있어서의 구동전류의 전류값은 선택기간에 있어서의 기억전류의 전류값에 의해서 일의적으로 결정된다. 그리고 선택기간, 발광기간을 행마다 옮겨가는 것으로 일렉트로루미네센트 디스플레이패널이 프레임표시하는 것이 가능해진다.

상기한 바와 같이 신호전류선(3)으로 뽑아내어지는 기억전류의 전류값은 하나의 유기EL소자(26)에 흐르는 구동전류의 전류값에 거의 동등하기 때문에 신호전류선(3)은 트랜지스터(7, 8, 9)의 소스, 드레인과 같은 막을 이용해도 충분히 기능할 정도의 저항으로 설정할 수 있다. 또 주사선(4)은 전류경로제어트랜지스터(7) 및 홀딩트랜지스터(8)를 전압변조에 의해서 ON OFF제어하는 것만으로 좋으므로 반드시 대전류를 흘릴 필요가 없기 때문에, 트랜지스터(7, 8, 9)의 게이트와 같은 막을 이용해도 충분히 기능할 정도의 저항으로 설정할 수 있다.

그러나 어떤 행의 전류원라인(18)은 해당 행의 발광기간에 해당 행의 복수의 화소의 유기EL소자(26)에 각각 흐르는 구동 전류의 전류원이 되기 때문에 큰 전류값의 전류가 흐르도록 저저항이 아니면 안된다. 그리고 어떤 행의 EL라인(19)에는 해당 행의 발광기간에 해당 행의 복수의 화소의 유기EL소자(26)에 각각 흐르는 구동전류가 합쳐져서 흐르기 때문에 큰 전류값의 전류가 흐르도록 저저항이 아니면 안된다. 이와 같은 전류원라인(18) 및 EL라인(19)의 저항은 각 행의 화소수(유기EL소자(26)의 수)가 많아짐에 따라 작게 하지 않으면 안되고, 화소수가 충분히 크면 트랜지스터(7, 8, 9)의 게이트와 같은 막을 이용한 것만으로는 충분히 전류를 흘릴 수 없게 되어버릴 우려가 있다.

여기에서 본 실시형태에서는 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)의 일부를 구성하는 도전막과는 다른 도전막으로 형성되어 있기 때문에 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)은 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D)의 막두께보다도 두껍게 퇴적할 수 있고, 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D)에 대하여 단위 길이당의 저항이 작게 설정되는 것이 가능해진다. 또 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)은 트랜지스터(7, 8, 9)의 게이트(7G, 8G, 9G)의 막두께 보다도 두껍게 퇴적할 수 있고, 게이트(7G, 8G, 9G)에 대하여 단위길이당의 저항이 작게 설정되는 것이 가능해진다. 그 때문에 전류원라인(18)이나 EL라인(19)의 전기저항을 낮게 할 수 있고, 발광기간의 개시 시로부터 유기EL소자(26)가 소망의 밝기(계조)로 발광하기까지의 시간의 지연을 억제하거나, 전류원라인(18)이나 EL라인(19)에 있어서의 전압강하를 억제하거나 할 수 있다. 또한 전류원라인(18)이나 EL라인(19)을 저저항으로 함으로써 일렉트로루미네선트 디스플레이패널의 밝기의 저하, 밝기의 불균형, 크로스토크 등의 표시악화를 억제할 수 있다.

예를 들면 전류원라인(18) 및 EL라인(19)을 배선폭 $20\mu\text{m}$, 배선길이 664mm 로 설정하여 또한 본 발명과 같이 막두께 $5\mu\text{m}$ 의 동을 이용한 경우, 시트저항 $0.003\Omega/\square$, 저항 111Ω 이 되고, 40mA 로 했을 때의 전압강하는 4.4V 로 억제된다. 한편 종래와 같이 트랜지스터(7, 8, 9)의 드레인, 소스에 이용한 막두께 $0.3\mu\text{m}$ 의 Al-Ti를 전류원라인(18) 및 EL라인(19)로서 이용한 경우, 시트저항 $0.5\Omega/\square$, 저항 16600Ω 이 되며, 40mA 로 했을 때의 전압강하는 6644V 로 되어 버린다.

또한 본 발명은 상기 실시형태에 한정되는 것은 아니고, 본 발명의 취지를 면탈하지 않는 범위에 있어서, 여러가지의 개량 및 설계의 변경을 실시해도 좋다.

예를 들면, 신호전류선(3)과 교차하는 부분을 제외한 주사선(4)이 노출하도록 게이트절연막(41) 및 평탄화막(11)에 콘택트홀을 설치하여 전류원라인(18)이나 EL라인(19)의 성막과 동일 공정에 있어서, 주사선(4)상에 도금층을 형성하여 주사선(4)을 저저항화해도 좋다. 이 도금층은 공통전극(24)과 절연하도록 전류원라인(18)의 전류원라인절연막(21)과 마찬가지로 공통전극(24)의 사이에 절연막을 개재시키고, 또 트랜지스터(7, 8)의 게이트와 전기적을 접속하고 있다.

또 상기 실시형태에서는 트랜지스터(7, 8, 9)가 N채널형의 박막트랜지스터로서 설명했는데, 트랜지스터(7, 8, 9)가 P채널형의 박막트랜지스터이어도 좋다. 트랜지스터(7, 8, 9)가 P채널형의 박막트랜지스터인 경우, 소스와 드레인의 접속이 반대로 되기 때문에, 상기 설명에 있어서 「소스」를 「드레인」으로 치환하고, 「드레인」을 「소스」로 치환하면 좋고, 신호의 「하이레벨」을 「로우레벨」로 치환하며, 「로우레벨」을 「하이레벨」로 치환하면 좋다. 또한 이 경우에도 기억전류의 방향은 바뀌지 않는다.

<제 2 실시형태>

도 11~도 16을 이용하여 제 2 실시형태에 있어서의 표시장치의 제조방법에 대하여 설명한다. 도 11~도 16은 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 도 11~도 16의 차례로 되어 있다. 또 도 11~도 16에서는 제 1 실시형태에 있어서의 표시장치의 각 부에 대응하는 부분에 대하여 동일한 부호를 붙이고, 제 1 실시형태와 동일 공정 부분에 대해서는 일부 생략한다.

우선 도 11에 나타내는 바와 같이, 트랜지스터어레이기판(1)을 제조한다. 다음으로 평탄화막(11)상에 기상성장법 등에 의한 반사금속막(15)의 성막공정, 포토리소그래피법 등의 마스크공정, 에칭 등의 형상가공공정을 이 차례로 실시함으로써 화소마다 반사금속막(15d)을 패터닝 형성한다.

다음으로 기상성장법을 실시함으로써 반사금속막(15d)을 피복하도록 투명절연막(131)을 전체 일면에 성막한다. 반사금속막(15d)은 투명절연막(131)에 의해서 전기적으로 절연되어 있다. 이와 같이 투명절연막(131)을 성막한 것이 제 2 실시형태와 제 1 실시형태가 다른 점이다.

다음으로 포토리소그래피법, 에칭법 등을 실시함으로써 각 전류제어트랜지스터(9)의 소스(9S)에 통하는 콘택트홀(12) 및 각 전류제어트랜지스터(9)의 드레인(9D)에 통하는 콘택트홀(13)을 평탄화막(11) 및 투명절연막(131)에 형성한다. 다음으로 질화실리콘 또는 산화실리콘으로 이루어지는 유기EL분리절연막(14)을 세로방향에 이웃한 화소의 사이에 있어서 주사선(4)과 평행하게 되도록 패터닝한다.

다음으로 도 12에 나타내는 바와 같이, 기상성장법에 의해서 투명금속산화물막(16)을 투명절연막(131)상의 일면에 성막한다. 투명금속산화물막(16)은 콘택트홀(12, 13) 내에 있어서도 표면에 성막되고, 전류제어트랜지스터(9)의 드레인(9D) 및 소스(9S)에 접한다. 이와 같이 반사금속막(15d)을 투명절연막(131)에 의해서 투명금속산화물막(16)과 전기적으로 분리한 것이 제 2 실시형태와 제 1 실시형태의 다른 점이다.

다음으로 스퍼터링 등의 기상성장법에 의해서 동, 니켈 등의 금속재료로 이루어지는 금속층(17)을 투명금속산화물막(16)상의 일면에 성막한다. 콘택트홀(13)과 겹치고 또한 행방향을 따른 부분의 금속층(17) 및 유기EL분리절연막(14)과 겹치며 또한 행방향을 따른 부분의 금속층(17)이 노출되는 포토레지스트막(62)을 형성한다. 또한 포토레지스트막(62)은 제 1 실시형태의 포토레지스트막(61)과 마찬가지로, 콘택트홀(37)에서 배선(36)과 접속된 금속층(17)을 노출하며, 콘택트홀(40)에서 배선(39)과 접속된 금속층(17)을 노출하고, 또한 각 콘택트홀(46)에서 배선(45)과 접속된 금속층(17)을 노출하고 있다.

다음으로 전해도금을 실시함으로써 도 13에 나타내는 바와 같이, 노출된 금속층(17)상에 트랜지스터(7, 8, 9)의 소스, 드레인, 게이트의 막두께보다도 두꺼운 막두께 $2\mu\text{m} \sim 100\mu\text{m}$ 의 동도금후막이고 또한 $5\mu\text{m} \sim 50\mu\text{m}$ 폭의 동도금후막으로 이루어지는 전류원라인(18) 및 EL라인(19)을 형성한다. 이에 따라 행방향으로 배열된 복수의 화소의 전류제어트랜지스터(9)의 드레인(9D)이 공통의 전류원라인(18)에 전기적으로 접속한 상태가 된다. 또한 전해도금 대신에 스퍼터링법 또는 승화증착법에 의해 동후막을 성막해도 좋다. 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)은 모두 주사선(4, 4, ...)과 동일수이고, 각 행에 전류원라인(18), EL라인(19) 및 주사선(4)이 1개씩 설치되어 있다.

다음으로 도 14에 나타내는 바와 같이, 포토레지스트막(62)을 제거하고 나서 전류원라인(18) 및 EL라인(19)을 마스크로 해서 노출된 금속층(17)을 에칭제거하고, 전류원라인(18, 18, ...)의 아래쪽에 밀바탕층(17a)을 형성하며, EL라인(19, 19, ...)의 아래쪽에 밀바탕층(17b)을 형성한다. 또한 투명금속산화물막(16)에 대하여 포토리소그래피법, 에칭법을 실시함으로써 화소전극(16a)을 패터닝하는 동시에, 전류원라인(18)을 마스크로 한 밀바탕층(17a)의 아래쪽에 설치된 투명금속산화물막(16)을 잔류시켜서 투명금속산화물밀바탕막(16b)을 형성하며, 밀바탕층(17b)의 아래쪽에 설치된 투명금속산화물막(16)을 잔류시켜서 투명금속산화물밀바탕막(16c)을 형성한다.

다음으로 전류원라인(18)만을 피복하도록 전류원라인절연막(21)을 패터닝 형성한다. 그리고 도 15에 나타내는 바와 같이, PEDOT(폴리티오오펜) 및 도펀트인 PSS(폴리스티렌술폰산)로 이루어지는 정공수송층(22)을 액적토출법(잉크젯법), 스핀코트법, 딥코트법, 니들에 의한 적하법 등의 습식성막법에 의해서 성막한다. 정공수송층(22)은 트랜지스터어레이기판(1)의 일면에 형성하여 모든 화소에 공통시켜도 좋고, 화소마다 독립하도록 형성해도 좋다. 도면에서는 정공수송층(22)을 포함하는 용액 또는 현탁액이 전류원라인(18) 및 EL라인(19)에 둘러싸여진 영역에 충전된 후, 용제 또는 수분이 휘발함으로써 정공수송층(22)이 성막되어 있는 상태를 나타내고 있다.

정공수송층(22)의 건조 후, 제 1 실시형태와 마찬가지로 폴리플루오렌계 발광재료로 이루어지는 발광층(23)을 액적토출법(잉크젯법), 니들에 의한 적하법 등의 습식성막법에 의해서 화소마다 패터닝한다. 여기에서 유기EL분리절연막(14)의 위에 투명금속산화물밀바탕막(16c), 밀바탕층(17b) 및 EL라인(19)이 잔류하고 있는데, 정공수송층(22)의 막두께나 발광층(23)의 막두께는 유기EL분리절연막(14)의 막두께보다도 얇다. 그리고 정공수송층(22)이 되는 용액 또는 현탁액의 높이 및 화소영역에 피복했을 때의 발광층(23)이 되는 용액 또는 현탁액의 높이는 모두 전류원라인(18)의 높이나 EL라인(19)의 높이보다도 낮다. 따라서 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액은 전류원라인(18) 및 EL라인(19)을 넘어서 이웃한 행의 화소에 유출하는 일은 없다. 이와 같이 전류원라인(18) 및 EL라인(19)은 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액의 유출을 방지하는 격벽으로서 기능한다. 따라서 도 9에 나타내는 바와 같이, 전류원라인(18) 및 EL라인(19)을 따라서 둘러싸여진 행방향을 복수의 화소는 동일색으로 발광하는 발광층으로 하면 전류원라인(18) 및 EL라인(19)간에 일괄하여 발광층(23)을 포함하는 용액 또는 현탁액을 유입시킴으로써 행방향을 복수의 화소에 발광층(23)을 일괄하여 성막할 수 있다.

다음으로 도 16에 나타내는 바와 같이, 증착 등의 기상성장법에 의해서 마그네슘, 칼슘, 리튬, 바륨, 희토류금속 등의 낮은 일함수재료로 이루어지는 전자주입층과, 산화인듐, 산화아연 혹은 산화주석 또는 이들 중의 적어도 하나를 포함하는 혼합물(예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 카드뮴-주석산화물(CTO))을 갖는 투명한전층과의 이층구조의

공통전극(24)을 캐소드전극으로서 일면에 성막한다. 전자주입층은 10nm~200nm의 두께로 가시광이 투과할 정도로 얇기 때문에 전류원라인(18)이나 EL라인(19)의 단차에 의해서 절단되어도 좋지만, 공통전극(24)의 투명도전층은 복수의 화소의 유기EL소자(26)의 한쪽의 전극을 서로 등전위로 하기 위해 전류원라인(18)상의 전류원라인절연막(21)의 위를 넘고 또한 EL라인(19)상에 걸치도록 성막되어 있다. 이에 따라 발광층(23)은 공통전극(24)에 밀착한 상태에서 공통전극(24)에 의해서 피복되고, 또한 EL라인(19)도 공통전극(24)에 밀착한 상태에서 공통전극(24)에 의해서 피복되어 유기EL소자(26)가 성막된다.

다음으로 스핀코트법, 딥코트법, 기상성장법에 의해서 오버코트절연층(25)을 일면에 성막하고, 주사드라이버(32), 데이터드라이버(33) 및 전류원드라이버(34)를 접속하고 나서 투명밀봉기판을 맞붙인다.

이상에 의해 액티브매트릭스 구동방식의 일렉트로루미네선트 디스플레이패널이 완성된다.

제 2 실시형태에 있어서도 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)의 일부를 구성하는 도전막과는 다른 막으로 형성되어 있기 때문에 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)의 드레인, 소스, 게이트나 신호전류선(3), 주사선(4) 등보다도 후막으로 하여 단위길이당의 저항을 보다 작게 할 수 있다. 그 때문에 전류원라인(18)이나 EL라인(19)의 전기저항을 낮게 할 수 있고, 발광기간의 개시시로부터 유기EL소자(26)가 소망의 밝기(계조)로 발광하기까지의 시간의 지연을 억제하거나, 전류원라인(18)이나 EL라인(19)에 있어서의 전압강하를 억제하거나 할 수 있다. 또한 전류원라인(18)이나 EL라인(19)을 저저항으로 함으로써 일렉트로루미네선트 디스플레이패널의 밝기의 저하, 밝기의 불균형, 크로스토크 등의 표시악화를 억제할 수 있다.

<제 3 실시형태>

도 17~도 22를 이용하여 제 3 실시형태에 있어서의 일렉트로루미네선트 디스플레이패널의 제조방법에 대하여 설명한다. 도 17~도 22는 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 도 17~도 22의 차례로 되어 있다. 또 도 17~도 22에서는 제 2 실시형태에 있어서의 일렉트로루미네선트 디스플레이패널의 각 부에 대응하는 부분에 대하여 동일한 부호를 붙이고, 제 1 실시형태와 동일 공정 부분에 대해서는 일부 생략한다.

우선 도 17에 나타내는 바와 같이, 트랜지스터어레이기판(1)을 제조한다. 다음으로 평탄화막(11)상에 스토퍼 등의 기상성장법에 의한 반사금속막의 성막공정, 포토리소그래피법 등의 마스크공정, 에칭 등의 형상가공공정을 이 차례로 실시함으로써 화소마다 반사금속막(15d)을 패터닝 형성한다.

다음으로 기상성장법을 실시함으로써 반사금속막(15d)을 피복하도록 투명절연막(131)을 전체 일면에 성막한다. 반사금속막(15d)은 투명절연막(131)에 의해서 전기적으로 절연되어 있다.

다음으로 포토리소그래피법, 에칭법 등을 실시함으로써 각 전류제어트랜지스터(9)의 소스(9S)에 통하는 컨택트홀(12) 및 각 전류제어트랜지스터(9)의 드레인(9D)에 통하는 컨택트홀(13)을 평탄화막(11) 및 투명절연막(131)에 형성한다.

여기에서 제 2 실시형태에서는 유기EL분리절연막(14)을 패터닝했는데, 본 실시형태에서는 유기EL분리절연막을 패터닝하지 않는다.

다음으로 도 18에 나타내는 바와 같이, 기상성장법에 의해서 투명금속산화물막(16)을 투명절연막(131)상의 일면에 성막한다. 투명금속산화물막(16)은 투명금속산화물막(16)은 컨택트홀(12, 13) 내에 있어서도 표면에 성막되고, 전류제어트랜지스터(9)의 드레인(9D) 및 소스(9S)에 접한다.

다음으로 도 19에 나타내는 바와 같이, 기상성장법에 의해서 동, 니켈 등의 금속재료로 이루어지는 금속층(17)을 투명금속산화물막(16)상의 일면에 성막한다. 금속층(17)에 있어서의 컨택트홀(13)과 겹치고 또한 행방향을 따른 부분(17a) 및 반사금속막(15d)에 대하여 부분(17a)과 대향하는 변측(邊側)에 행방향을 따른 격벽(231)이 형성되는 부분(17b)이 노출되는 포토레지스트막(63)을 형성한다. 또한 포토레지스트막(63)은 제 1 실시형태의 포토레지스트막(61)과 마찬가지로 컨택트홀(37)에서 배선(36)과 접속된 금속층(17)을 노출하고, 컨택트홀(40)에서 배선(39)과 접속된 금속층(17)을 노출하며, 또한 각 컨택트홀(46)에서 배선(45)과 접속된 금속층(17)을 노출하고 있다.

다음으로 전해도금을 실시함으로써 노출된 밀바탕층(17a 17b)상에 트랜지스터(7, 8, 9)의 소스, 드레인, 게이트의 막두께보다도 두꺼운 막두께 $2\mu\text{m} \sim 100\mu\text{m}$, $5\mu\text{m} \sim 50\mu\text{m}$ 폭의 동도금후막으로 이루어지는 전류원라인(18) 및 격벽(231)을 형성한다. 이에 따라 행방향으로 배열된 복수의 화소의 전류제어트랜지스터(9)의 드레인(9D)이 공통의 전류원라인(18)에 전기적으로 접속한 상태가 된다. 또한 전해도금 대신에 스퍼터링법 또는 승화증착법에 의해 동후막을 성막해도 좋다.

또한 전류원라인(18, 18, ...) 및 격벽(231, 231, ...)을 패터닝함에 있어서 전류원라인(18)을 격벽(231)에 대하여 평행하게 설치하고, 또한 전류원라인(18) 및 격벽(231)을 주사선(4)에 대하여 평행하게 설치한다. 또 평면에서 보아 가로방향(행방향)으로 배열된 모든 화소의 콘택트홀(13)에 대하여 전류원라인(18)이 겹치도록 전류원라인(18)을 패터닝한다. 또한 전류원라인(18)을 트랜지스터어레이기판(1)의 테두리까지 연장하도록 전류원라인(18)을 패터닝한다.

다음으로 도 20에 나타내는 바와 같이, 포토레지스트막(63)을 제거하고 나서 전류원라인(18) 및 격벽(231)을 마스크로 해서 노출된 금속층(17)을 에칭제거하고, 전류원라인(18, 18, ...)의 아래쪽에 밀바탕층(17a)을 잔존하며, 격벽(231, 231, ...)의 아래쪽에 밀바탕층(17b)을 잔존한다. 또한 투명금속산화물막(16)에 대하여 포토리소그래피법, 에칭법을 실시함으로써 화소전극(16a)을 패터닝하는 동시에, 전류원라인(18)을 마스크로 한 밀바탕층(17a)의 아래쪽에 설치된 투명금속산화물막(16)을 잔류시켜서 투명금속산화물밀바탕막(16b)을 형성하며, 밀바탕층(17b)의 아래쪽에 설치된 투명금속산화물막(16)을 잔류시켜서 투명금속산화물밀바탕막(16c)을 형성한다.

다음으로 도 21에 나타내는 바와 같이, 전류원라인(18)을 피복하도록 전류원라인절연막(21)을 형성하는 동시에, 격벽(231)을 피복하도록 전류원라인절연막(21)과 같은 재료의 EL라인절연막(232)을 전류원라인절연막(21)과 동일 공정에서 형성한다. 이상에 의해 유기EL구동기판이 완성된다.

다음으로 PEDOT(폴리티오펜) 및 도펀트인 PSS(폴리스티렌술포산)으로 이루어지는 정공수송층(22)을 액적도출법(잉크젯법), 스핀코트법, 딥코트법, 니들에 의한 적하법 등의 습식성막법에 의해서 성막한다. 정공수송층(22)은 트랜지스터어레이기판(1)의 일면에 형성하여 모든 화소에 공통시켜도 좋고, 화소마다 독립하도록 형성해도 좋다. 도면에서는 정공수송층(22)을 포함하는 용액 또는 현탁액이 전류원라인(18) 및 격벽(231)에 둘러싸여진 영역에 충전된 후, 용제 또는 수분이 휘발함으로써 정공수송층(22)이 성막된 상태를 나타내고 있다.

정공수송층(22)의 건조 후, 제 1 실시형태와 마찬가지로 폴리플루오렌계 발광재료로 이루어지는 발광층(23)을 액적도출법(잉크젯법), 니들에 의한 적하법 등의 습식성막법에 의해서 화소마다 패터닝한다. 여기에서 정공수송층(22)의 막두께나 발광층(23)의 막두께는 격벽(231)의 막두께보다도 얇다. 그리고 정공수송층(22)이 되는 용액 또는 현탁액의 높이 및 화소 영역에 피복했을 때의 발광층(23)이 되는 용액 또는 현탁액의 높이는 전류원라인(18)의 높이나 격벽(231)의 높이보다도 낮다. 따라서 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액은 전류원라인(18) 및 격벽(231)을 넘어서 이웃한 행의 화소에 유출하는 일은 없다. 이와 같이 전류원라인(18) 및 격벽(231)은 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액의 유출을 방지하는 격벽으로서 기능한다. 따라서 전류원라인(18) 및 격벽(231)을 따라서 둘러싸여진 행방향의 복수의 화소는 동일색으로 발광하는 발광층으로 하면 전류원라인(18) 및 격벽(231)간에 일괄하여 발광층(23)을 포함하는 용액 또는 현탁액을 유입시킴으로써 행방향의 복수의 화소로 발광층(23)을 일괄하여 성막할 수 있다.

다음으로 도 22에 나타내는 바와 같이, 증착 등의 기상성장법에 의해서 마그네슘, 칼슘, 리튬, 바륨, 희토류금속 등의 낮은 일함수의 재료로 이루어지는 전자주입층과, 산화인듐, 산화아연 혹은 산화주석 또는 이들 중의 적어도 하나를 포함하는 혼합물(예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 카드뮴-주석산화물(CTO))을 갖는 투명도전층과의 이층구조의 공통전극(24)을 캐소드전극으로서 일면에 성막한다. 전자주입층은 $10\text{nm} \sim 200\text{nm}$ 의 두께로 가시광이 투과할 정도로 얇기 때문에 전류원라인(18)이나 격벽(231)의 격차에 의해서 절단되어도 좋지만, 공통전극(24)의 투명도전층은 복수의 화소의 유기EL소자(26)의 한쪽의 전극을 서로 등전위로 하기 위해 전류원라인(18)표면의 전류원라인절연막(21)상에 넘고 또한 격벽(231)표면의 EL라인절연막(232)상에 겹치도록 성막되어 있다. 이에 따라 발광층(23)은 공통전극(24)에 밀착한 상태로 공통전극(24)에 의해서 피복되고, 또한 격벽(231)도 공통전극(24)에 밀착한 상태로 공통전극(24)에 의해서 피복되어 유기EL소자(26)가 형성된다. 격벽(231)은 정공수송층(22)을 포함하는 용액 또는 현탁액 및/또는 발광층(23)을 포함하는 용액 또는 현탁액을 소정의 위치에 설치하기 위한 칸막이로서 이용함에 있어서, 제 1 실시형태의 EL라인(19)과 같이 전압이 인가되어 있는 것은 아니다.

다음으로 증착법, 스퍼터링법, 스크린인쇄법, 승화증착법, 디스펜서법 등에 의해서 평면에서 보아 격벽(231)에 겹치도록 트랜지스터(7, 8, 9)의 소스, 드레인, 게이트의 막두께보다도 두꺼운 막두께의 EL라인(233)을 공통전극(24)상에 형성한다. EL라인(233)은 제 1 실시형태의 EL라인(19)에 상당하는 것으로, 형상, 길이, 두께 모두 EL라인(19)과 마찬가지로,

트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D), 게이트(7G, 8G, 9G)의 막두께보다도 두껍기 때문에 이들 전극보다도 단위배선의 길이당의 저항이 낮게 설정되어 있다. 또 EL라인(233)은 제 1 실시형태의 EL라인(19)과 마찬가지로 포토레지스트막(61)을 이용하여 전해도금에 의해 퇴적되어도 좋다. EL라인(233)은 격벽(231) 위쪽에 있어서 전체 화소공통의 공통전극(24)과 접속되어 있다. 전류원라인(18, 18, ...) 및 EL라인(233, 233, ...)은 모두 주사선(4, 4, ...)과 동일수이고, 각 행에 전류원라인(18), EL라인(233) 및 주사선(4)이 1개씩 설치되어 있다.

다음으로 스핀코트법, 딥코트법, 기상성장법에 의해서 오버코트절연층(25)을 일면에 성막하고, 주사드라이버(32), 데이터드라이버(33) 및 전류원드라이버(34)를 접속하고 나서 투명밀봉기판을 맞붙인다.

이상에 의해 액티브매트릭스 구동방식의 표시장치가 완성된다.

제 3 실시형태에 있어서도 전류원라인(18) 및 EL라인(233)을 트랜지스터(7, 8, 9)의 일부를 구성하는 도전막과는 다른 막으로 형성되어 있기 때문에 전류원라인(18) 및 EL라인(233)을 트랜지스터(7, 8, 9)의 드레인, 소스, 게이트나 신호전류선(3), 주사선(4) 등보다도 후막으로 할 수 있다. 그 때문에 전류원라인(18)이나 EL라인(233)의 전기저항을 낮게 할 수 있고, 발광기간의 개시시로부터 유기EL소자(26)가 소망의 밝기(계조)로 발광하기까지의 시간의 지연을 억제하거나, 전류원라인(18)이나 EL라인(233)에 있어서의 전압강하를 억제하거나 할 수 있다. 또한 전류원라인(18)이나 EL라인(233)을 저저항으로 함으로써 일렉트로루미네센트 디스플레이패널의 밝기의 저하, 밝기의 불균형, 크로스트크 등의 표시악화를 억제할 수 있다.

<제 4 실시형태>

도 23~도 28을 이용하여 제 4 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 제조방법에 대해서 설명한다. 도 23~도 28은 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 도 23~도 28의 차례로 되어 있다. 또 도 23~도 28에서는 제 1 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 각 부에 대응하는 부분에 대하여 동일한 부호를 붙이고, 제 1 실시형태와 동일 공정 부분에 대해서는 일부 생략한다.

우선 도 23에 나타내는 바와 같이, 트랜지스터어레이기판(1)을 제조한다. 준비한 트랜지스터어레이기판(1)에 대해서 포토리소그래피법, 에칭법 등을 실시함으로써 각 전류제어트랜지스터(9)의 소스(9S)에 통하는 콘택트홀(12) 및 각 전류제어트랜지스터(9)의 드레인(9D)에 통하는 콘택트홀(13)을 평탄화막(11)에 형성한다.

다음으로 질화실리콘 또는 산화실리콘으로 이루어지는 유기EL분리절연막(14)을 세로(열)방향에 이웃한 화소의 사이에 있어서 주사선(4)과 평행하게 되도록 패터닝하여 형성한다.

다음으로 도 24에 나타내는 바와 같이, 기상성장법에 의해서 투명금속산화물막(16)을 트랜지스터어레이기판(1)상의 일면에 성막한다. 여기에서 제 1 실시형태에서는 투명금속산화물막(16)의 앞에 반사금속막(15)을 성막했는데, 본 실시형태에서는 반사금속막(15)을 성막하지 않는다. 다음으로 기상성장법에 의해서 동, 니켈 등의 금속재료로 이루어지는 금속층(17)을 투명금속산화물막(16)상의 일면에 성막한다.

다음으로 포토리소그래피법에 의해 마스크를 패터닝하고, 증착법 등의 방법으로 금의 박막을 성막하며, 마스크를 박리함으로써 금박막으로 이루어지는 화소전극(331)을 형성한다. 또한 화소전극(331)을 패터닝함에 있어서 상기 마스크는 후술하는 전류원라인(18)에 대응하는 부분, 즉 콘택트홀(13)과 겹치고 또한 행방향으로 연장한 부분 및 EL라인(19)에 대응하는 부분, 즉 유기EL분리절연막(14)과 겹치며 또한 행방향으로 연장한 부분에 각각 밀바탕막(331a, 331b)이 잔존하는 마스크이다.

다음으로 도 25에 나타내는 바와 같이, 콘택트홀(13)과 겹치고 또한 행방향을 따른 부분의 밀바탕막(331a) 및 유기EL분리절연막(14)과 겹치며 또한 행방향을 따른 부분의 밀바탕막(331b)이 노출되는 포토레지스트막(64)을 형성한다. 계속해서 노출된 밀바탕막(331a) 및 밀바탕막(331b)을 전극으로서 전해도금을 실시함으로써 밀바탕막(331a) 및 밀바탕막(331b)상에 각각 막두께 $2\mu\text{m} \sim 100\mu\text{m}$ 또한 $5\mu\text{m} \sim 50\mu\text{m}$ 폭의 동도금후막의 전류원라인(18) 및 EL라인(19)을 형성한다. 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)은 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D), 게이트(7G, 8G, 9G)의 막두께보다도 두껍게 퇴적되어 있기 때문에 이들 전극보다도 단위배선의 길이당의 저항이 낮게 설정되어 있다. 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)은 모두 주사선(4, 4, ...)과 동일수이고, 각 행에 전류원라인(18), EL라인(19) 및 주사선(4)이 1개씩 설치되어 있다. 이 후, 포토레지스트막(64)을 제거한다. 또한 전해도금 대신에 스퍼터링법, 승화증착법 또는 디스펜서법에 의해 동두께막을 성막해도 좋다.

다음으로 도 26에 나타내는 바와 같이, 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)으로 피복된 부분을 제외하고 노출된 금속층(17)을 에칭하여 전류원라인(18, 18, ...)의 아래쪽에 밀바탕층(17a, 17a, ...)을 형성하고, EL라인(19, 19, ...)의 아래쪽에 밀바탕층(17b, 17b, ...)을 형성한다. 그리고 전류원라인(18), EL라인(19) 및 화소전극(331)을 마스크로 해서 투명금속산화물막(16)을 에칭하여 각각 투명금속산화물밀바탕막(16b), 투명금속산화물밀바탕막(16c), 투명금속산화물밀바탕막(16d)을 형성한다.

다음으로 도 27에 나타내는 바와 같이, 전류원라인(18)을 피복하도록 전류원라인절연막(21)을 형성한다. 이상에 의해 유기EL구동기관이 완성된다.

다음으로 PEDOT(폴리티오펜) 및 도판트인 PSS(폴리스티렌술포산)로 이루어지는 정공수송층(22)을 액적도출법(잉크젯법), 스핀코트법, 딥코트법, 니들에 의한 적하법 등의 습식성막법에 의해서 성막한다. 정공수송층(22)은 트랜지스터레이기관(1)의 일면에 형성하여 모든 화소에 공통시켜도 좋고, 화소마다 독립하도록 형성해도 좋다. 도면에서는 정공수송층(22)을 포함하는 용액 또는 현탁액이 전류원라인(18) 및 EL라인(19)에 둘러싸여진 영역에 충전된 후, 용제 또는 수분이 휘발함으로써 정공수송층(22)이 성막되어 있는 상태를 나타내고 있다.

정공수송층(22)의 건조 후, 폴리플루오렌계 발광재료로 이루어지는 발광층(23)을 액적도출법(잉크젯법), 인쇄법, 니들에 의한 적하법 등의 습식성막법에 의해서 화소마다 패터닝한다. 여기에서 유기EL분리절연막(14)상에 투명금속산화물밀바탕막(16c), 밀바탕층(17b) 및 EL라인(19)이 잔존하고 있는데, 정공수송층(22)의 막두께나 발광층(23)의 막두께는 유기EL분리절연막(14)의 막두께보다도 얇다. 그리고 정공수송층(22)이 되는 용액 또는 현탁액의 높이 및 화소영역에 피복했을 때의 발광층(23)이 되는 용액 또는 현탁액의 높이는 모두 전류원라인(18)의 높이나 EL라인(19)의 높이보다도 낮다. 따라서 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액은 전류원라인(18) 및 EL라인(19)을 넘어서 이웃한 행의 화소에 유출하는 일은 없다. 이와 같이 전류원라인(18) 및 EL라인(19)은 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액의 유출을 방지하는 격벽으로서 기능한다. 따라서 도 9에 나타내는 바와 같이, 전류원라인(18) 및 EL라인(19)을 따라서 둘러싸여진 행방향의 복수의 화소는 동일색으로 발광하는 발광층으로 하면 전류원라인(18) 및 EL라인(19)간에 일괄하여 발광층(23)을 포함하는 용액 또는 현탁액을 유입시킴으로써 행방향의 복수의 화소에 발광층(23)을 일괄하여 성막할 수 있다.

다음으로 도 28에 나타내는 바와 같이, 기상성장법에 의해서 마그네슘, 칼슘, 리튬, 바륨, 희토류금속 등의 낮은 일함수재료로 이루어지는 전자주입층과, 산화인듐, 산화아연 혹은 산화주석 또는 이들 중의 적어도 하나를 포함하는 혼합물(예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 카드뮴-주석산화물(CTO))을 갖는 투명도전층과의 이층구조의 공통전극(24)을 캐소드전극으로서 일면에 성막한다. 전자주입층은 10nm~200nm의 두께로 가시광이 투과할 정도로 얇기 때문에 전류원라인(18)이나 EL라인(19)의 단차에 의해서 절단되어도 좋지만, 공통전극(24)의 투명도전층은 복수의 화소의 유기EL소자(26)의 한쪽의 전극을 서로 등전위로 하기 위해 전류원라인(18)상의 전류원라인절연막(21)의 위를 넘고 또한 EL라인(19)상에 걸치도록 성막되어 있다.

다음으로 스핀코트법, 딥코트법, 기상성장법에 의해서 오버코트절연층(25)을 일면에 성막하고, 주사드라이버(32), 데이터드라이버(33) 및 전류원드라이버(34)를 접속하고 나서 투명밀봉기관을 맞붙인다.

이상에 의해 액티브매트릭스 구동방식의 표시장치가 완성된다.

또한 신호전류선(3)과 교차하는 부분을 제외한 주사선(4)이 노출하도록 게이트절연막(41) 및 평탄화막(11)에 컨택트홀을 설치하고 전류원라인(18)이나 EL라인(19)의 성막과 동일 공정에 있어서, 주사선(4)상에 전해도금층을 형성해도 좋다. 이 경우, 도금층은 공통전극(24)과 절연하도록 전류원라인(18)의 전류원라인절연막(21)과 마찬가지로 사이에 절연막을 개재시키는데, 트랜지스터(7, 8)의 게이트에는 전기적으로 접속한다.

제 4 실시형태에 있어서도 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)의 일부를 성막하는 도전막과는 다른 막으로 형성되어 있기 때문에 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)의 드레인, 소스, 게이트나 신호전류선(3), 주사선(4) 등보다도 후막으로 할 수 있다. 그 때문에 전류원라인(18)이나 EL라인(19)의 전기저항을 낮게 할 수 있고, 발광기간의 개시시로부터 유기EL소자(26)가 소망의 밝기(계조)로 발광하기까지의 시간의 지연을 억제하거나, 전류원라인(18)이나 EL라인(19)에 있어서의 전압강하를 억제하거나 할 수 있다. 또한 전류원라인(18)이나 EL라인(19)을 저저항함으로써 일렉트로루미네센트 디스플레이패널의 밝기의 저하, 밝기의 불균형, 크로스토크 등의 표시악화를 억제할 수 있다.

<제 5 실시형태>

도 29~도 34를 이용하여 제 5 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 제조방법에 대하여 설명한다. 도 29~도 34는 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 도 29~도 34의 차례로 되어 있다. 또 도 29~도 34에서는 제 2 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 각 부에 대응하는 부분에 대하여 동일한 부호를 붙이고, 제 1 실시형태와 동일 공정에 대해서는 일부 생략한다.

우선 도 29에 나타내는 바와 같이, 트랜지스터레이기판(1)을 제조한다. 다음으로 기상성장법 등의 성막공정, 포토리소그래피법 등의 마스크공정, 에칭 등의 형상가공공정을 이 차례로 실시함으로써 화소마다 반사금속막(15d)을 패터닝 형성한다.

다음으로 기상성장법을 실시함으로써 반사금속막(15d)을 피복하도록 투명절연막(131)을 전체 일면에 성막한다.

다음으로 포토리소그래피법, 에칭법 등을 실시함으로써 각 전류제어트랜지스터(9)의 소스(9S)에 통하는 컨택트홀(12) 및 각 전류제어트랜지스터(9)의 드레인(9D)에 통하는 컨택트홀(13)을 평탄화막(11) 및 투명절연막(131)에 형성한다.

또한 본 실시형태에서는 제 2 실시형태에 있어서의 유기EL분리절연막(14)을 형성하지 않는 것이 제 2 실시형태와 다르다.

다음으로 도 30에 나타내는 바와 같이, 기상성장법에 의해서 투명금속산화물막(16)을 투명절연막(131)상의 일면에 성막한다. 투명금속산화물막(16)은 컨택트홀(12, 13) 내에 있어서도 표면에 성막되고, 전류제어트랜지스터(9)의 드레인(9D) 및 소스(9S)에 접한다.

다음으로 스퍼터링 등의 기상성장법에 의해서 동, 니켈 등의 금속재료로 이루어지는 금속층(17)을 투명금속산화물막(16)상의 일면에 성막한다.

다음으로 도 31에 나타내는 바와 같이, 금속층(17)에 있어서의 컨택트홀(13)과 겹치고 또한 행방향을 따른 부분(17a) 및 반사금속막(15d)에 대하여 부분(17a)과 대향하는 변측에 행방향을 따른 EL라인(19)이 형성되는 부분(17b)이 노출되는 포토레지스트막(65)을 형성한다. 그리고 전해도금을 실시함으로써 노출된 밀바탕층부분(17a, 17b)상에 트랜지스터(7, 8, 9)의 소스, 드레인, 게이트의 막두께보다도 두꺼운 막두께 $2\mu\text{m} \sim 100\mu\text{m}$, $5\mu\text{m} \sim 50\mu\text{m}$ 폭의 동도금후막으로 이루어지는 전류원라인(18) 및 EL라인(19)을 형성한다. 이에 따라 행방향으로 배열된 복수의 화소의 전류제어트랜지스터(9)의 드레인(9D)이 공통의 전류원라인(18)에 전기적으로 접속한 상태가 된다. 또한 전해도금 대신에 스퍼터링법 또는 승화증착법에 의해 동후막을 성막해도 좋다. 따라서 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)은 주사선(4)에 대하여 평행하게 설치되어 있다.

다음으로 포토레지스트막(65)을 제거하고 나서 도 32에 나타내는 바와 같이, 전류원라인(18) 및 EL라인(19)을 마스크로 해서 노출된 밀바탕층(17)을 에칭 제거하고, 전류원라인(18, 18, ...)의 아래쪽에 밀바탕층(17a)을 잔존하며, EL라인(19, 19, ...)의 아래쪽에 밀바탕층(17b)을 잔존한다. 또한 투명금속산화물막(16)에 대하여 포토리소그래피법, 에칭법을 실시함으로써 화소전극(16a)을 패터닝하는 동시에, 전류원라인(18)을 마스크로 한 밀바탕층(17a)의 아래쪽에 설치된 투명금속산화물막(16)을 잔존시켜서 투명금속산화물밀바탕막(16b)을 형성하며, 밀바탕층(17b)의 아래쪽에 설치된 투명금속산화물막(16)을 잔존시켜서 보조전극라인(16d)을 형성한다. 보조전극라인(16d)은 EL라인(19)보다도 폭넓은 것이 바람직하다.

다음으로 도 33에 나타내는 바와 같이, 전류원라인(18)을 피복하도록 전류원라인절연막(21)을 형성하는 동시에, EL라인(19)을 피복하도록 EL라인절연막(441)을 전류원라인절연막(21)과 동일 공정에서 형성한다. 이상에 의해 유기EL구동기판이 완성된다.

다음으로 PEDOT(폴리티오펜) 및 도판트인 PSS(폴리스티렌술폰산)으로 이루어지는 정공수송층(22)을 액적도출법(잉크젯법), 스핀코트법, 딥코트법, 니들에 의한 적하법 등의 습식성막법에 의해서 성막한다. 정공수송층(22)은 트랜지스터레이기판(1)의 일면에 성막하여 모든 화소에 공통시켜도 좋고, 화소마다 독립하도록 형성해도 좋다.

정공수송층(22)의 건조 후, 제 1 실시형태와 마찬가지로 폴리플루오렌계 발광재료로 이루어지는 발광층(23)을 액적도출법(잉크젯법), 니들에 의한 적하법, 인쇄법 등의 습식성막법에 의해서 화소마다 패터닝한다. 여기에서 정공수송층(22)의 막두께나 발광층(23)의 막두께는 EL라인(19)의 막두께보다도 얇다. 그리고 정공수송층(22)이 되는 용액 또는 현탁액의 높이 및 화소영역에 피복했을 때의 발광층(23)을 포함하는 용액 또는 현탁액의 높이는 전류원라인(18)의 높이나 EL라인(19)의 높이보다도 낮다. 따라서 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액은 전류원라

인(18) 및 EL라인(19)을 넘어서 이웃한 행의 화소에 유출하는 일은 없다. 이와 같이 전류원라인(18) 및 EL라인(19)은 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액의 유출을 방지하는 격벽으로서 기능한다. 따라서 전류원라인(18) 및 EL라인(19)을 따라서 둘러싸여진 행방향의 복수의 화소는 동일색으로 발광하는 발광층으로 하면 전류원라인(18) 및 EL라인(19)간에 일괄하여 발광층(23)을 포함하는 용액 또는 현탁액을 유입시킴으로써 행방향의 복수의 화소에 발광층(23)을 일괄하여 성막할 수 있다.

발광층(23)의 건조 후, 보조전극라인(16d)의 일부표면이 노출하도록 정공수송층(22) 및 발광층(23)에 콘택트홀(51)을 형성한다.

다음으로 도 34에 나타내는 바와 같이, 증착 등의 기상성장법에 의해서 마그네슘, 칼슘, 리튬, 바륨, 희토류금속 등의 낮은 일함수의 재료로 이루어지는 전자주입층과, 산화인듐, 산화아연 혹은 산화주석 또는 이들 중의 적어도 하나를 포함하는 혼합물(예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 카드뮴-주석산화물(CTO))을 갖는 투명도전층과의 이층구조의 공통전극(24)을 캐소드전극으로서 일면에 성막한다. 전자주입층은 10nm~200nm의 두께로 가시광이 투과할 정도로 얇기 때문에 전류원라인(18)이나 EL라인(19)의 단차에 의해서 절단되어도 좋은데, 공통전극(24)의 투명도전층은 복수의 화소의 유기EL소자(26)의 한쪽의 전극을 서로 등전위로 하기 위해 전류원라인(18)표면의 전류원라인절연막(21)상에 넘고 또한 EL라인(19)표면의 EL라인절연막(441)상에 걸치도록 성막되어 있다. 공통전극(24)은 콘택트홀(51)을 통하여 보조전극라인(16d) 및 EL라인(19)에 접속되어 있다. 이와 같이 발광층(23)은 공통전극(24)에 밀착한 상태에서 공통전극(24)에 의해서 피복되고, 또한 EL라인(19)도 공통전극(24)에 밀착한 상태에서 공통전극(24)에 의해서 피복되어 유기EL소자(26)가 형성된다.

다음으로 스핀코트법, 딥코트법, 기상성장법에 의해서 오버코트절연층(25)을 일면에 성막하고, 주사드라이버(32), 데이터드라이버(33) 및 전류원드라이버(34)를 접속하고 나서 투명밀봉기판을 맞붙인다.

이상에 의해 액티브매트릭스 구동방식의 표시장치가 완성된다.

제 5 실시형태에 있어서도 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)의 일부를 구성하는 도전막과는 다른 막으로 형성되어 있기 때문에 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)의 드레인, 소스, 게이트나 신호전류선(3), 주사선(4) 등보다도 후막으로 할 수 있다.

<제 6 실시형태>

제 1 실시형태에서는 전류원라인(18) 및 EL라인(19)을 트랜지스터층(기관(2)의 표면으로부터 평탄화막(11)의 표면까지의 사이의 다층막)의 위에 형성했는데, 본 실시형태에서는 트랜지스터층의 아래에 전류원라인(18) 및 EL라인(19)을 형성하고 있다. 구체적으로는 도 35~도 40에 나타내는 제조방법으로 되어 있다.

도 35~도 41을 이용하여 제 6 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 제조방법에 대하여 설명한다. 도 35~도 40은 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 도 35~도 40의 차례로 되어 있다. 또한 도 35~도 40에서는 제 1 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 각 부에 대응하는 부분에 대하여 동일한 부호를 붙이고, 제 1 실시형태와 동일 공정 부분에 대해서는 일부 생략한다.

우선 도 35에 나타내는 바와 같이, 전해도금을 실시함으로써 $5\mu\text{m}\sim 50\mu\text{m}$ 폭으로 또한 $2\mu\text{m}\sim 100\mu\text{m}$ 의 막두께인 복수의 전류원라인(18) 및 복수의 EL라인(19)을 기관(2)상에 패터닝한다. 전류원라인(18) 및 EL라인(19)을 패터닝함에 있어서 전류원라인(18)을 EL라인(19)에 대하여 평행하게 설치하고, 전류원라인(18) 및 EL라인(19)을 기관(2)의 테두리까지 연장하도록 또는 전류원라인(18) 및 EL라인(19)이 기관(2)의 가로방향으로 연장하도록 전류원라인(18) 및 EL라인(19)을 패터닝한다. 전류원라인(18) 및 EL라인(19)은 후술하는 트랜지스터(7, 8, 9)의 소스, 드레인, 게이트보다 두껍게 퇴적되어 있기 때문에 이들 전극보다도 단위배선의 길이당의 저항이 낮게 설정되어 있다.

다음으로 층간절연막(501)을 기관(2)상에 전체 일면에 성막하고, 전류원라인(18) 및 EL라인(19)을 층간절연막(501)으로 피복한다. 다음으로 하나의 화소당 전류원라인(18)까지 통하는 콘택트홀(502)과, EL라인(19)까지 통하는 콘택트홀(503)을 층간절연막(501)에 형성한다.

다음으로 도 36에 나타내는 바와 같이, 기상성장법과 같은 성막공정, 포토리소그래피법과 같은 마스크공정, 에칭과 같은 형상가공공정을 적절히 실시함으로써 하나의 화소당 세개의 트랜지스터(7, 8, 9)를 패터닝 형성한다. 여기에서 트랜지스터(7, 8, 9)의 게이트의 기초가 되는 도전성박막이 콘택트홀(502)에 매설하도록 패터닝된 게이트밀바탕막(511a)이 형성

되고, 콘택트홀(503)에 매설하도록 패터닝된 게이트밀바탕막(511b)이 형성된다. 또 게이트밀바탕막(511a)이 노출하는 콘택트홀 및 게이트밀바탕막(511a)이 노출하는 콘택트홀을 게이트절연막(41)에 일괄하여 설치하고, 트랜지스터(7, 8, 9)의 소스, 드레인의 기초가 되는 도전성박막을 패터닝하여 각각에 전류제어트랜지스터(9)의 드레인(9D) 및 소스, 드레인밀바탕막(504)이 매설된다. 트랜지스터(7, 8, 9)의 게이트의 기초가 되는 도전성박막은 일부가 신호전류선(3)으로서 패터닝 형성된다.

다음으로 평탄화막(11)에 대하여 포토리소그래피법, 에칭법 등을 실시함으로써 각 전류제어트랜지스터(9)의 소스(9S)에 통하는 콘택트홀(12) 및 밀바탕막(504)에 통하는 콘택트홀(505)을 평탄화막(11)으로 형성한다.

다음으로 도 37에 나타내는 바와 같이, 기상성장법 등의 성막공정, 포토리소그래피법 등의 마스크공정, 에칭 등의 형상가공공정을 이 차례로 실시함으로써 화소마다 반사금속막(15d)을 패터닝 형성한다. 다음으로 기상성장법을 실시함으로써 반사금속막(15d)을 피복하도록 투명절연막(131)을 전체 일면에 성막한다.

다음으로 투명절연막(131)에도 콘택트홀(12) 및 콘택트홀(505)에 맞추어서 콘택트홀을 형성한다.

다음으로 기상성장법에 의해서 투명금속산화물막을 투명절연막(131)상의 일면에 성막한다. 투명금속산화물막은 콘택트홀(12, 505) 내에 있어서도 표면에 성막되고, 전류제어트랜지스터(9)의 소스(9S) 및 밀바탕막(504)에 접한다.

다음으로 도 38에 나타내는 바와 같이, 투명금속산화물막에 대하여 포토리소그래피법, 에칭법을 실시함으로써 콘택트홀(12)을 통하여 전류제어트랜지스터(9)의 소스(9S)와 접속되는 화소전극(16a)을 형성하는 동시에, 콘택트홀(505)을 통하여 보조전극라인(16e)을 형성한다. 또한 도 38은 도 41의 (X X X V I I I)-(X X X V I I I)선을 따라서 두께방향으로 절단했을 때의 대략 단면도이다.

다음으로 도 39에 나타내는 바와 같이, 포토리소그래피법에 의해서 폴리이미드 등의 감광성수지로 이루어지는 메시상의 격벽(506)을 패터닝한다. 여기에서 화소전극(16a)이 격벽(506)에 의한 메시의 사이에 위요되도록 격벽(506)을 패터닝한다.

다음으로 PEDOT(폴리티오펜) 및 도판트인 PSS(폴리스티렌술폰산)으로 이루어지는 정공수송층(22)을 액적토출법(잉크젯법), 스핀코트법, 딥코트법, 니들에 의한 적하법 등의 습식성막법에 의해서 성막한다. 정공수송층(22)은 트랜지스터어레이기판(1)의 일면에 형성하여 모든 화소에 공통시켜도 좋고, 화소마다 독립하도록 형성해도 좋다.

정공수송층(22)의 건조 후, 제 1 실시형태와 마찬가지로 습식성막법에 의해서 화소마다 패터닝한다. 여기에서 정공수송층(22)의 막두께나 발광층(23)의 막두께는 격벽(231)의 막두께보다도 얇다. 그리고 정공수송층(22)이 되는 용액 또는 현탁액의 높이 및 화소영역에 피복했을 때의 발광층(23)이 되는 용액 또는 현탁액의 높이는 격벽(506)의 높이보다도 낮다. 따라서 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액은 격벽(506)을 넘어서 이웃한 행의 화소에 유출하는 일은 없다. 이와 같이 격벽(506)은 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액의 유출을 방지하는 격벽으로서 기능한다. 따라서 격벽(506)을 따라서 둘러싸여진 행방향의 복수의 화소는 동일색으로 발광하는 발광층으로 하면 격벽(506)간에 일괄하여 발광층(23)을 포함하는 용액 또는 현탁액을 유입시킴으로써 행방향의 복수의 화소에 발광층(23)을 일괄하여 성막할 수 있다.

발광층(23)의 건조 후, 보조전극라인(16e)의 일부표면이 노출하도록 정공수송층(22) 및 발광층(23)에 콘택트홀(51)을 형성한다.

다음으로 도 40에 나타내는 바와 같이, 증착 등의 기상성장법에 의해서 마그네슘, 칼슘, 리튬, 바륨, 희토류금속 등의 낮은 일함수의 재료로 이루어지는 전자주입층과, 산화인듐, 산화아연 혹은 산화주석 또는 이들 중의 적어도 하나를 포함하는 혼합물(예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 카드뮴-주석산화물(CTO))을 갖는 투명도전층과의 이중구조의 공통전극(24)을 캐소드전극으로서 일면에 성막한다. 전자주입층은 10nm~200nm의 두께로 가시광이 투과할 정도로 얇기 때문에 격벽(506)의 단차에 의해서 절단되어도 좋은데, 공통전극(24)의 투명도전층은 복수의 화소의 유기EL소자(26)의 한쪽의 전극을 서로 등전위로 하기 위해 격벽(506)표면의 전류원라인절연막(21)상에 넘고 또한 격벽(506)표면의 EL라인절연막(441)상에 걸치도록 성막되어 있다. 공통전극(24)은 콘택트홀(51)을 통하여 보조전극라인(16e)에 접속되어 있다. 이와 같이 발광층(23)은 공통전극(24)에 밀착한 상태로 공통전극(24)에 의해서 피복되고, 또한 격벽(506)도 공통전극(24)에 밀착한 상태로 공통전극(24)에 의해서 피복되어 유기EL소자(26)가 형성된다.

다음으로 도 40에 나타내는 바와 같이, 스핀코트법, 딥코트법, 기상성장법에 의해서 오버코트절연층(25)을 일면에 성막하고, 주사드라이버(32), 데이터드라이버(33) 및 전류원드라이버(34)를 접속하고 나서 투명밀봉기판을 맞붙인다.

이상에 의해 액티브매트릭스 구동방식의 표시장치가 완성된다.

제 6 실시형태에 있어서도 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)와는 별도의 공정에서 트랜지스터(7, 8, 9)의 소스, 드레인, 게이트와는 다른 도전막을 패터닝하여 이루어지기 때문에 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)의 드레인, 소스, 게이트나 신호전류선(3), 주사선(4) 등보다도 후막으로 할 수 있고, 전류원라인(18)이나 EL라인(19)의 전기저항을 낮게 할 수 있다. 그 때문에 전류원라인(18)이나 EL라인(19)에 있어서의 신호지연이나 전압강하를 억제하거나 할 수 있다.

<제 7 실시형태>

도 42~도 43을 이용하여 제 7 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 제조방법에 대해서 설명한다. 도 42~도 43은 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 도 42~도 43의 차례로 되어 있다. 또한 도 42~도 43에서는 제 6 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 각 부에 대응하는 부분에 대하여 동일한 부호를 붙인다. 또 제 7 실시형태에 있어서는 화소전극이 형성되는 공정까지는 제 6 실시형태의 도 35~도 38과 동일 공정이므로, 그 설명을 생략한다.

화소전극(16a)을 형성한 후, 도 42에 나타내는 바와 같이, 포토리소그래피법에 의해서 전류원라인(18)을 따라서 격벽(507)을 패터닝하는 동시에, 격벽(507)의 형성과 동일한 공정에서 EL라인(19)을 따라 격벽(508, 509)을 형성한다. 여기에서 화소전극(16a)이 격벽(507)과 격벽(508)의 사이에 위치하도록 격벽(507, 508)이 형성되고, 또한 밀바탕막(504)의 위에 잔류한 보조전극라인(16e)이 평면에서 보아 격벽(508)과 격벽(509)의 사이에 위치하도록 격벽(508) 및 격벽(509)이 형성되어 있다.

다음으로 격벽(508)과 격벽(509)의 사이에 도전성페이스트(510)를 매립한다. 이에 따라, 밀바탕막(504)의 위에 잔류한 보조전극라인(16e)에 대하여 도전성페이스트(510)가 밀착한다.

도전성페이스트(510)의 건조 후, 제 6 실시형태와 마찬가지로 정공수송층(22), 발광층(23)을 성막한다. 이 때, 격벽(507) 및 격벽(508)은 제 6 실시형태의 격벽(506)과 같은 기능을 갖는다.

다음으로 도 43에 나타내는 바와 같이, 제 6 실시형태와 마찬가지로 공통전극(24)을 일면에 성막한다. 이에 따라, 발광층(23)은 공통전극(24)에 밀착된 상태에서 공통전극(24)에 의해서 피복된다. 또한, 도전성페이스트(510)도 공통전극(24)에 밀착한다. 따라서, 공통전극(24)은 도전성페이스트(510), 보조전극라인(16e), 소스, 드레인밀바탕막(504), 게이트밀바탕막(511b)을 통하여 EL라인(19)에 접속된다.

다음으로 스핀코트법, 딥코트법, 기상성장법에 의해서 오버코트절연층(25)을 일면에 성막하고, 주사드라이버(32), 데이터드라이버(33) 및 전류원드라이버(34)를 접속하고 나서 투명밀봉기판을 맞붙인다.

이상에 의해, 액티브매트릭스 구동방식의 표시장치가 완성된다.

제 7 실시형태에 있어서도, 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)와는 별도의 공정에서 패터닝했기 때문에, 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)의 드레인, 소스, 게이트나 신호전류선(3), 주사선(4) 등보다도 후막으로 해서 트랜지스터(7, 8, 9)보다도 상대적으로 저저항으로 할 수 있어, 전류원라인(18)이나 EL라인(19)의 전기저항을 낮게 할 수 있다. 그 때문에 전류원라인(18)이나 EL라인(19)에 있어서의 신호지연이나 전압강하를 억제하거나 할 수 있다.

상기 각 실시형태에서는 반사금속막(15)을 설치해서 공통전극(24)측으로부터 발광층(23)의 발광을 출사시켰지만, 이것에 한정하지 않고, 반사금속막(15)을 설치하지 않고, 화소전극(16)측으로부터 발광층(23)의 발광을 출사시켜도 좋다. 이 경우, 공통전극(24)은 불투명 또는 광반사성인 것이 바람직하고, 특히 낮은 일함수의 전자방출막과, 전자방출막을 피복하여 보호하는 높은 일함수의 도전막과의 복수층 구조인 것이 바람직하다.

<제 8 실시형태>

도 44~도 50을 이용하여 발광소자인 유기일렉트로루미네선트소자를 화소로 하는 표시장치의 제조방법에 대해서 설명한다. 도 44~도 50은 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 도 44~도 50의 차례로 되어 있다. 제 1 실시형태에 있어서의 일렉트로루미네선트 디스플레이패널의 각 부에 대응하는 부분에 대하여 동일한 부호를 붙이고, 제 1 실시형태와 동일한 공정 부분에 대해서는 일부 생략한다.

또한 도 44~도 50은 전류제어트랜지스터(9)를 주사선(4)에 직교하는 면을 따라 절단한 경우의 단면도이며, 하나의 화소를 나타낸다. 다른 화소도 각 공정에서는 도 44~도 50의 상태로 되어 있다.

도 44에 나타내는 바와 같이, 준비한 트랜지스터어레이기판(1)에 대해 포토리소그래피법, 에칭법 등을 실시함으로써, 각 전류제어트랜지스터(9)의 소스(9S)에 통하는 콘택트홀(12) 및 각 전류제어트랜지스터(9)의 드레인(9D)에 통하는 콘택트홀(13)을 절연막(11)에 형성한다.

다음으로 스퍼터링이나 증착과 같은 기상성장법에 의해서 알루미늄, 티탄, 금 등의 금속단체 혹은 합금 또는 투명금속산화물막 등에서 선택된 도전재료로 이루어지는 도전막을 트랜지스터어레이기판(1)상의 일면에 성막한다. 이 도전막은 콘택트홀(12, 13) 내에 있어서도 표면에 성막된다. 계속해서, 도전막상에 산화인듐, 산화아연 혹은 산화주석 또는 이들 중의 적어도 하나를 포함하는 혼합물(예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 카드뮴-주석산화물(CTO)) 중에서 선택되는 투명금속산화물막을 성막한다.

다음으로 이들 적층된 도전막을 패터닝해서 각 전류제어트랜지스터(9)의 소스(9S)에 접속된 화소전극(16a)과, 행방향을 따라서 배열되는 동시에, 행방향으로 배열된 각 전류제어트랜지스터(9)의 드레인(9D)에 접속된 밀바탕배선(16b)을 형성한다.

다음으로 도 45에 나타내는 바와 같이, 발액성절연막 혹은 질화실리콘 또는 산화실리콘으로 이루어지는 층간절연막(20)을 성막하고, 이 층간절연막(20)의 각 전류제어트랜지스터(9)의 드레인(9D)에 대응하는 위치에 콘택트홀(27)을 형성하고, 드레인(9D)을 노출시킨다. 그 후, 스퍼터링 또는 증착에 의해서 동, 니켈 등의 금속재료로 이루어지는 밀바탕층을 일면에 성막한다. 이 때, 밀바탕층은 층간절연막(20)의 단차에 의해서 각 콘택트홀(27)에서 드레인(9D)상에 성막된 밀바탕층(17a)과 층간절연막(20)상의 밀바탕층(17b)으로 분리되고, 서로 전기적으로 절연되어 있는 동시에, 행방향으로 연장해서 형성되어 있다. 동시에 포토레지스트막(61)은 콘택트홀(37)에서 배선(36)과 접속된 금속층(17)을 노출하고, 콘택트홀(40)에서 배선(39)과 접속된 금속층(17)을 노출하며, 또한 각 콘택트홀(46)에서 배선(45)과 접속된 금속층(17)을 노출하고 있다.

다음으로 도 46에 나타내는 바와 같이, 드레인(9D)상의 각 밀바탕층(17a)이 노출되고, 또한 화소전극(16a)의 복수의 둘레 가장자리변 중의 드레인(9D)상의 각 밀바탕층(17a)측의 변과 대향하는 변측에서 행방향을 따른 위치의 층간절연막(20)상의 밀바탕층(17b)이 노출되는 포토레지스트막(61)을 형성한다. 계속해서, 노출된 밀바탕층(17a, 17b)을 전극으로서 전해도금을 실시함으로써, 드레인(9D)상의 밀바탕층(17a)상에 막두께 $2 \sim 100 \mu\text{m}$ 이고 $5 \mu\text{m} \sim 50 \mu\text{m}$ 폭의 동도금후막의 전류원라인(18, 18, ...)을 형성하고, 화소전극(16a)의 복수의 둘레 가장자리변중의 드레인(9D)상의 각 밀바탕층(17a)측의 변과 대향하는 변측에서 행방향을 따른 위치의 층간절연막(20)상의 밀바탕층(17b)상에 막두께 $2 \sim 100 \mu\text{m}$ 이고 또한 $5 \mu\text{m} \sim 50 \mu\text{m}$ 폭의 동도금후막의 EL라인(19, 19, ...)을 형성하며, EL라인(19, 19, ...)을 표시영역 외의 좌측에서 서로 접속하는 공통배선(35) 및 EL라인(19, 19, ...)을 표시영역 외의 우측에서 서로 접속하는 공통배선(38)을 형성한다.

이어서 도 47에 나타내는 바와 같이, 포토레지스트막(61)을 제거하고 나서, 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)으로 피복된 부분을 제외하고 노출된 밀바탕층(17b)을 에칭해서 EL라인(19, 19, ...)의 아래쪽에 밀바탕층(17c)을 형성한다.

이 때의 화소평면도를 도 8에 나타낸다. 도 47은 도 8의 (V)-(V)선을 따라 두께방향으로 절단했을 때의 개략단면도이다. 도 8에 도시하는 바와 같이, 전류원라인(18) 및 EL라인(19)은 주사선(4)에 대해 평행하게 설치되어 있다. 또, 평면에서 보아 가로방향(행방향)으로 배열된 모든 화소, 즉 각 행의 화소의 콘택트홀(13)에 설치된 밀바탕층(17a)에 대해 전류원라인(18)의 일부가 겹치도록 형성되어 있으므로, 각 행의 모든 화소의 전류제어트랜지스터(9)의 드레인(9D)이 각 행의 전류원라인(18)에 각각 전기적으로 접속한 상태가 된다.

다음으로 도 48에 나타내는 바와 같이, 각 전류원라인(18) 및 각 EL라인(19)에 전압을 인가한 전착도장법에 의해 전류원라인(18), EL라인(19), 공통배선(35) 및 공통배선(38)의 표면만을 선택적으로 피복하도록 발액성절연막(33a), 발액성절

연막(33b)을 형성한다. 발액성절연막(33a), 발액성절연막(33b)은 충분히 두껍고, 발액성절연막(33a), 발액성절연막(33b)의 표면에 도전체가 형성되어도, 전류원라인(18), EL라인(19)과 도통되는 일은 없다. 또 발액성절연막(33a), 발액성절연막(33b)은 발액성감광성수지를 포토리소그래피법에 의해 패터닝해서 형성되어도 좋다.

다음으로 도 49에 나타내는 바와 같이, PEDOT(폴리티오펜) 및 도펀트인 PSS(폴리스티렌술포산)로 이루어지는 정공수송층(22)이 되는 용액을 액적도출법(잉크젯법), 스핀코트법, 딥코트법, 니들(needle)에 의한 적하법 등의 습식성막법에 의해서 성막한다. 정공수송층(22)은 트랜지스터어레이기관(1)의 일면에 형성해서 모든 화소에 공통시켜도 좋고, 화소마다 독립하도록 형성해도 좋다. 이 때, 발액성절연막(33a), 발액성절연막(33b)은 정공수송층재료함유용액을 받아들이지 않기 때문에, 정공수송층재료함유용액이 전류원라인(18), EL라인(19)을 따라 치우쳐서 성막되지 않으므로, 화소전극(16a)상에 균등한 두께로 성막할 수 있다. 도면에서는 정공수송층(22)을 포함하는 용액 또는 현탁액이 전류원라인(18) 및 EL라인(19)으로 둘러싸여진 영역에 충전된 후, 용제 또는 수분이 휘발함으로써 정공수송층(22)이 성막되어 있는 상태를 나타내고 있다.

정공수송층(22)의 건조 후, 공역이중결합을 갖는 폴리파라비닐렌계 발광재료나 폴리플루오렌계 발광재료를 갖는 발광층(23)을 함유한 용액을 액적도출법(잉크젯법), 스핀코트법, 딥코트법, 니들에 의한 주입 등의 습식성막법에 의해서 성막한다. 발광층(23)은 도 9에 나타내는 바와 같이, 전류원라인(18) 및 EL라인(19)을 따라 복수의 화소에 연속해서 형성되고, 각 행마다 적색으로 발광하는 적발광층(23R), 녹색으로 발광하는 녹색발광층(23G), 청색으로 발광하는 청발광층(23B)이 된다. 여기에서 유기EL분리절연막(14)의 위에 반사금속밀바탕막(15c), 투명금속산화물밀바탕막(16c), 밀바탕층(17b) 및 EL라인(19)이 잔류하고 있는데, 정공수송층(22)의 막두께나 발광층(23)의 막두께는 유기EL분리절연막(14)의 막두께보다도 얇다. 그리고 정공수송층(22)이 되는 용액 또는 현탁액의 높이 및 화소영역에 피복했을 때의 발광층(23)이 되는 용액 또는 현탁액의 높이는 모두 전류원라인(18)의 높이나 EL라인(19)의 높이보다도 낮다. 따라서 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액은 전류원라인(18) 및 EL라인(19)을 넘어서 이웃한 행의 화소로 유출하는 일은 없다. 이와 같이, 전류원라인(18) 및 EL라인(19)은 정공수송층(22)이 되는 용액 또는 현탁액 및 발광층(23)이 되는 용액 또는 현탁액의 유출을 방지하는 격벽으로서 기능한다. 따라서, 도 9에 나타내는 바와 같이, 전류원라인(18) 및 EL라인(19)을 따라 둘러싸여진 행방향의 복수의 화소는 동일색으로 발광하는 발광층으로 하면, 전류원라인(18) 및 EL라인(19)간에 일괄하여 발광층(23)을 포함하는 용액 또는 현탁액을 유입시킴으로써 행방향의 복수의 화소에 발광층(23)을 일괄하여 성막할 수 있다.

다음으로 도 50에 나타내는 바와 같이, EL라인(19)이 연장방향으로 노출되도록 발액성절연막(33b)에 콘택트홀(33c)을 형성한다. 콘택트홀(33c)이 레이저광을 주사해서 발액성절연막(33b)을 소실시켜도 좋다.

그리고 증착 등의 기상성장법에 의해서 마그네슘, 칼슘, 리튬, 바륨, 희토류금속 등의 낮은 일함수재료로 이루어지는 전자주입층과, 산화인듐, 산화아연 혹은 산화주석 또는 이들 중의 적어도 하나를 포함하는 혼합물(예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 카드뮴-주석산화물(CTO))을 갖는 투명도전층과의 이층구조의 공통전극(24)을 캐소드전극으로서 일면에 성막한다. 전자주입층은 1nm~20nm의 두께로 가시광이 투과할 정도로 얇기 때문에, 전류원라인(18)이나 EL라인(19)의 단차에 의해서 절단되어도 좋지만, 공통전극(24)의 투명도전층은 복수의 화소의 유기EL소자(26)의 한쪽의 전극을 서로 등전위로 하기 위해, 전류원라인(18) 상의 발액성절연막(33a)의 위를 넘고 또한 EL라인(19)상에 걸치도록 성막되어 있다. 이에 따라, 발광층(23)은 공통전극(24)에 밀착한 상태에서 공통전극(24)에 의해서 피복되고, 또한 EL라인(19)도 공통전극(24)에 밀착한 상태에서 공통전극(24)에 의해서 피복된다. 또한 공통전극(24)은 콘택트홀(33c)을 통하여 EL라인(19)과 도통하는데, 전류원라인(18)과는 발액성절연막(33a)에 의해서 절연되어 있다.

다음으로 스핀코트법, 딥코트법, 기상성장법에 의해서 오버코트절연층(25)을 일면에 성막하고, 주사드라이버(32), 데이터드라이버(33) 및 전류원드라이버(34)를 접속하고 나서 투명밀봉기관을 맞붙인다.

<제 9 실시형태>

도 51~도 56을 이용해서 제 9 실시형태에 있어서의 일렉트로루미네선트 디스플레이패널의 제조방법에 대해서 설명한다. 도 51~도 56은 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 이 차례로 되어 있다. 또 도 51~도 56에서는 제 8 실시형태에 있어서의 일렉트로루미네선트 디스플레이패널의 각 부에 대응하는 부분에 대해 동일한 부호를 붙인다.

우선, 본 실시형태에서는 트랜지스터어레이기관(1)을 제조한 후, 제 8 실시형태와 마찬가지로, 도 44, 도 45에 나타내는 공정을 거쳐서 밀바탕층(17a), 밀바탕층(17b)을 형성한다. 그리고 도 51에 나타내는 바와 같이, 밀바탕층(17a)상 및 화소전극(16a)의 복수의 둘레가장자리변 중의 각 밀바탕층(17a)측의 변과 대향하는 변측에서 행방향을 따른 위치의 층간절연막(20)상에 각각 포토레지스트막(62)을 패터닝 형성한다.

다음으로 도 52에 나타내는 바와 같이, 포토레지스트막(62)을 마스크로 해서 밀바탕층(17a)을 보호하는 동시에, 노출한 밀바탕층(17b)을 에칭해서 밀바탕층(17d)을 형성하고, 이어서 밀바탕층(17d)의 아래쪽을 제외하는 층간절연막(20)을 에칭제거해서 층간절연막(20a)을 패터닝 형성하는 동시에, 화소전극(16a)을 노출시킨다. 포토레지스트막(62)을 제거해서 밀바탕층(17a) 및 밀바탕층(17d)을 노출시킨다.

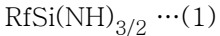
다음으로 도 53에 나타내는 바와 같이, 밀바탕층(17a) 및 밀바탕층(17d)이 노출되도록 포토레지스트막(63)을 형성한다. 그리고 제 8 실시형태와 마찬가지로, 전해도금에 의해서 밀바탕층(17a)상에 트랜지스터(7, 8, 9)의 소스, 드레인, 게이트의 막두께보다도 두꺼운 막두께 2~100 μm 의 동도금후막이고 또한 5 μm ~50 μm 폭의 전류원라인(18)을 선택적으로 성막하며, 밀바탕층(17d)상에 막두께 2~100 μm 의 동도금후막이고 또한 5 μm ~50 μm 폭의 EL라인(19)을 선택적으로 성막한다.

다음으로 포토레지스트막(63)을 제거하고 나서, 도 54에 나타내는 바와 같이, 적어도 노출되어 있는 전류원라인(18)의 표면, 밀바탕층(17a)의 측면 및 밀바탕배선(16b)의 측면을 덮는 절연막(52)을 형성한다. 이 때, 전류원라인(18)의 높이에 의해서 전류원라인(18)의 측면을 덮는 절연막(52)의 두께가 절연성을 손상시키는 두께로 되지 않는 것이 바람직하다. 그 후, 전체면에 습윤성 가변도통막(30)을 성막한다. 각 화소전극(16a, 16a, ...)의 표면은 평탄하기 때문에, 습윤성 가변도통막(30)은 화소전극(16a, 16a, ...)에 접친 영역에 있어서 평탄한 박막이 된다. 또 절연막(52) 및 EL라인(19)의 측면이나 층간절연막(20)의 측면에도 습윤성 가변도통막(30)은 성막되어 있다. 습윤성 가변층(30)은 습윤성이 낮고 발액성이 높으며, 극히 얇은 막두께이므로, 두께방향으로 도통하는 성질을 갖는다.

이 습윤성 가변도통막(30)의 성막방법에 대해서 구체적으로 설명한다.

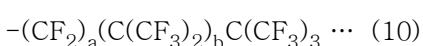
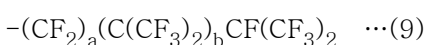
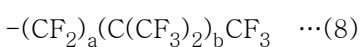
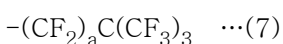
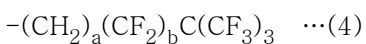
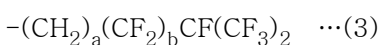
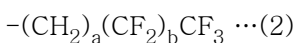
우선, 불소를 포함하는 관능기를 가진 실라잔화합물을 함유한 용액(이하, 실라잔계 용액이라 한다)을 트랜지스터어레이기판(1)의 화소전극(16a, 16a, ...)이 형성된 면에 도포하고, 실라잔화합물의 용액의 막을 성막한다.

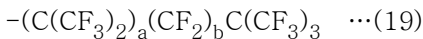
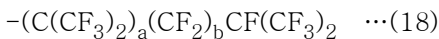
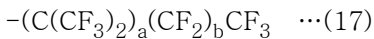
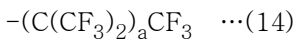
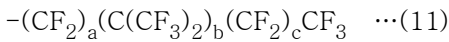
여기에서 「불소를 포함하는 관능기를 가진 실라잔화합물」이라는 것은 Si-N-Si결합을 갖고, N 또는/및 Si에 불소를 포함하는 관능기가 결합된 것으로서, 예를 들면 다음의 일반식(1)로 나타내는 올리고머 또는 폴리머를 들 수 있다.



일반식 (1)에 있어서 Rf는 불소를 포함하는 관능기이다.

「불소를 포함하는 관능기」로서는 플루오로알킬기가 있으며, 예를 들면 다음의 일반식 (2)~(19)로 나타내는 관능기를 들 수 있다.

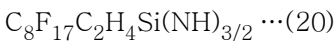




일반식 (2)~(19)에 있어서 a, b, c는 모두 정수이다.

실라잔계 용액의 용매로서는 불소계 용제를 들 수 있다.

여기서는 실라잔화합물로서 다음의 일반식 (20)으로 나타낼 수 있는 실라잔 올리고머(KP-801M : 신에츠(信越)화학공업 주식회사제)를 이용한다. 그리고 상기한 딥코트공정에 있어서는 이 실라잔 올리고머를 용질로서 m-크실렌헥사플로라이드 용매에 녹인 실라잔계 용액(농도 3wt%)을 트랜지스터어레이기판(1)에 침지한다.



다음으로 트랜지스터어레이기판(1)에 예를 들면 질소가스와 같은 불활성가스를 내뿜어서 실라잔계 용액의 용매를 증발시킴으로써, 실라잔화합물이 화소전극(16a, 16a, ...) 및 층간절연막(20) 등의 표면에 퇴적한 상태가 된다.

다음으로 트랜지스터어레이기판(1)을 10~30분간 방치하면, 분위기중의 수분에 의해서 실라잔화합물이 가수분해·축합된다. 이에 따라, 도 54에 나타내는 바와 같이, 불소를 포함하는 관능기가 결합한 축합체로 이루어지는 습윤성 가변도통막(30)이 화소전극(16a, 16a, ...)을 포함하는 기판전체를 덮도록 일면에 성막된다.

실라잔화합물은 화소전극(16a, 16a, ...)의 표면의 면방향으로 축합되는 동시에, 화소전극(16a, 16a, ...)의 표면에 형성된 단분자유닛에 있어서의 주쇄(메인체인)인 Rf-Si-X-기 또는 Rf-Si-기의 위쪽에, 또한 단분자유닛에 있어서의 주쇄 Rf-Si-X-기 또는 Rf-Si-기가 적층된다는 일이 거의 없어진다. 단, X는 실라잔화합물과 결합한 화소전극(16a)의 원자 혹은 원자단(原子團)이다. 이 때문에, 습윤성 가변도통막(30)의 두께는 실질적으로 단분자유닛에 있어서의 주쇄(여기서는 축합체로서의 측쇄(side chain)에 상당)인 Rf-Si-X-기 또는 Rf-Si-기의 길이와 동일하게 된다. 또 이 습윤성 가변도통막(30)은 각 단분자유닛에 있어서의 주쇄중의 불소를 포함하는 관능기 Rf가 습윤성 가변도통막(30)의 표면측에 배치하도록 축합되어 있기 때문에, 표면에서는 각 관능기 Rf의 발액성에 의해서 유기화합물 함유액에 대해 발액성을 나타낸다.

이상과 같이 습윤성 가변도통막(30)을 성막했으면, 습윤성 가변도통막(30)을 m-크실렌헥사플로라이드액(실라잔계 용액의 용매와 동일 액)으로 행굼으로써, 퇴적한 미반응의 실라잔화합물 또는 잉여의 실라잔화합물을 씻어낸다.

이어서, 트랜지스터어레이기판(1)에 포토마스크기판을 대향시키고 또한 포토마스크기판에 활성광선을 투과시켜 습윤성 가변도통막(30)에 활성광선을 부분적으로 조사함으로써, 습윤성 가변도통막(30)이 습윤성이 낮은 부분과 높은 부분으로 패턴닝된다. 활성광선으로서로는 가시광선, 자외선, 적외선 등이 있는데, 후술하는 광촉매막을 여기하는 것이다.

여기에서 포토마스크기판에 대해 설명한다. 포토마스크기판은 활성광선을 투과하는 투명기판을 갖고, 이 투명기판의 한쪽 면에는 화소전극(16a, 16a, ...)에 대응하는 바와 같이 매트릭스형상으로 배열된 복수의 개구부를 갖는 마스크가 메시상으로 형성되고, 약 0.2 μ m 두께의 광촉매막이 마스크전체를 피복하도록 한쪽의 면전체에 성막되어 있다. 개구부는 행방향을 따라 전류원라인(18)과 EL라인(19)의 사이를 개구하는 넓이로 설정되어 있다.

마스크는 활성광선을 반사하거나 또는 흡수하거나 활성광선을 투과하지 않는 것이다. 광촉매막은 산화티탄(TiO₂), 산화아연(ZnO), 산화주석(SnO₂), 티탄산스트론튬(SrTiO₃), 산화텅스텐(WO₃), 산화비스머스(Bi₂O₃) 및 산화철(Fe₂O₃) 중에서 선택되는 1종 또는 2종 이상의 물질로 형성되어 있다.

이상과 같은 포토마스크기판을 이용하여 활성광선을 입사시키면, 마스크에서는 활성광선이 차폐되지만, 마스크가 없는 개구부에서는 광촉매막을 투과한다. 따라서, 습윤성 가변도통막(30) 중 마스크와 겹치는 영역 즉 화소전극(16a)의 주위에는 활성광선이 입사하지 않지만, 각각의 화소전극(16a)에 겹치는 영역에는 활성광선이 입사한다.

활성광선이 광촉매막을 투과할 때에 활성산소종($\cdot$ OH)이 생성되고, 이 활성산소종이 습윤성 가변도통막(30)과 화학반응을 일으킨다. 습윤성 가변도통막(30) 중 화소전극(16a, 16a, ...)에 겹친 영역에는 광촉매막을 투과한 활성산소종이 도달하고, 화소전극(16a)에 겹친 영역에는 마스크에 의해서 활성광선이 차폐되기 때문에 활성산소종이 도달하지 않는다. 이와 같이 광촉매의 작용은 광촉매막에 활성광선이 입사함으로써 활성산소종이 발생하고, 발생한 활성산소종이 습윤성 가변도통막(30)에 도달하며, 활성산소종에 의해서 습윤성 가변도통막(30)의 화학구조가 변화한다.

습윤성 가변도통막(30) 중 개구부에 겹치는 영역은 광촉매의 작용에 의해 생성된 활성산소종($\cdot$ OH)에 의해 발액성을 나타내는 Rf기가 친수성을 나타내는 수산기로 치환되어, 친액성막(30a)이 형성된다. 친액성막(30a)은 불소를 포함하는 관능기(상기 Rf)가 분해·이탈하고, 수산기로 치환되기 때문에, 유기화합물함유액에 대해 친액성을 나타내고, 후술하는 일렉트로루미네이션층(23)을 구성하는 재료가 포함되는 액체를 걸들게 하지 않아 이 액체를 친액성막(30a)의 표면에 균일하게 성막하는 것이 가능해진다.

또한, 친액성막(30a)에 있어서는 규소와 산소로 이루어지는 축합체에 있어서는 주쇄가 화소전극(16a, 16a, ...)의 표면을 따른 상태에서 형성되고, 또한 발액성을 나타내는 불소를 포함하는 관능기가 수산기로 치환되기 때문에, 막두께도 단분자유닛에 있어서는 주쇄(여기서는 축합체로서의 측쇄에 상당)인 HO-Si-X-기 또는 HO-Si-기의 길이와 동일하고, 1nm이하로 매우 얇게 할 수 있다. 그 때문에, 활성산소종이 생성된 영역인 화소전극(16a, 16a, ...)상에서는 패턴막(30)의 막두께가 매우 얇아지며, 친액성막(30a) 자체가 정공 등의 전하의 주입, 수송에 지장을 주는 일은 거의 없다.

그리고 습윤성 가변도통막(30) 중 마스크와 겹치는 영역에는 활성산소종이 도달하지 않기 때문에 화학변화가 일어나지 않고, 후술하는 발광층을 구성하는 재료가 포함되는 액체에 대해 여전히 발액성을 나타낸다. 이 영역에 습윤성 가변도통막(30)과 동일한 성질의 발액성막(30b)이 형성된다. 발액성막(30b)은 친액성막(30a)과 연속해서 형성되어 있는 동시에, 친액성막(30a)보다도 대략 불소를 포함하는 관능기 Rf의 분만큼 두껍다.

계속해서, 각 화소 즉 각 친액성막(30a, 30a, ...)에 EL층을 각각 성막한다. 여기에서는 도 55에 나타내는 바와 같이, EL층으로서 정공수송층(22)과 발광층(23)을 이용해서 설명한다.

폴리티오펜 및 도판트인 폴리스티렌술폰산을 포함하는 수용액 또는 현탁액을 스핀코트법, 딥코트법 등의 습식성막법에 의해서 성막한다. 이 수용액 또는 현탁액은 친액성을 나타내는 각 친액성막(30a, 30a, ...)에서는 젖기 쉬운 동시에, 번지기 쉽고, 발액성을 나타내는 발액성막(30b, 30b, ...)에서는 잘 젖지 않아 걸들기 쉽다. 이 때문에 수용액 또는 현탁액은 선택적으로 각 친액성막(30a, 30a, ...)상에 피막된다. 그 후, 수용액 또는 현탁액의 용매가 각 친액성막(30a, 30a, ...)상에서 건조하여 정공수송층(22)이 성막된다. 정공수송층(22)의 재료를 포함하는 수용액 또는 현탁액은 정공수송층(22)의 재료를 수 vol% 포함하는 용액이기 때문에 성막초기시에는 발광층(23)보다도 두껍게 퇴적되지만, 전류원라인(18) 및 EL라인(19)이 그 용액 또는 현탁액의 높이보다도 충분히 높은 격벽으로 되어 있기 때문에 해당 행에 인접하는 행으로 유출하는 것을 방지할 수 있어 균등한 두께로 성막할 수 있다.

이 때문에, 전류원라인(18)은 정공수송층(22)이 성막되는 구획의 적어도 한변으로서 정공수송층(22)을 칸막이할 수 있다. 또 EL라인(19)은 정공수송층(22)이 성막되는 구획의 적어도 다른 한변으로서 정공수송층(22)을 칸막이할 수 있다.

정공수송층(22)을 성막한 후, 도 55에 나타내는 바와 같이, 폴리플루오렌계 발광재료로 이루어지는 발광층(23)을, 정공수송층(22)과 마찬가지로 인쇄법 등의 습식성막법에 의해서 화소마다 성막한다. 여기에서 발광층(23)을 포함하는 수용액 또는 현탁액은 발광층(23)을 수vol% 포함하는 용액이기 때문에 성막초기시에는 발광층(23)보다도 두껍게 퇴적되지만, 그의 용액 또는 현탁액의 높이보다도 충분히 높은 격벽으로 되어 있기 때문에 해당 행에 인접하는 행으로 유출하는 것을 방지할 수 있다.

따라서, 전류원라인(18) 및 EL라인(19)을 따라서 둘러싸여진 행방향의 복수의 화소는 동일색으로 발광하는 발광층으로 하면, 전류원라인(18) 및 EL라인(19)간에 일괄하여 발광층(23)을 포함하는 용액 또는 현탁액을 유입시킴으로써 행방향의 복수의 화소에 발광층(23)을 일괄해서 성막할 수 있다.

그리고 전류원라인(18)은 발광층(23)이 성막되는 구획의 적어도 한변으로서 발광층(23)을 칸막이할 수 있다. 또 EL라인(19)은 발광층(23)이 성막되는 구획의 적어도 다른 한변으로서 발광층(23)을 칸막이할 수 있다.

다음에, 도 56에 나타내는 바와 같이, 투명전극으로 이루어지는 공통전극(24)을 전체면에 피막시키고, 오버코트절연층(25)으로 상면을 밀봉한다. 공통전극(24)은 전류원라인(18)과는 절연막(52)을 통하여 성막되어 있으므로 전기적으로 절연되고, EL라인(19)과는 발액성막(30b)을 통하여 성막되어 있지만, 발액성막(30b)은 극히 얇은 구조이므로 충분한 절연성이 없기 때문에 전기적으로 접속되어 있는 상태로 되어 있다. 따라서 모든 EL라인(19)은 공통전극(24)을 통하여 서로 접속되어 있다. 공통전극(24)은 ITO 등의 투명전극이기 때문에 저항율이 높지만, EL라인(19)이 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D), 게이트(7G, 8G, 9G)에 대해 단위길이당의 저항이 작아지도록 이들 전극의 막두께보다도 두껍게 퇴적되어 있기 때문에, 모든 화소의 유기EL소자(26)의 캐소드로부터 충분한 전류를 흘리는 것이 가능해진다. 또 전류원라인(18)이 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D), 게이트(7G, 8G, 9G)에 대해 단위길이당의 저항이 작아지도록 이들 전극의 막두께보다도 두껍게 퇴적되어 있기 때문에 각 행의 화소의 유기EL소자(26)의 애노드에 충분한 전류를 흘리는 것이 가능해진다.

스핀코트법, 딥코트법, 기상성장법에 의해서 오버코트절연층(25)을 일면에 성막하고, 주사드라이버(32), 데이터드라이버(33) 및 전류원드라이버(34)를 접속하고 나서 투명밀봉기판을 맞붙인다.

완성된 표시장치의 화소는 도 10과 같은 회로구성이 된다. 전류원라인(18)과 EL라인(19)의 사이에 있어서 전류제어트랜지스터(9)와 유기EL소자(26)가 직렬로 접속되어 있다. 즉, 전류제어트랜지스터(9)의 드레인(9D)이 전류원라인(18)에 접속되고, 전류제어트랜지스터(9)의 소스(9S)가 유기EL소자(26)의 애노드인 화소전극(16a)에 접속되며, 유기EL소자(26)의 캐소드인 공통전극(24)이 EL라인(19)에 접속되어 있다.

전류원라인(18)은 평면에서 보아 화소전극(16a)과 겹쳐 있지 않기 때문에, 화소전극(16a)과의 사이의 기생용량을 억제할 수 있다. 또 전류원라인(18)은 평면에서 보아 주사선(4)과 겹치지 않는 쪽이, 주사선(4)과의 사이의 기생용량을 억제하여 주사선(4)의 신호지연을 억제한다는 점에서 바람직하다. 또한 전류원라인(18)은 평면에서 보아 미소전류가 흐르는 신호전류선(3)과 겹치는 면적이 작은 쪽이 신호전류선(3)과의 사이의 기생용량을 억제할 수 있어, 도 8에 나타내는 바와 같이, 신호전류선(3)과 겹치는 부분에서 폭을 가늘게 해도 좋다.

EL라인(19)은 평면에서 보아 화소전극(16a)과 겹쳐 있지 않기 때문에, 화소전극(16a)과의 사이의 기생용량을 억제할 수 있다. 또 EL라인(19)은 평면에서 보아 주사선(4)과 겹치지 않는 쪽이, 주사선(4)과의 사이의 기생용량을 억제하여 주사선(4)의 신호지연을 억제한다는 점에서 바람직하다. 또한 EL라인(19)은 평면에서 보아 미소전류가 흐르는 신호전류선(3)과 겹치는 면적이 작은 쪽이 신호전류선(3)과의 사이의 기생용량을 억제할 수 있어, 신호전류선(3)과 겹치는 부분에서 폭을 가늘게 해도 좋다.

본 실시형태에서는 전류원라인(18) 및 EL라인(19)을 트랜지스터(7, 8, 9)를 구성하는 도전막과는 다른 막으로 형성되어 있으므로, 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)은 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D)의 막두께보다도 두껍게 퇴적할 수 있고, 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D)에 대해 단위길이당의 저항이 작게 설정되는 것이 가능해진다. 또 전류원라인(18, 18, ...) 및 EL라인(19, 19, ...)은 트랜지스터(7, 8, 9)의 게이트(7G, 8G, 9G)의 막두께보다도 두껍게 퇴적할 수 있고, 게이트(7G, 8G, 9G)에 대하여 단위길이당의 저항이 작게 설정되는 것이 가능해진다. 그 때문에, 전류원라인(18)이나 EL라인(19)의 전기저항을 낮게 할 수 있고, 발광기간의 개시시부터 유기EL소자(26)가 소망의 밝기(계조)로 발광하기까지의 시간의 지연을 억제하거나, 전류원라인(18)이나 EL라인(19)에 있어서의 전압강하를 억제할 수 있다. 또한 전류원라인(18)이나 EL라인(19)을 저저항으로 함으로써 일렉트로루미네센트 디스플레이패널의 밝기의 저하, 밝기의 불균형, 크로στο크 등의 표시악화를 억제할 수 있다.

또한, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 본 발명의 취지를 면탈하지 않는 범위에 있어서 여러가지의 개량 및 설계의 변경을 실시해도 좋다.

예를 들면, 신호전류선(3)과 교차하는 부분을 제외한 주사선(4)이 노출하도록 게이트절연막(41) 및 절연막(11)에 콘택트홀을 설치하고, 전류원라인(18)이나 EL라인(19)의 성막과 동일 공정에 있어서, 주사선(4)상에 전해도금층을 형성해도 좋다. 이 경우, 도금층은 공통전극(24)과 절연하도록 절연막(33a, 33b)과 마찬가지로, 사이에 절연막을 개재시키는데, 트랜지스터(7, 8)의 게이트에는 전기적으로 접속한다.

또 상기 실시형태에서는 트랜지스터(7, 8, 9)가 N채널형의 박막트랜지스터로서 설명했는데, 트랜지스터(7, 8, 9)가 P채널형의 박막트랜지스터이어도 좋다. 트랜지스터(7, 8, 9)가 P채널형의 박막트랜지스터인 경우, 소스와 드레인의 접속이 반대로 되기 때문에, 상기 설명에 있어서 「소스」를 「드레인」으로 치환하고, 「드레인」을 「소스」로 치환하면 좋고, 신호의 「하이레벨」을 「로우레벨」로 치환하며, 「로우레벨」을 「하이레벨」로 치환하면 좋다. 또한 이 경우에도 기억전류의 방향은 바뀌지 않는다.

<제 10 실시형태>

도 57~도 61을 이용하여, 제 10 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 제조방법에 대해서 설명한다. 도 57~도 61은 제조방법에 있어서의 각 공정의 단면도이고, 공정순서는 도 57~도 61의 차례로 되어 있다. 또, 도 57~도 61에서는 제 1, 제 8, 제 9 실시형태에 있어서의 일렉트로루미네센트 디스플레이패널의 각 부에 대응하는 부분에 대해 동일한 부호를 붙인다.

우선, 제 8 실시형태의 도 44에 나타내는 트랜지스터어레이기판(1)상에, 도 57에 나타내는 바와 같이 층간절연막(20)을 성막하고, 층간절연막(20)의 각 전류제어트랜지스터(9)의 드레인(9D)에 대응하는 위치에 콘택트홀(27)을 형성하여 드레인(9D)를 노출시키고, 화소전극(16a)의 복수의 둘레가장자리변 중의 전류원라인(18)이 형성되는 측의 변과 대향하는 변 측이고 또한 행방향을 따른 위치의 층간절연막(20)에 개구부(28)를 형성하며, 층간절연막(20)의 두께보다 충분히 얇은 밀바탕층을 성막하면, 콘택트홀(27)에서의 단차 및 개구부(28)의 단차에 의해서 각각 분단된 밀바탕층(17a), 밀바탕층(17e)을 형성한다.

다음으로 도 58에 나타내는 바와 같이, 밀바탕층(17a), 밀바탕층(17e)이 노출되는 포토레지스트막(64)을 형성하면, 밀바탕층(17a), 밀바탕층(17e)을 전극으로 한 전해도금을 실시하고, 밀바탕층(17a)상에 트랜지스터(7, 8, 9)의 소스, 드레인, 게이트의 막두께보다도 두꺼운 막두께 2~100 μm 의 동도금후막이고 또한 5 μm ~50 μm 폭의 전류원라인(18)을 성막하며, 밀바탕층(17e)상에 막두께 2~100 μm 의 동도금후막이고 또한 5 μm ~50 μm 폭의 EL라인(19)을 성막한다.

다음으로 도 59에 나타내는 바와 같이, 포토레지스트(64)를 제거하고, 적어도 노출되어 있는 전류원라인(18)의 표면, 밀바탕층(17a)의 측면 및 밀바탕배선(16b)의 측면을 덮는 절연막(52)을 형성한다. 그리고 제 9 실시형태와 마찬가지로 전체면에 습윤성 가변도통막(30)을 성막하고 나서, 자외선을 조사하고, 광촉매의 작용에 의해서 개질된 친액성막(30a)을 패터닝 형성하는 동시에, 광촉매의 작용을 받지 않은 부분이 발액성막(30b)이 된다.

제 9 실시형태와 마찬가지로 도 60에 나타내는 바와 같이, 정공수송층(22)을 포함하는 용액 또는 현탁액을 친액성막(30a)상에 선택적으로 습식성막하고, 건조시켜 정공수송층(22)을 형성한 후, 그 위에 발광층(23)을 성막한다.

다음으로 도 61에 나타내는 바와 같이, 투명전극으로 이루어지는 공통전극(24)을 전체면에 피막시키고, 오버코트절연층(25)에서 상면을 밀봉한다. 공통전극(24)은 전류원라인(18)과는 절연막(52)를 통하여 성막되어 있으므로 전기적으로 절연되고, EL라인(19)과는 발액성막(30b)을 통하여 있지만, 발액성막(30b)은 극히 얇은 구조이므로 충분한 절연성이 없으므로 전기적으로 접속되어 있는 상태로 되어 있다. 따라서 모든 EL라인(19)은 공통전극(24)을 통하여 서로 접속되어 있다. 공통전극(24)은 ITO 등의 투명전극이기 때문에 저항율이 높지만, EL라인(19)이 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D), 게이트(7G, 8G, 9G)에 대해 단위길이당의 저항이 작아지도록 이들 전극의 막두께보다도 두껍게 퇴적되어 있기 때문에, 모든 화소의 유기EL소자(26)의 캐소드로부터 충분한 전류를 흘리는 것이 가능해진다. 또, 전류원라인(18)이 트랜지스터(7, 8, 9)의 소스(7S, 8S, 9S), 드레인(7D, 8D, 9D), 게이트(7G, 8G, 9G)에 대해 단위길이당의 저항이 작아지도록 이들 전극의 막두께보다도 두껍게 퇴적되어 있기 때문에, 각 행의 화소의 유기EL소자(26)의 애노드에 충분한 전류를 흘리는 것이 가능해진다.

그리고 기관(2)상의 복수의 신호전류선(3)에 전류제어드라이버를 접속하고, 복수의 주사선(4)에 주사드라이버를 접속하며, 복수의 전류원라인(18)에 구동드라이버를 접속하고, 복수의 EL라인(19)은 등전위로 예를 들면 접지전위로 설정됨으로써 일정한 전압으로 유지된다.

본 발명을 실시하기 위해 기술적으로 바람직한 여러가지의 한정이 덧붙여져 있지만, 발명의 범위를 상기 각 실시형태 및 도시에 한정하는 것은 아니다.

상기 실시형태에서는 홀딩트랜지스터(8)의 드레인(8D)은 전류원라인(18)에 접속되어 있지만, 대신에 주사선(4)과 접속하도록 해도 마찬가지로 동작할 수 있다.

또한, 상기 각 실시형태에서는 각 전류제어트랜지스터(9)의 소스(9S)와 유기EL소자(26)의 애노드를 접속시키고, EL라인(19)을 유기EL소자(26)의 캐소드와 접속시켰는데, 이것에 한정하지 않고, 각 전류제어트랜지스터(9)의 소스(9S)와 유기EL소자(26)의 캐소드를 접속시키고, EL라인(19)을 유기EL소자(26)의 애노드와 접속시켜도 좋다.

또, 상기 각 실시형태에서는 전류원라인(18)은 정공수송층(22)이 성막되는 구획의 적어도 한변으로서 정공수송층(22)을 칸막이하고, 또한 발광층(23)이 성막되는 구획의 적어도 한변으로서 발광층(23)을 칸막이하고 있었는데, 유기EL소자(26)가 정공수송층(22)이 없는 발광층 단층인 경우에도 발광층이 성막되는 구획의 적어도 한변으로서 발광층을 칸막이해도 좋고, 유기EL소자(26)가 전자수송층이 설치된 경우에도 전자수송층이 성막되는 구획의 적어도 한변으로서 전자수송층을 칸막이해도 좋다.

마찬가지로, EL라인(19)은 유기EL소자(26)가 정공수송층이 없는 발광층단층인 경우에도 발광층이 성막되는 구획의 적어도 한변으로서 발광층을 칸막이해도 좋고, 유기EL소자(26)가 전자수송층이 설치된 경우에도 전자수송층이 성막되는 구획의 적어도 한변으로서 전자수송층을 칸막이해도 좋다.

발명의 효과

본 발명에 따르면 배선에 있어서의 전류지연이나 전압강하를 억제할 수 있다.

(57) 청구의 범위

청구항 1.

기관과,

상기 기관상에 설치된 발광소자와,

상기 발광소자를 구동하기 위한 전극을 갖는 화소회로와,

상기 화소회로에 접속되고 상기 화소회로의 전극과는 다른 층의 도전층을 갖는 배선을 구비하는 것을 특징으로 하는 표시장치.

청구항 2.

제 1 항에 있어서,

상기 도전층의 단위길이당의 저항이 상기 화소회로의 전극의 단위길이당의 저항보다도 작은 것을 특징으로 하는 표시장치.

청구항 3.

제 1 항에 있어서,

상기 도전층이 상기 화소회로의 전극보다도 두꺼운 것을 특징으로 하는 표시장치.

청구항 4.

제 1 항에 있어서,

상기 도전층의 저항율이 상기 화소회로의 전극의 저항율보다도 낮은 것을 특징으로 하는 표시장치.

청구항 5.

제 1 항에 있어서,

상기 화소회로가 박막트랜지스터를 갖는 것을 특징으로 하는 표시장치.

청구항 6.

제 5 항에 있어서,

상기 화소회로의 전극이 소스, 드레인인 것을 특징으로 하는 표시장치.

청구항 7.

기관과,

상기 기관상에 설치된 복수의 발광소자와,

상기 발광소자를 각각 구동하기 위한 전극을 갖는 복수의 화소회로와,

상기 복수의 화소회로에 접속되고 상기 화소회로의 전극과는 다른 층의 도전층을 갖는 화소회로접속배선을 구비하는 것을 특징으로 하는 표시장치.

청구항 8.

제 7 항에 있어서,

상기 화소회로접속배선의 도전층의 단위길이당의 저항이 상기 화소회로의 전극의 단위길이당의 저항보다도 작은 것을 특징으로 하는 표시장치.

청구항 9.

제 7 항에 있어서,

상기 화소회로접속배선의 도전층이 상기 화소회로의 전극보다도 두꺼운 것을 특징으로 하는 표시장치.

청구항 10.

제 7 항에 있어서,

상기 화소회로접속배선의 도전층의 저항율이 상기 화소회로의 전극의 저항율보다도 낮은 것을 특징으로 하는 표시장치.

청구항 11.

제 7 항에 있어서,

상기 화소회로가 박막트랜지스터를 갖는 것을 특징으로 하는 표시장치.

청구항 12.

제 11 항에 있어서,

상기 화소회로의 전극이 소스, 드레인인 것을 특징으로 하는 표시장치.

청구항 13.

제 7 항에 있어서,

상기 복수의 발광소자에 접속되고 상기 화소회로의 전극과는 다른 도전층을 갖는 발광소자접속배선을 추가로 구비하는 것을 특징으로 하는 표시장치.

청구항 14.

제 7 항에 있어서,

상기 화소회로가,

선택기간 중에는 신호전류선에 소정의 전류값의 기억전류를 흘리고, 비선택기간 중에는 상기 신호전류선에 전류를 흘리는 것을 정지하는 스위치 회로와,

상기 선택기간 중에 상기 신호전류선을 통하여 흐르는 상기 기억전류의 전류값에 따른 전류데이터를 기억하고, 상기 선택기간 중에 기억된 상기 전류데이터에 따라서 상기 기억전류의 전류값에 따른 전류값의 구동전류를 상기 비선택기간 중에 상기 발광소자에 공급하는 전류기억회로를 갖는 것을 특징으로 하는 표시장치.

청구항 15.

제 14 항에 있어서,

상기 전류기억회로가 상기 발광소자에 상기 구동전류를 흘리는 전류제어트랜지스터를 갖는 것을 특징으로 하는 표시장치.

청구항 16.

제 14 항에 있어서,

상기 스위치회로가, 소스, 드레인의 한쪽이 상기 신호전류선에 접속되어 상기 선택기간 중에 상기 기억전류를 상기 신호전류선에 흘리고, 그리고 상기 비선택기간 중에 상기 구동전류를 상기 신호전류선에 흘리는 것을 정지하는 전류경로제어트랜지스터를 갖는 것을 특징으로 하는 표시장치.

청구항 17.

제 14 항에 있어서,

상기 스위치회로가 상기 전류기억회로로의 상기 전류데이터의 기입을 제어하는 홀딩트랜지스터를 갖는 것을 특징으로 하는 표시장치.

청구항 18.

제 7 항에 있어서,

상기 복수의 발광소자에 접속되고 상기 화소회로의 전극과는 다른 도전층을 갖는 발광소자접속배선을 추가로 구비하고,

상기 발광소자가 발광층 및 화소전극을 가지며, 상기 발광층이 상기 화소회로접속배선 및 상기 발광소자접속배선의 사이의 화소전극상에 성막되어 있는 것을 특징으로 하는 표시장치.

청구항 19.

기관과,

상기 기관상에 설치된 복수의 발광소자와,

상기 발광소자를 각각 구동하기 위한 전극을 갖는 복수의 화소회로와,

상기 복수의 발광소자에 접속되고 상기 화소회로의 전극과는 다른 층의 도전층을 갖는 발광소자접속배선을 구비하는 것을 특징으로 하는 표시장치.

청구항 20.

제 19 항에 있어서,

상기 발광소자접속배선의 도전층의 단위길이당의 저항이 상기 화소회로의 전극의 단위길이당의 저항보다도 작은 것을 특징으로 하는 표시장치.

청구항 21.

제 19 항에 있어서,

상기 발광소자접속배선의 도전층이 상기 화소회로의 전극보다도 두꺼운 것을 특징으로 하는 표시장치.

청구항 22.

제 19 항에 있어서,

상기 발광소자접속배선의 도전층의 저항율이 상기 화소회로의 전극의 저항율보다도 낮은 것을 특징으로 하는 표시장치.

청구항 23.

제 19 항에 있어서,

상기 복수의 화소회로에 접속되고 상기 화소회로의 전극과는 다른 도전층을 갖는 화소회로접속배선을 추가로 구비하는 것을 특징으로 하는 표시장치.

청구항 24.

발광층을 갖는 복수의 발광소자와,

상기 복수의 발광소자를 각각 구동하는 복수의 화소회로와,

상기 화소회로 또는 상기 발광소자에 접속되는 동시에, 상기 발광소자의 발광층이 성막되는 구획의 적어도 한 변으로서 상기 발광층을 칸막이하는 도전층을 갖는 배선을 구비하는 것을 특징으로 하는 표시장치.

청구항 25.

제 24 항에 있어서,

상기 도전층의 단위길이당의 저항이 상기 화소회로의 전극의 단위길이당의 저항보다도 작은 것을 특징으로 하는 표시장치.

청구항 26.

제 24 항에 있어서,

상기 도전층이 상기 화소회로의 전극보다도 두꺼운 것을 특징으로 하는 표시장치.

청구항 27.

제 24 항에 있어서,

상기 도전층의 저항율이 상기 화소회로의 전극의 저항율보다도 낮은 것을 특징으로 하는 표시장치.

청구항 28.

제 24 항에 있어서,

상기 화소회로가 박막트랜지스터를 갖는 것을 특징으로 하는 표시장치.

청구항 29.

제 28 항에 있어서,

상기 화소회로의 전극이 소스, 드레인인 것을 특징으로 하는 표시장치.

청구항 30.

제 24 항에 있어서,

상기 복수의 발광소자가 각각 화소전극을 갖고,

상기 화소전극의 표면에는 친액성막이 성막되어 있는 것을 특징으로 하는 표시장치.

청구항 31.

제 24 항에 있어서,

상기 화소회로가,

선택기간 중에는 전류선에 소정의 전류값의 기억전류를 흘리고, 비선택기간 중에는 상기 전류선에 전류를 흘리는 것을 정지하는 스위치회로와,

상기 선택기간 중에 상기 전류선을 통하여 흐르는 상기 기억전류의 전류값에 따른 전류데이터를 기억하고, 상기 선택기간 중에 기억된 상기 전류데이터에 따라서 상기 기억전류의 전류값에 따른 전류값의 구동전류를 상기 비선택기간 중에 상기 발광소자에 공급하는 전류기억회로를 갖는 것을 특징으로 하는 표시장치.

청구항 32.

제 31 항에 있어서,

상기 전류기억회로가 상기 발광소자에 상기 구동전류를 흘리는 전류제어트랜지스터를 갖는 것을 특징으로 하는 표시장치.

청구항 33.

제 31 항에 있어서,

상기 스위치회로가, 소스, 드레인의 한쪽이 상기 전류선에 접속되어 상기 선택기간 중에 상기 기억전류를 상기 전류선에 흘리고, 그리고 상기 비선택기간 중에 상기 구동전류를 상기 전류선에 흘리는 것을 정지하는 전류경로제어트랜지스터를 갖는 것을 특징으로 하는 표시장치.

청구항 34.

제 31 항에 있어서,

상기 스위치회로가 상기 전류기억회로로의 상기 전류데이터의 기입을 제어하는 홀딩트랜지스터를 갖는 것을 특징으로 하는 표시장치.

청구항 35.

제 24 항에 있어서,

상기 배선이 상기 화소회로에 접속된 제 1 배선과, 상기 발광소자에 접속된 제 2 배선을 갖고 있는 것을 특징으로 하는 표시장치.

청구항 36.

제 35 항에 있어서,

상기 제 1 배선이 상기 화소회로를 덮는 절연막에 설치된 콘택트홀을 통하여 상기 화소회로와 접속되어 있는 것을 특징으로 하는 표시장치.

청구항 37.

제 35 항에 있어서,

상기 제 2 배선이 상기 화소회로를 덮는 절연막의 윗쪽에 배치되어 있는 것을 특징으로 하는 표시장치.

청구항 38.

제 35 항에 있어서,

상기 제 2 배선이 투명전극에 접속되어 있는 것을 특징으로 하는 표시장치.

청구항 39.

제 24 항에 있어서,

상기 발광소자가 화소전극을 갖고,

상기 배선이 상기 화소전극과 겹치지 않는 위치에 배치되어 있는 것을 특징으로 하는 표시장치.

청구항 40.

기관상에 설치된 복수의 화소회로에 접속되고 상기 화소회로의 전극과는 다른 층의 도전층을 갖는 화소회로접속배선을 성막하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 41.

제 40 항에 있어서,

상기 화소회로접속배선을 도금처리에 의하여 성막하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 42.

제 41 항에 있어서,

표시장치가 발광층을 갖는 발광소자를 구비하고,

상기 복수의 발광소자에 접속되기 위한 발광소자접속배선과 상기 화소회로접속배선의 사이에 상기 발광층을 성막하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 43.

기판상에 설치된 복수의 화소회로의 전극과는 다른 층의 도전층을 갖는 배선을 설치하고,

상기 배선을 격벽으로서 발광층을 성막하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 44.

제 43 항에 있어서,

상기 배선을 도금처리에 의하여 성막하는 것을 특징으로 하는 표시장치의 제조방법.

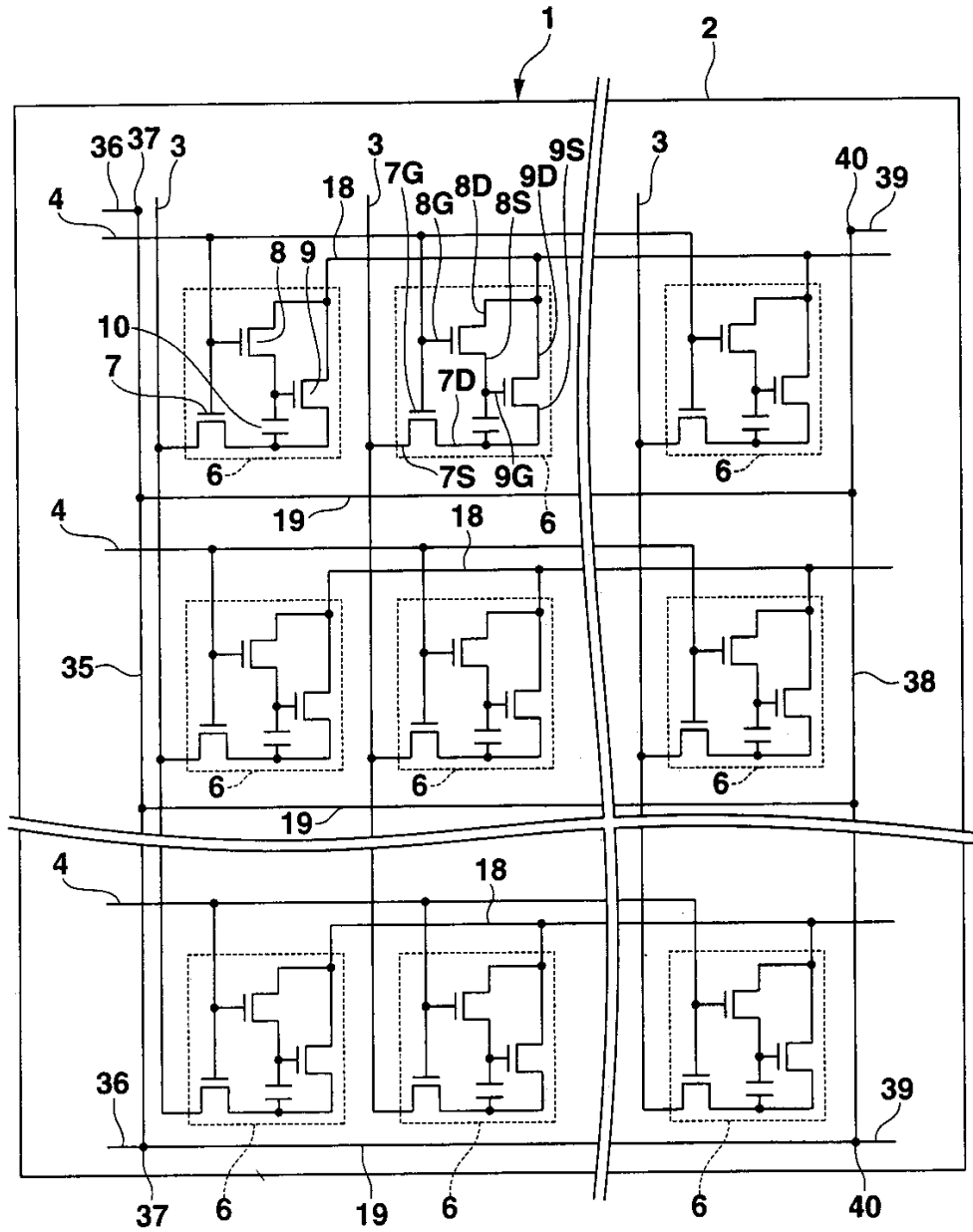
청구항 45.

제 43 항에 있어서,

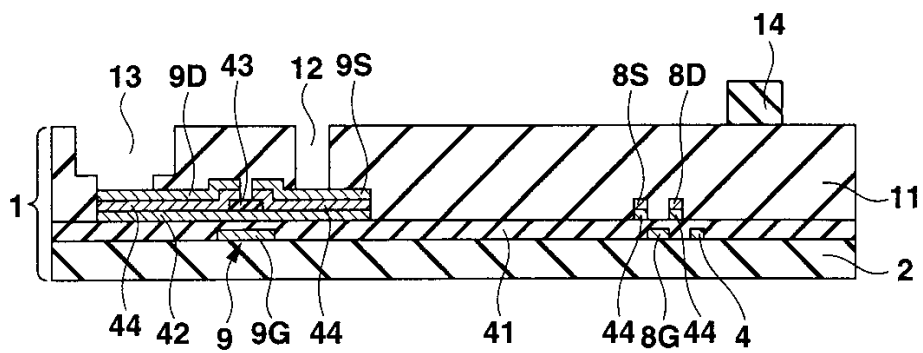
상기 발광층을 습식성막하는 것을 특징으로 하는 표시장치의 제조방법.

도면

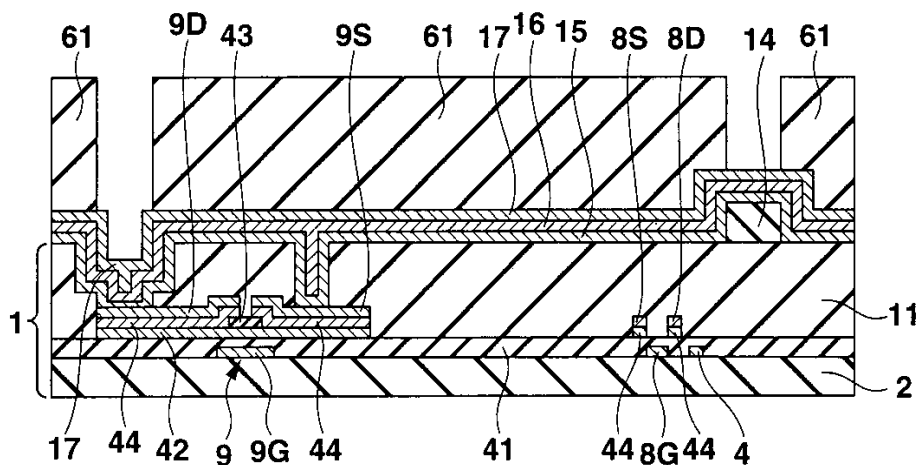
도면1



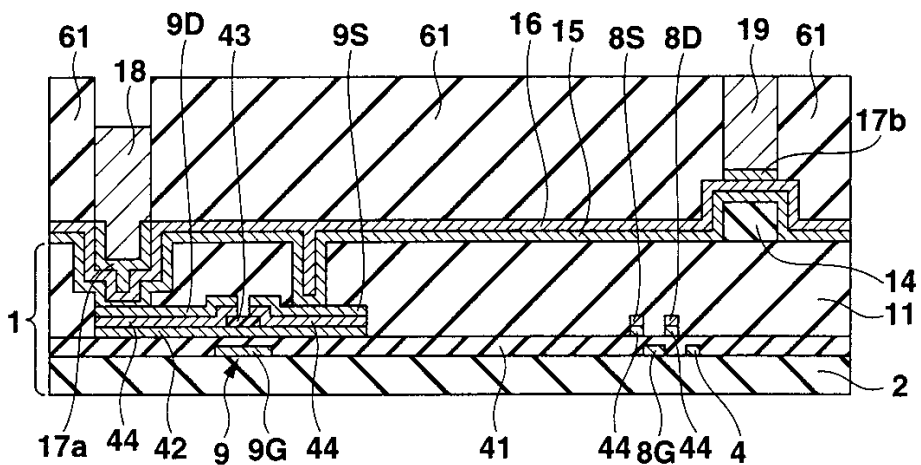
도면2



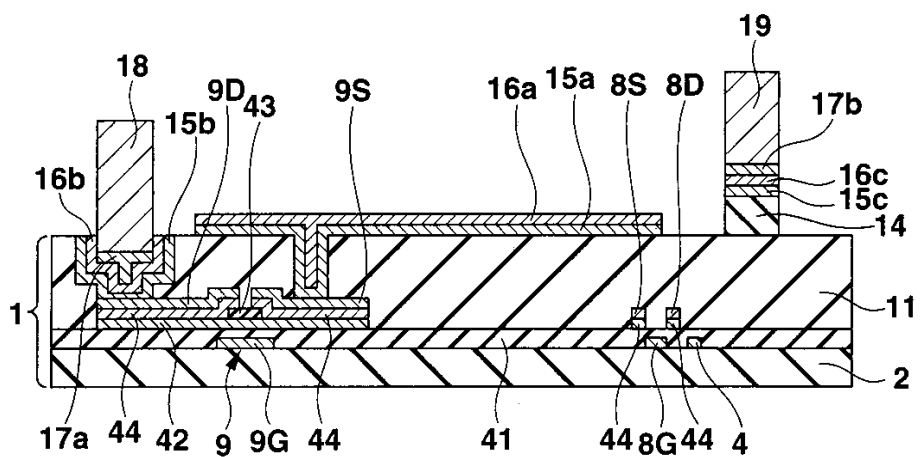
도면3



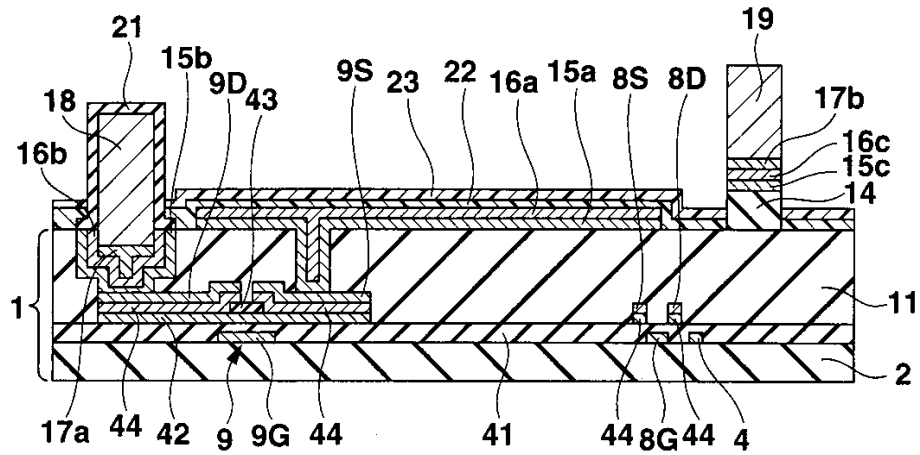
도면4



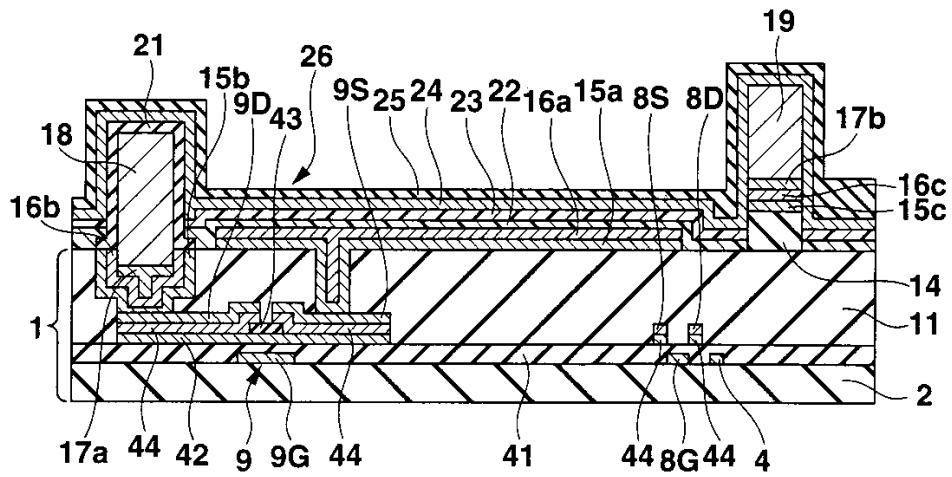
도면5



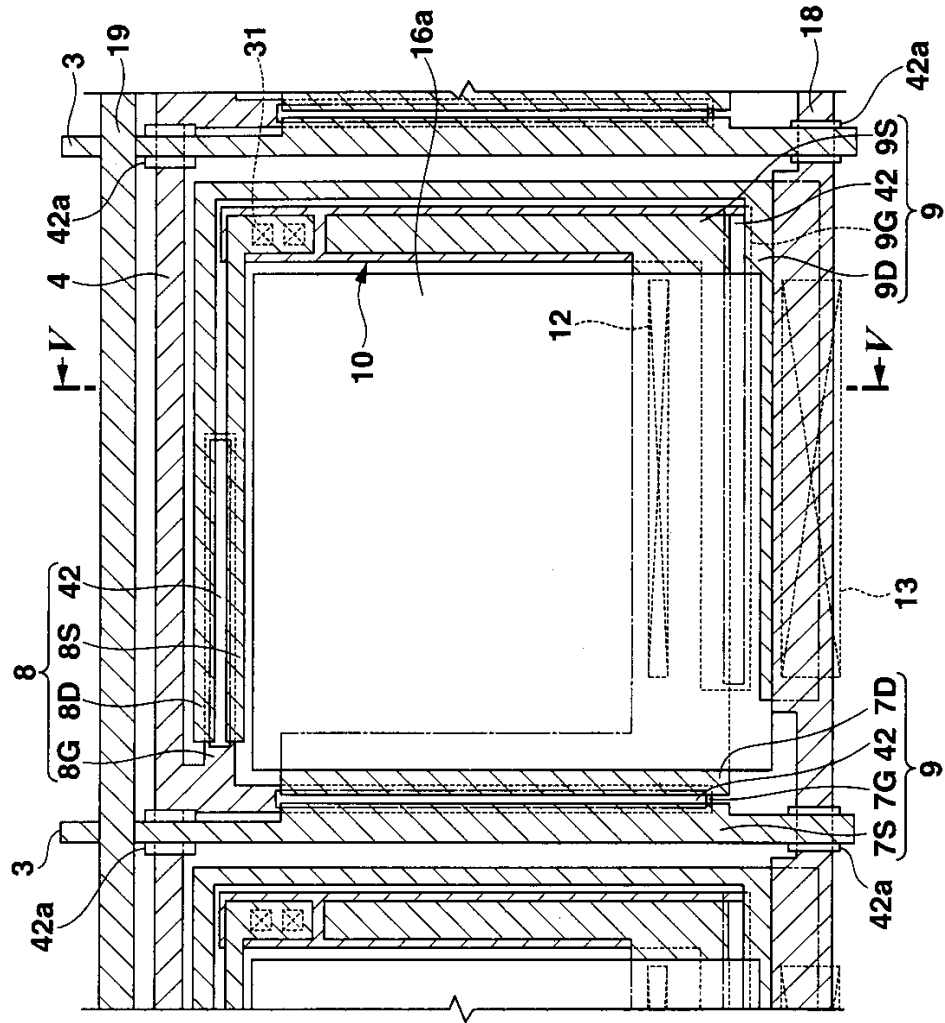
도면6



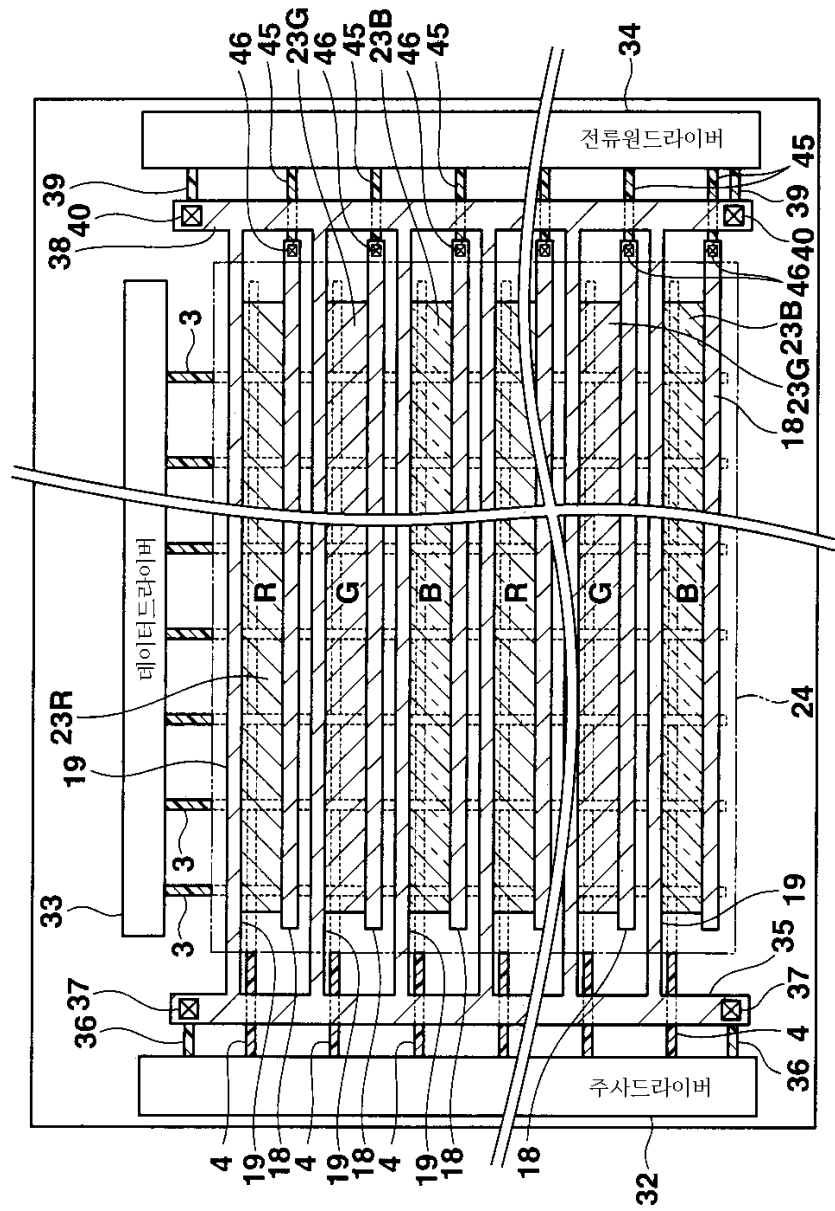
도면7



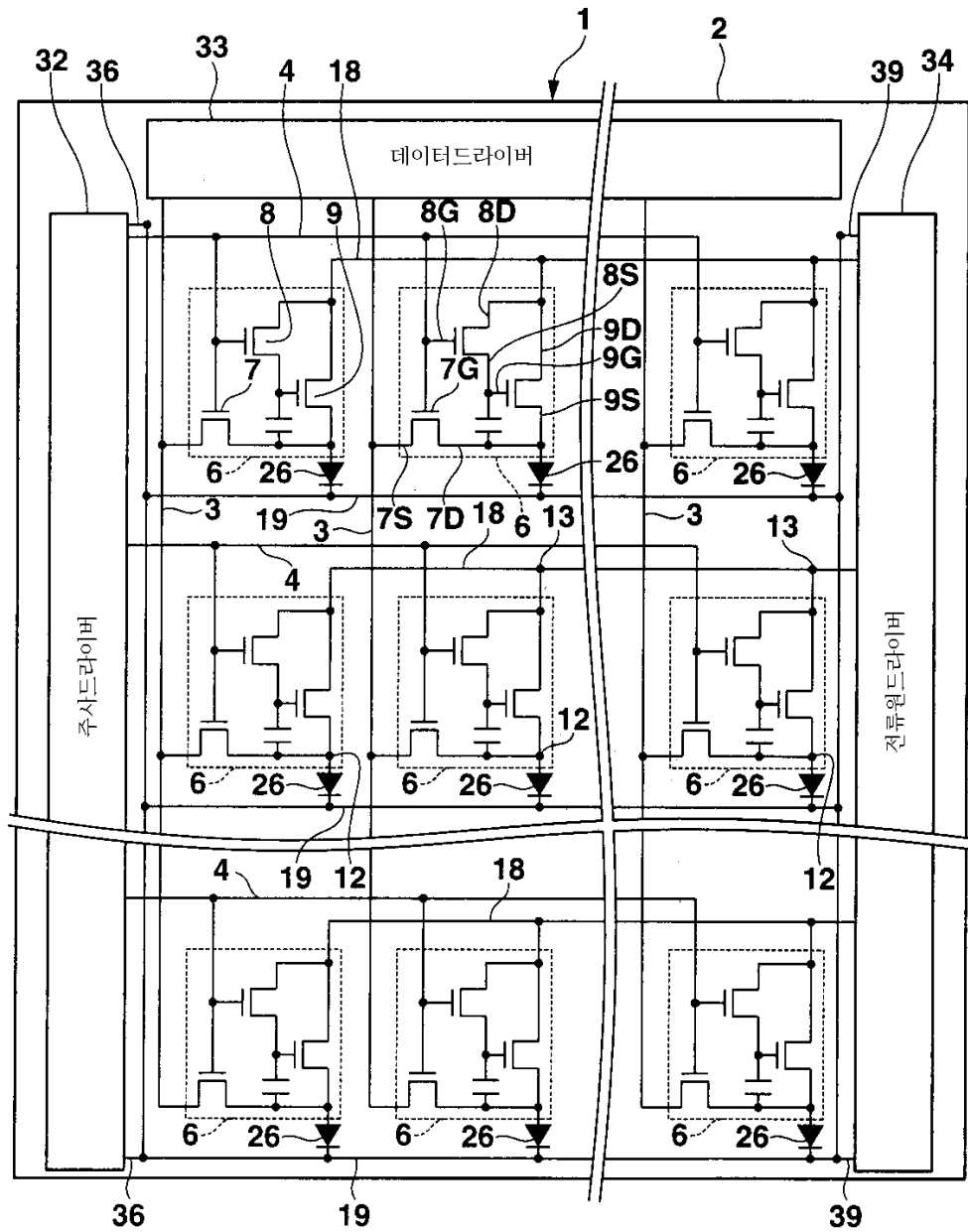
도면8



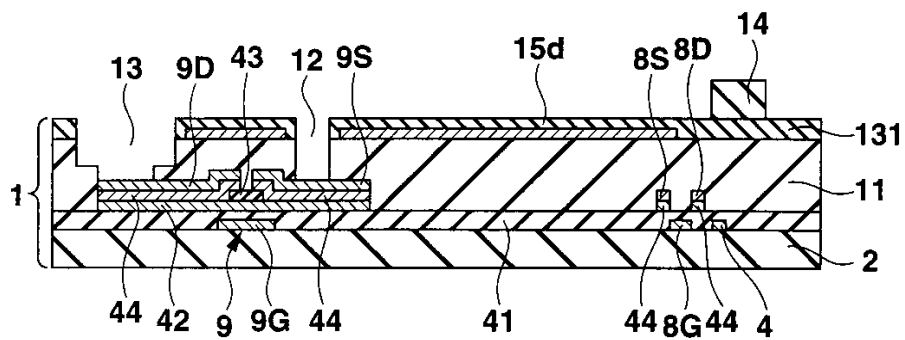
도면9



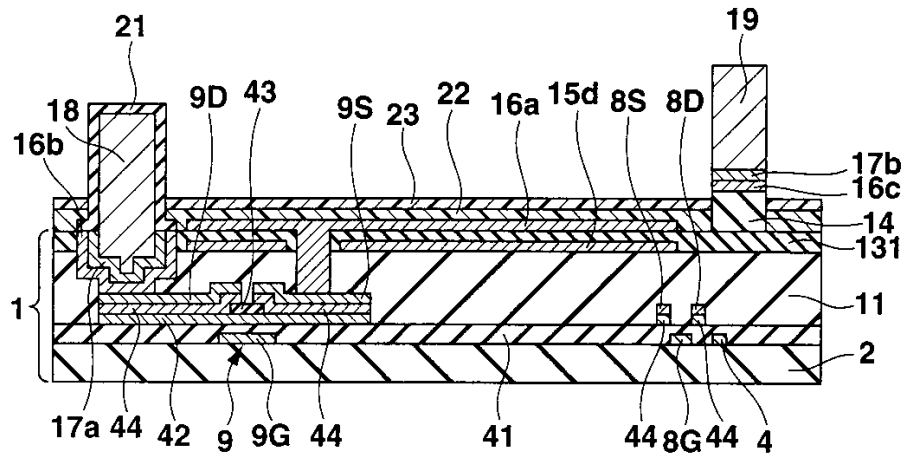
도면10



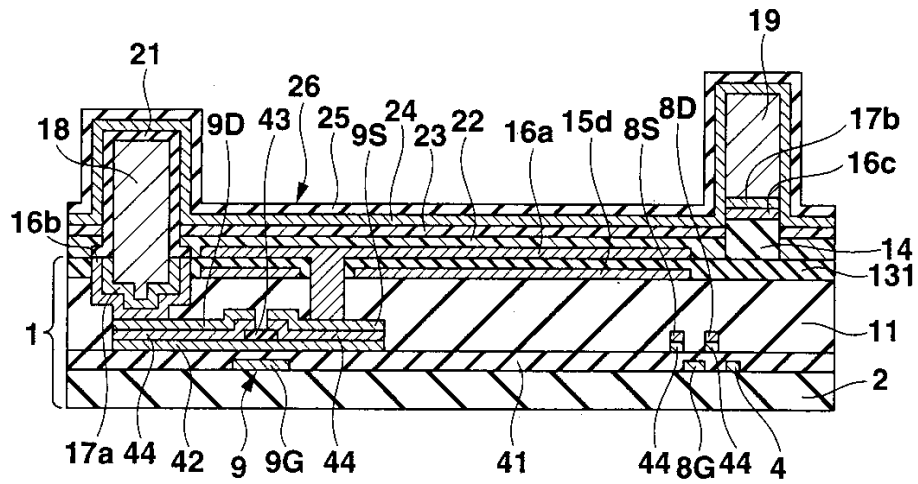
도면11



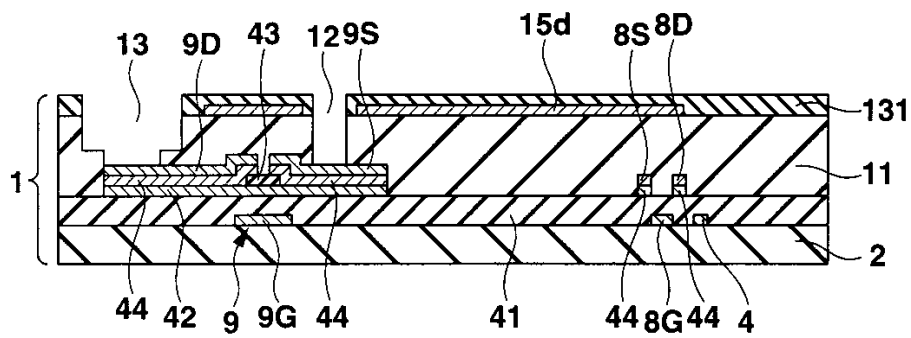
도면15



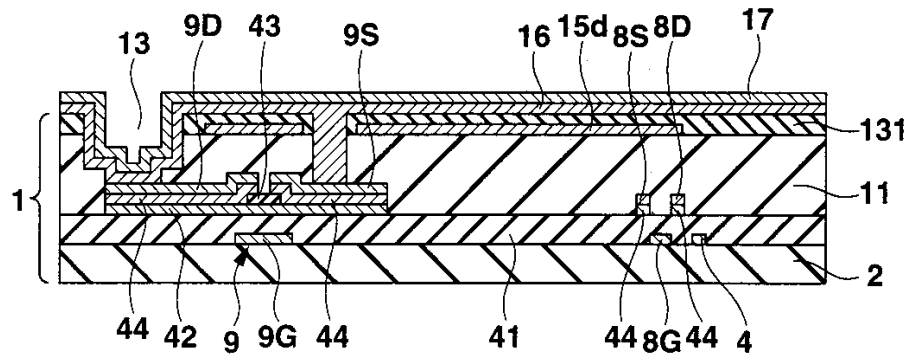
도면16



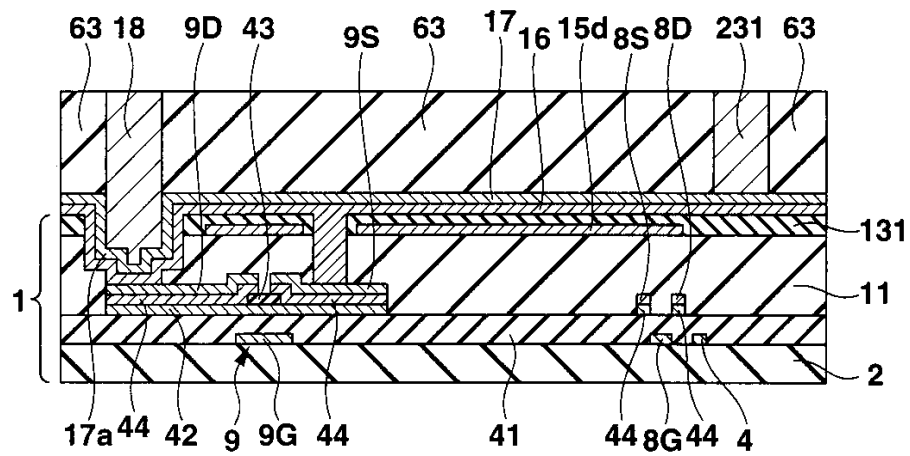
도면17



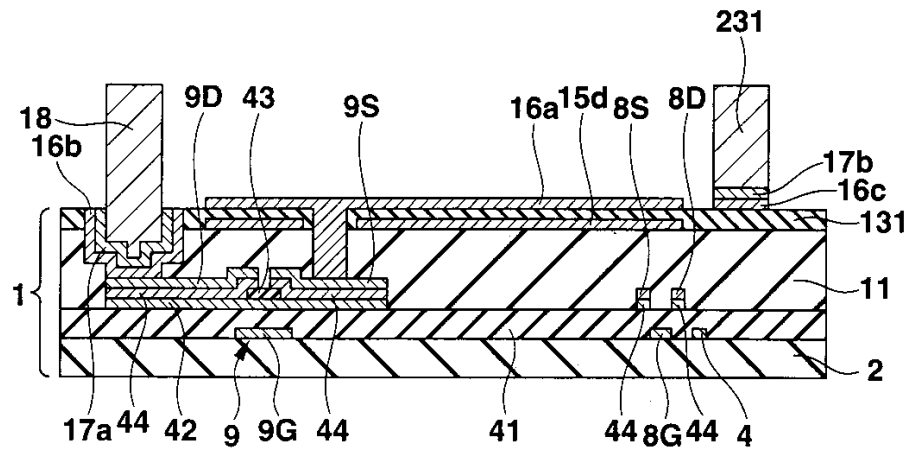
도면18



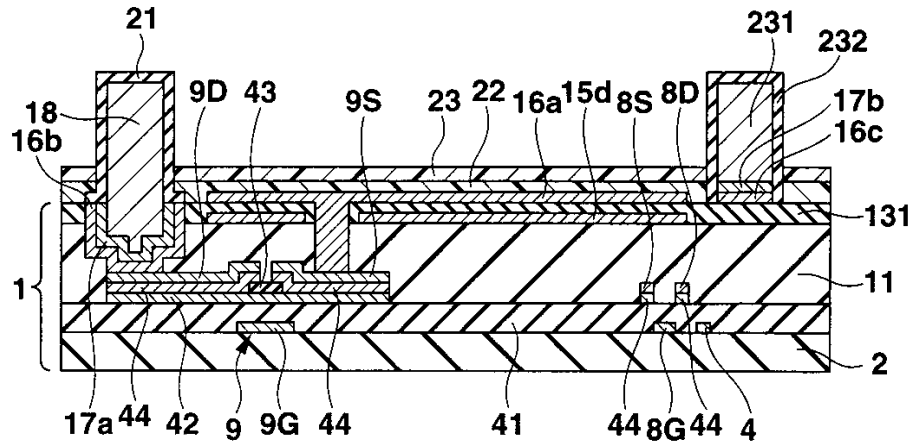
도면19



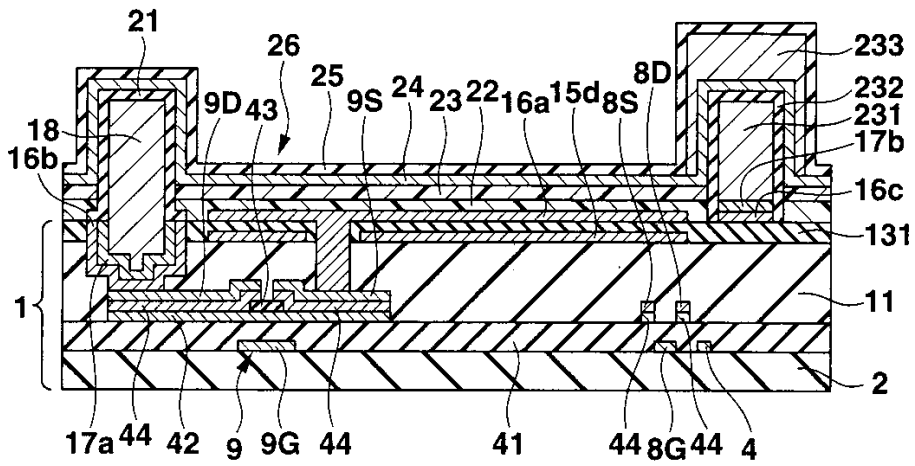
도면20



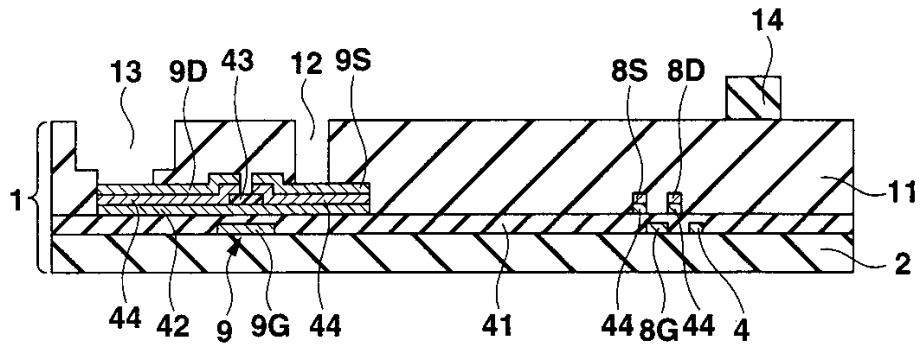
도면21



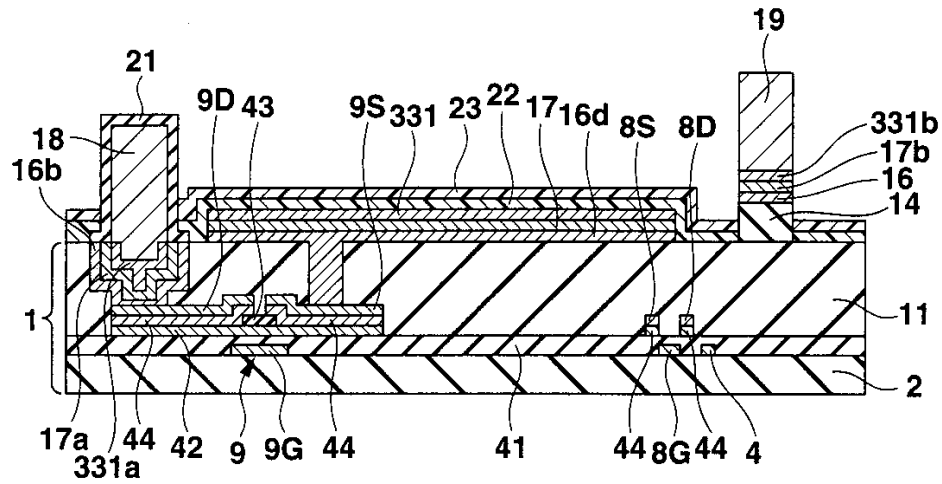
도면22



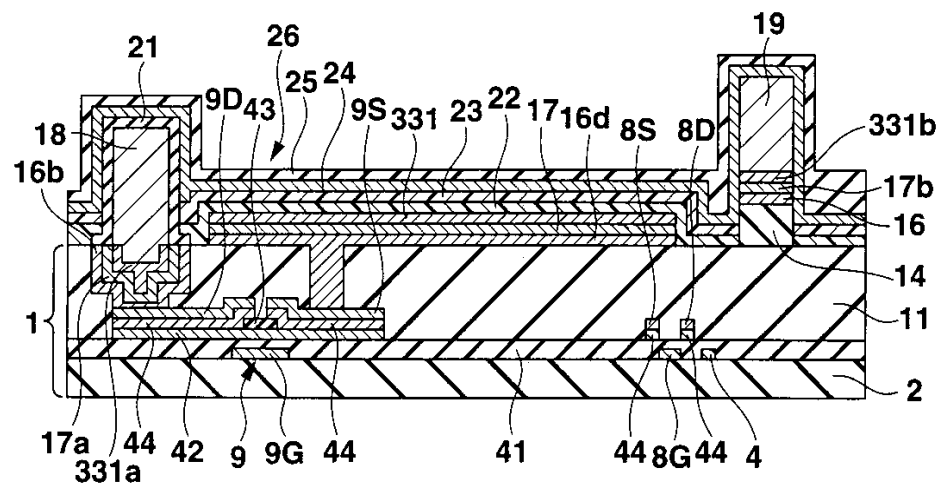
도면23



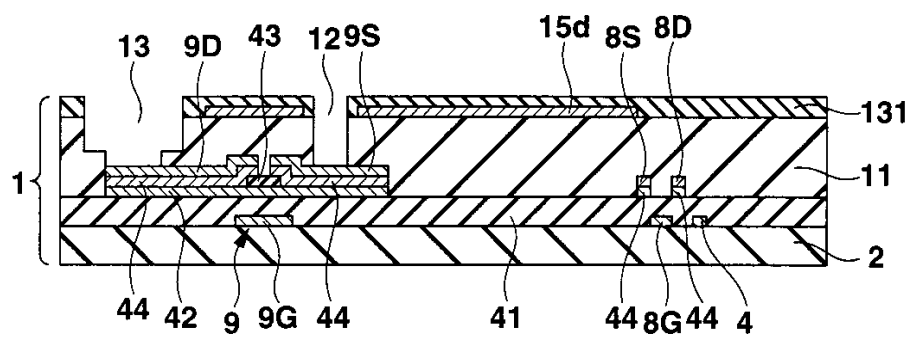
도면27



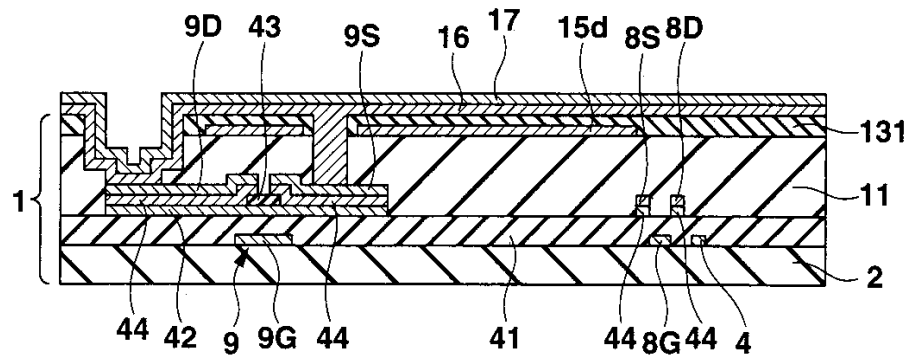
도면28



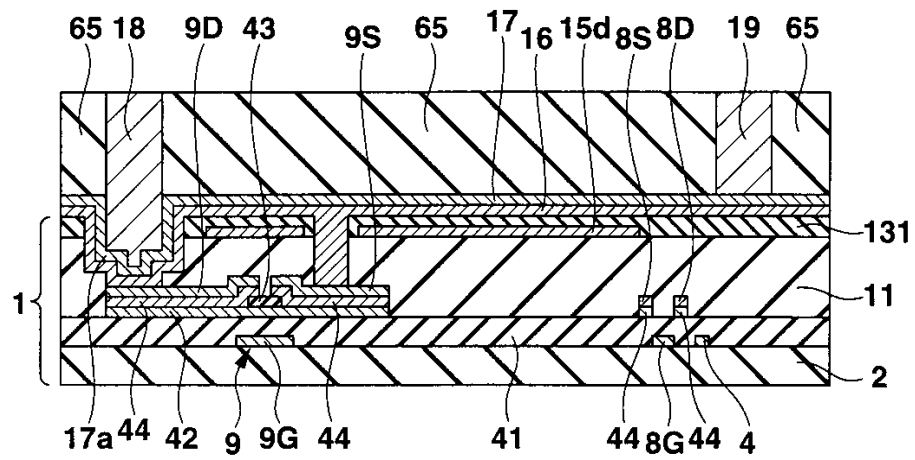
도면29



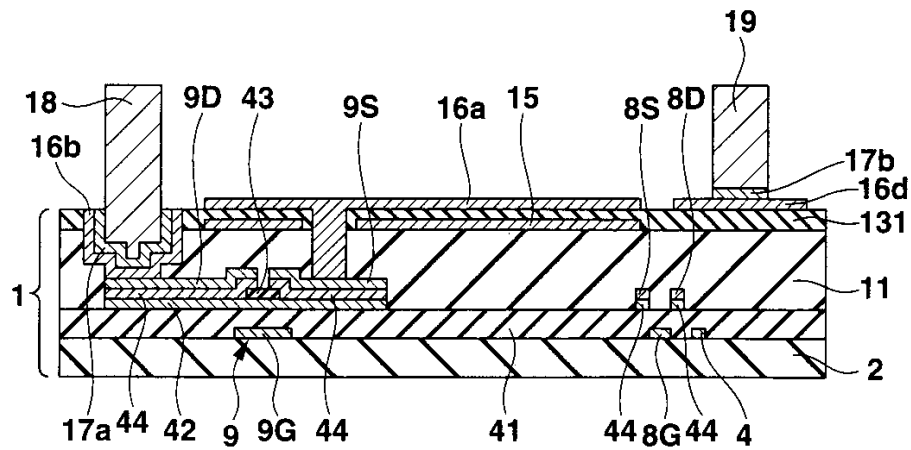
도면30



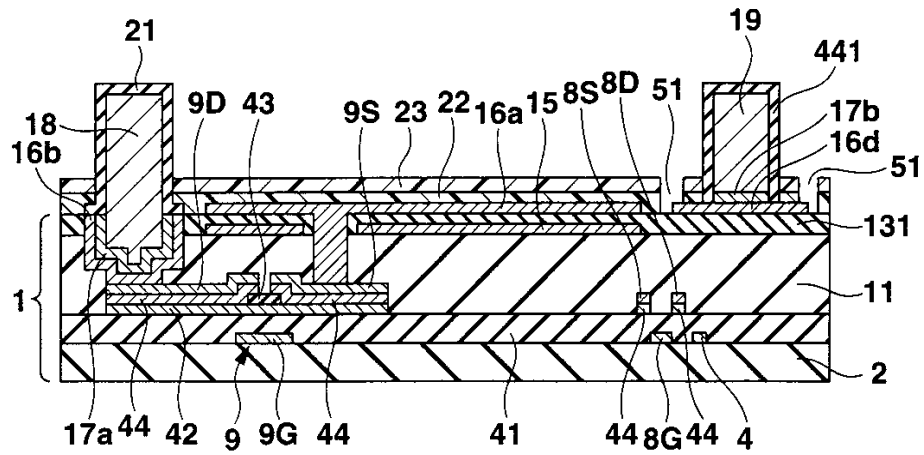
도면31



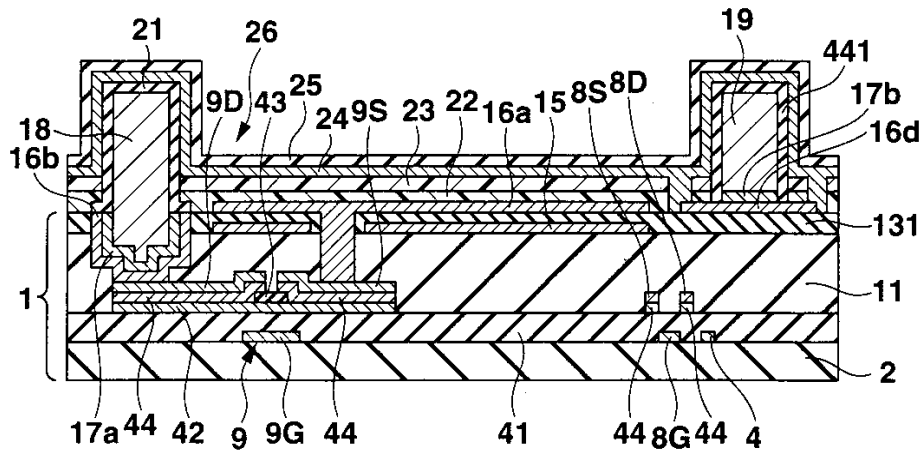
도면32



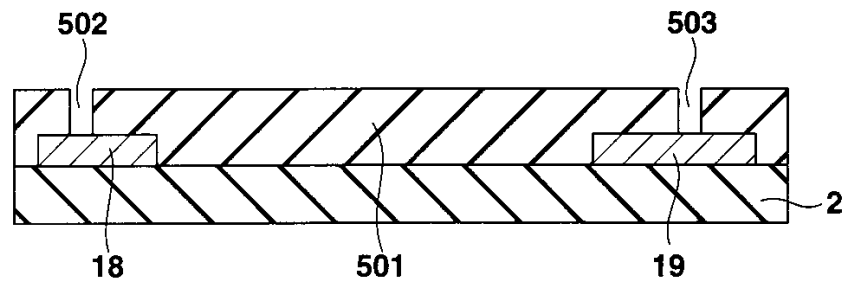
도면33



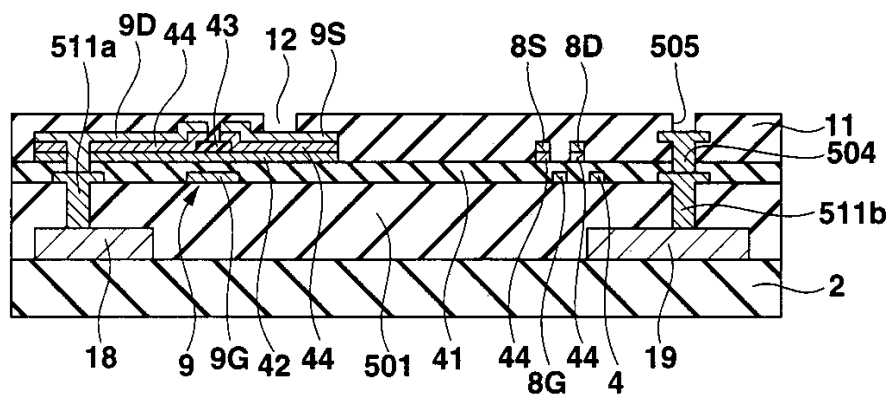
도면34



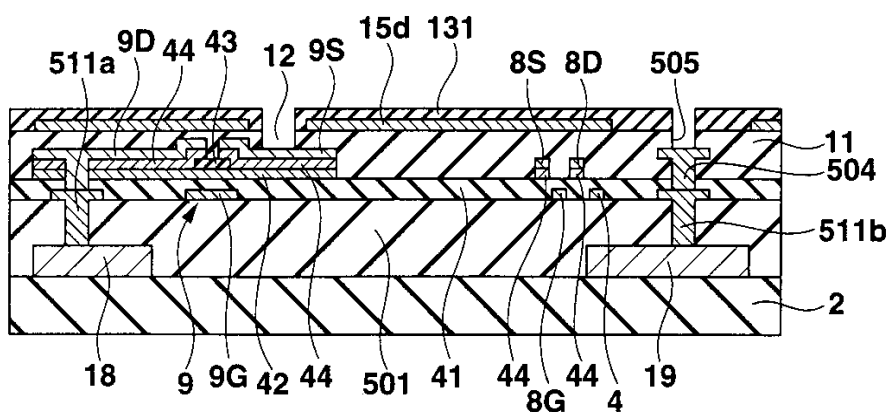
도면35



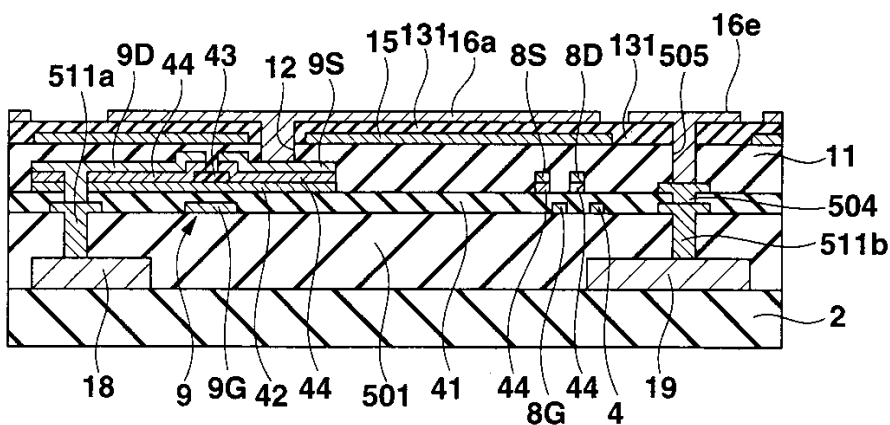
도면36



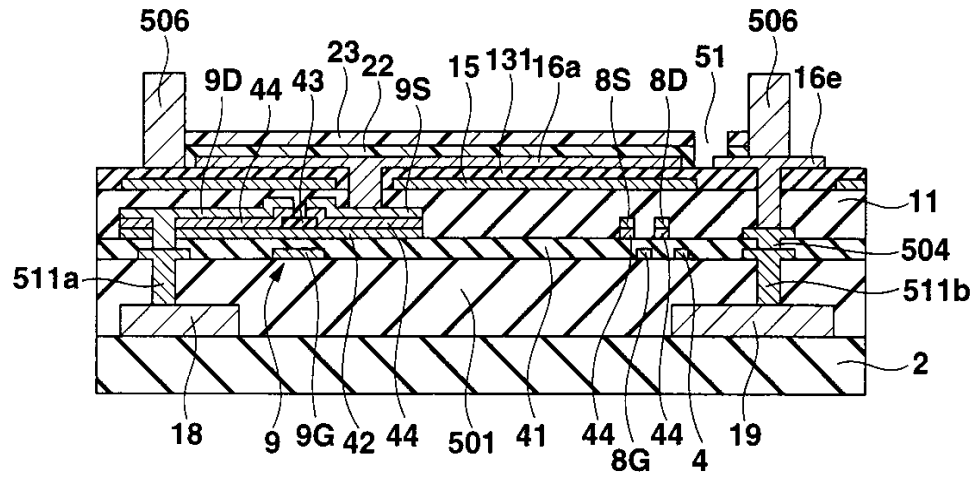
도면37



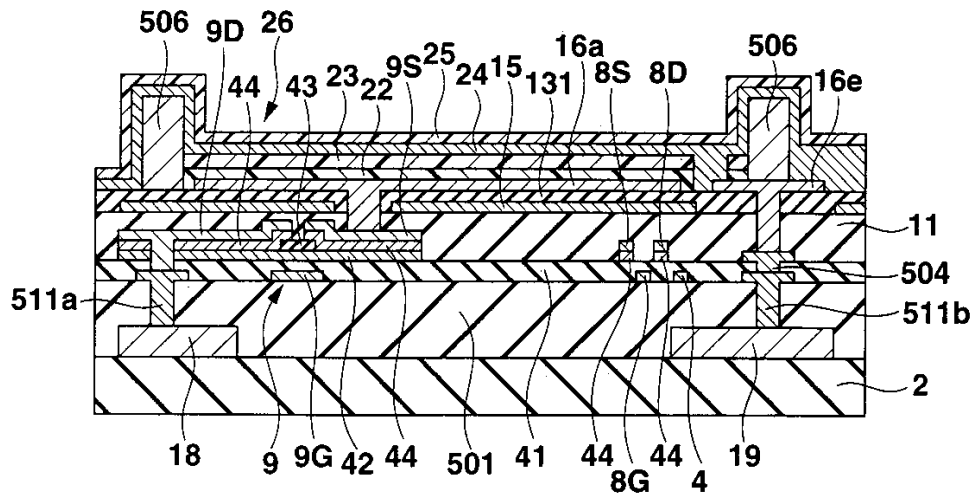
도면38



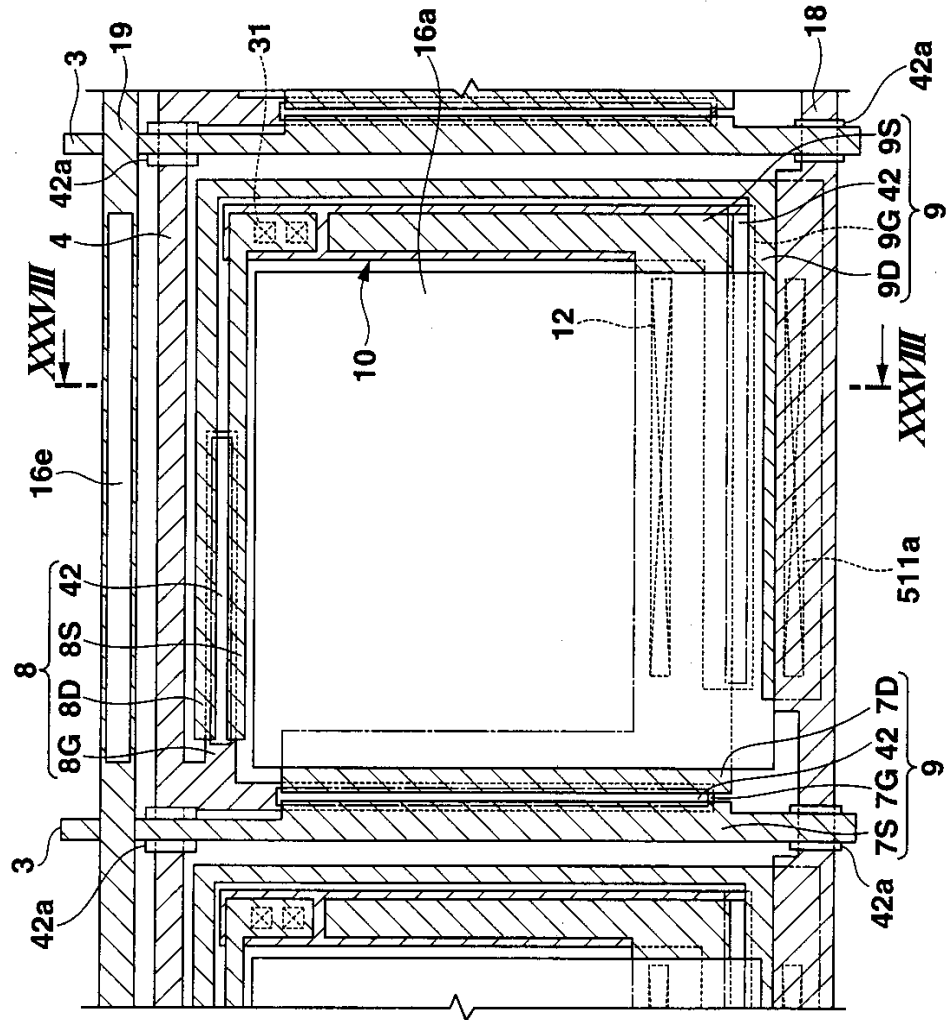
도면39



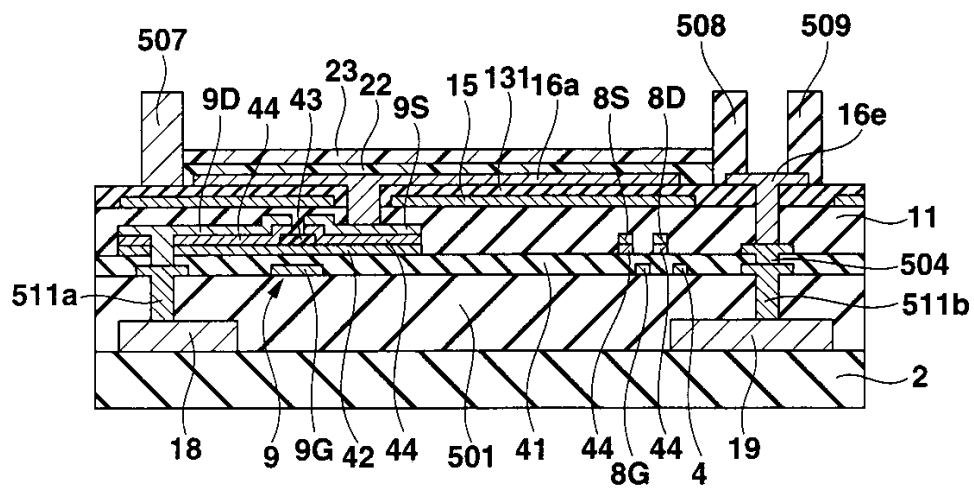
도면40



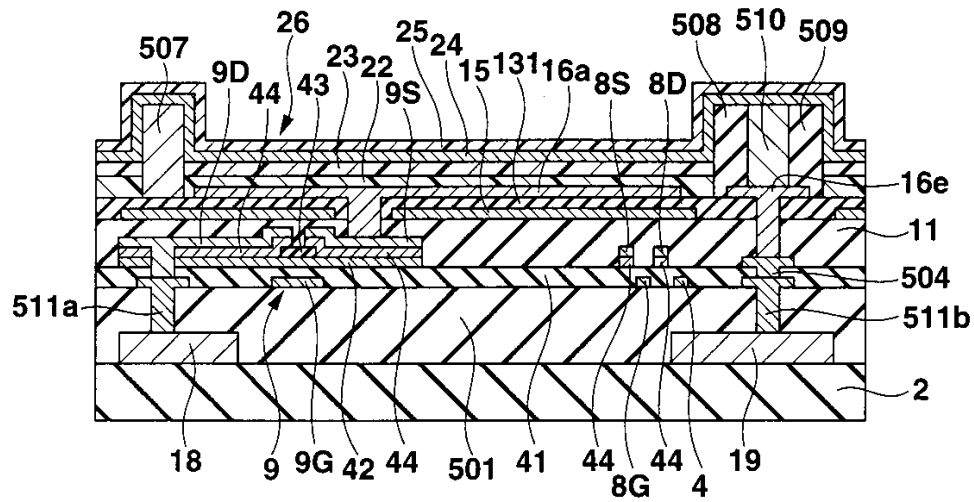
도면41



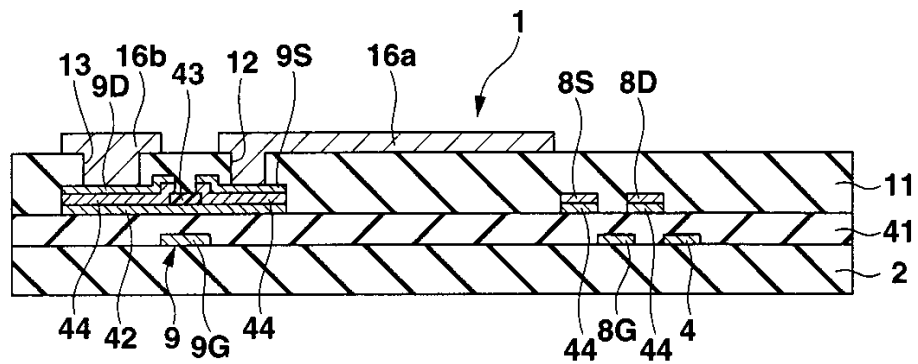
도면42



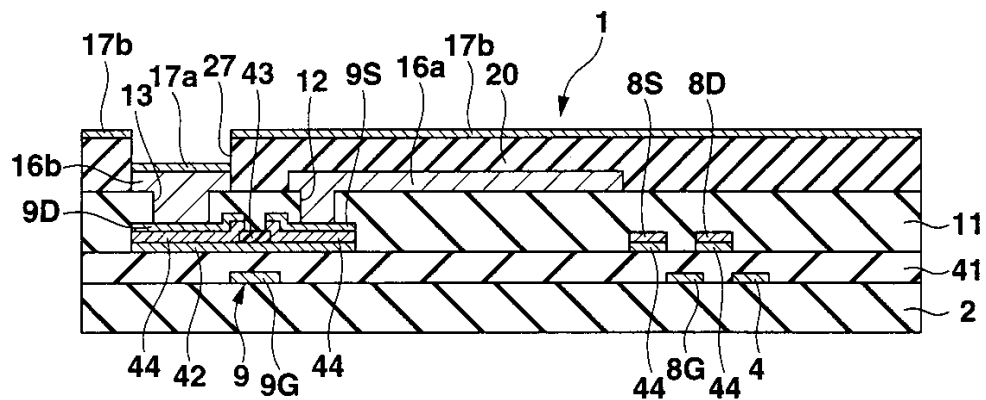
도면43



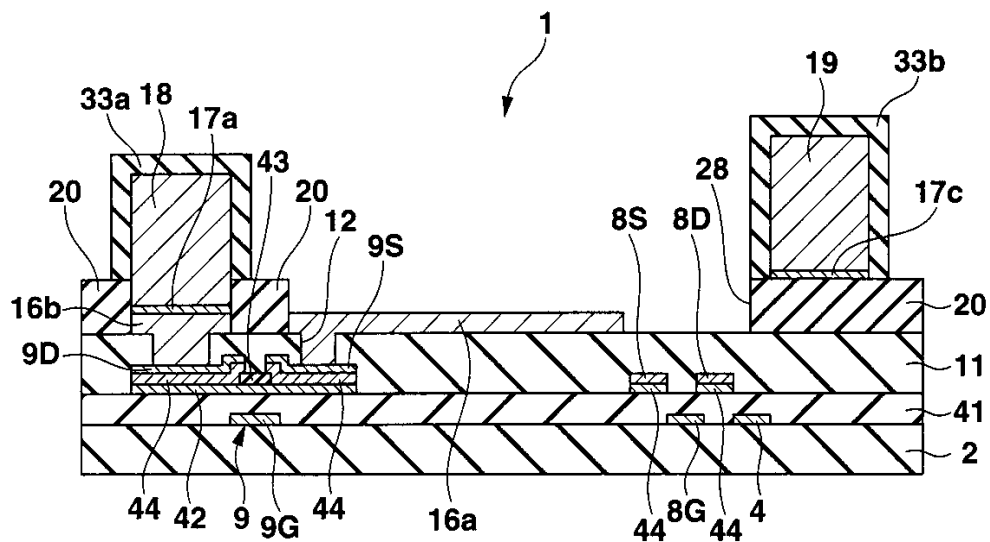
도면44



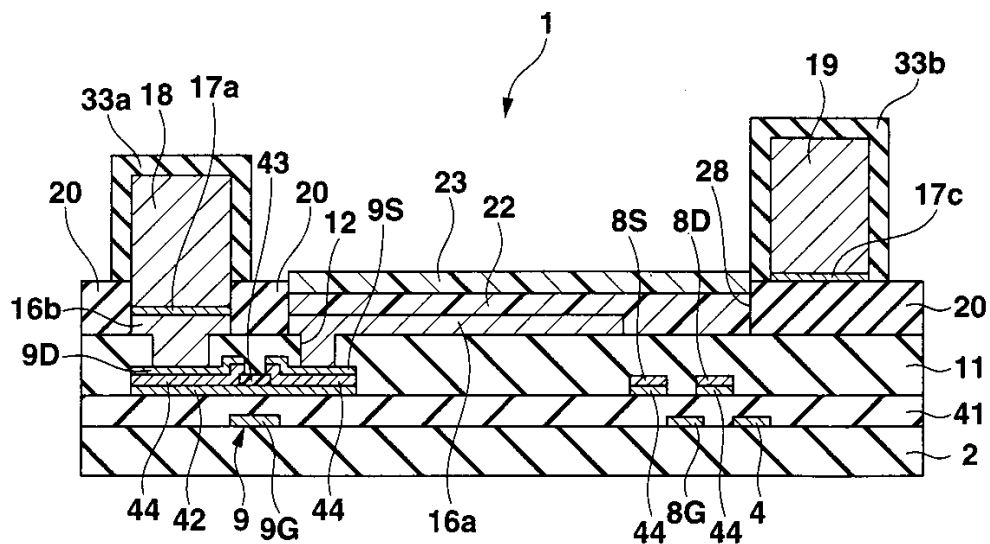
도면45



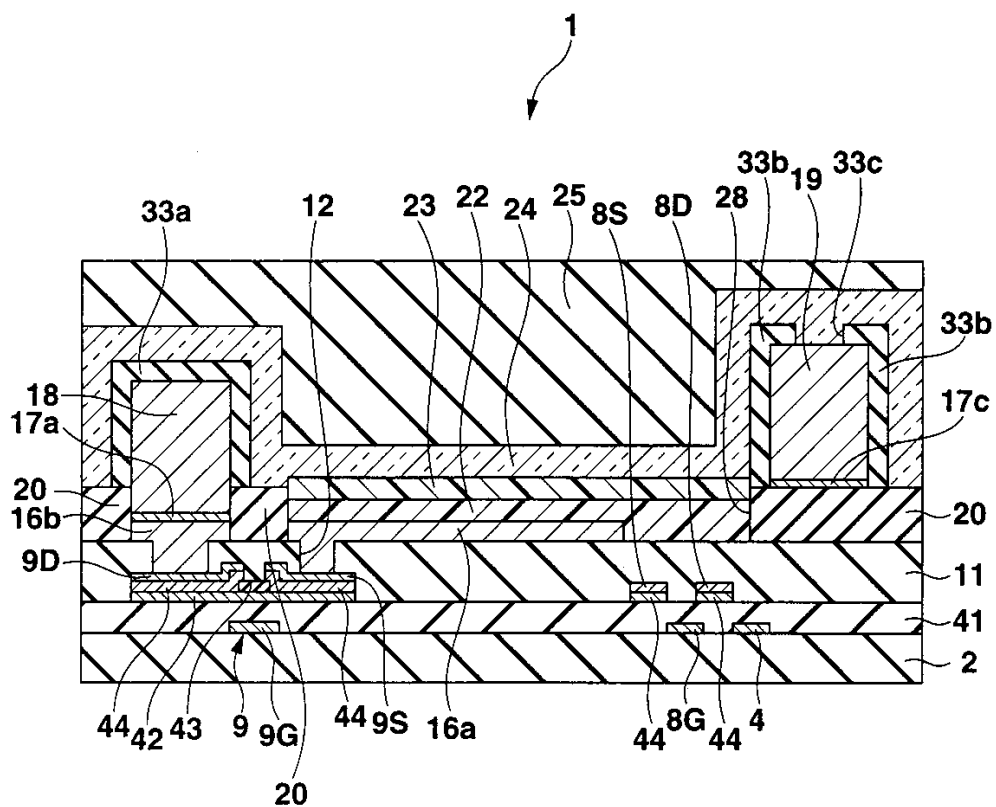
도면48



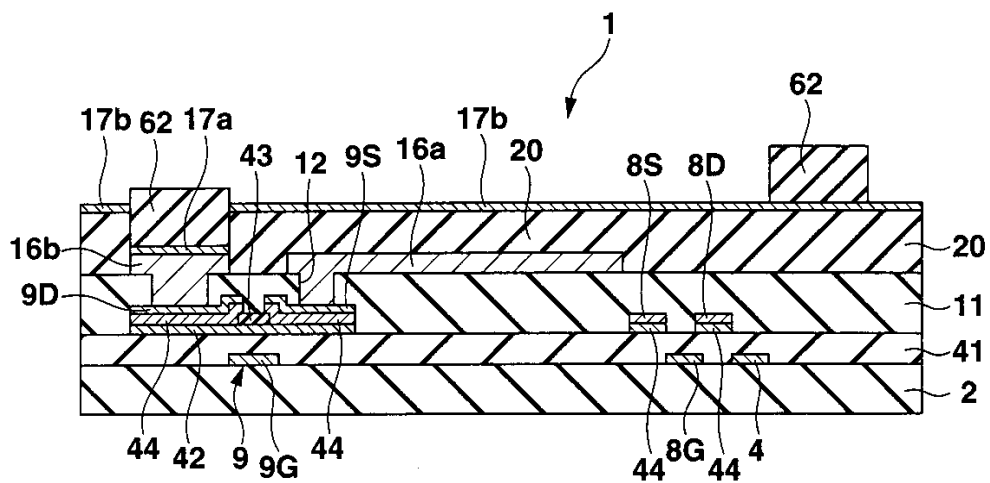
도면49



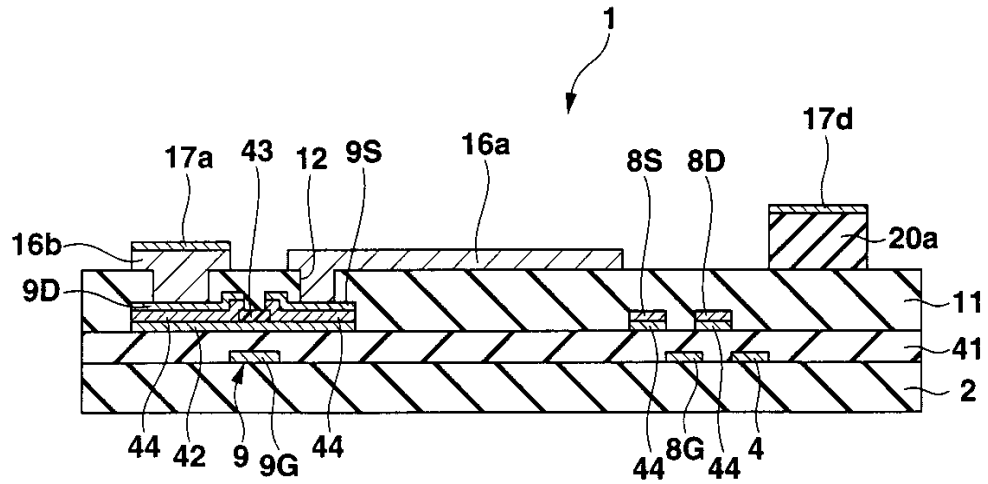
도면50



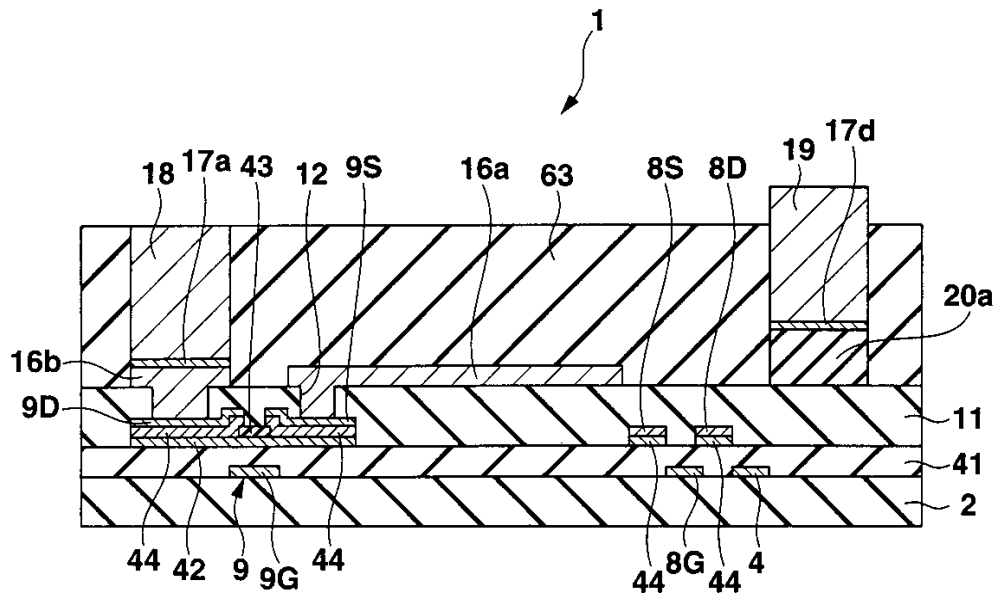
도면51



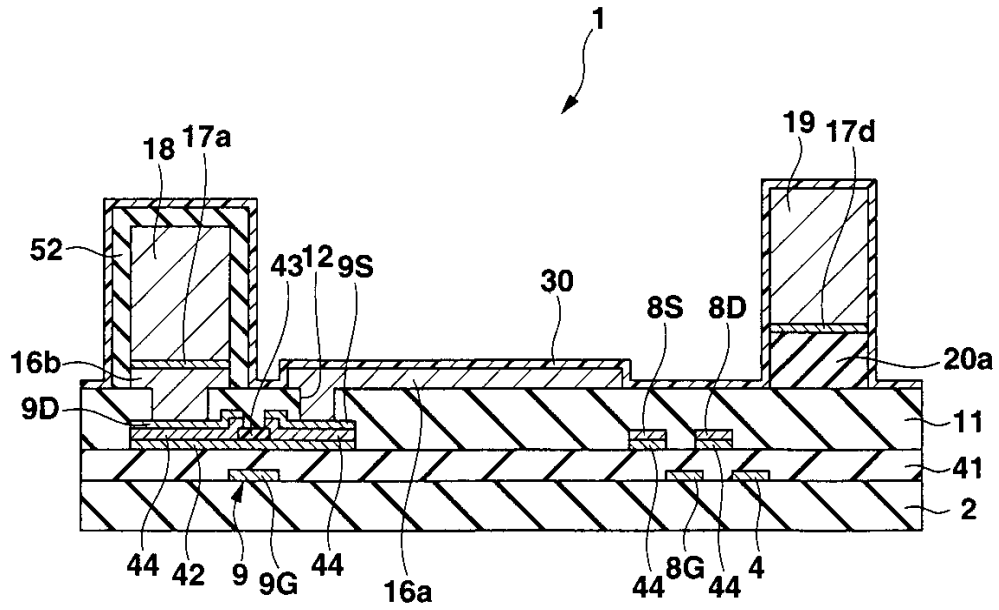
도면52



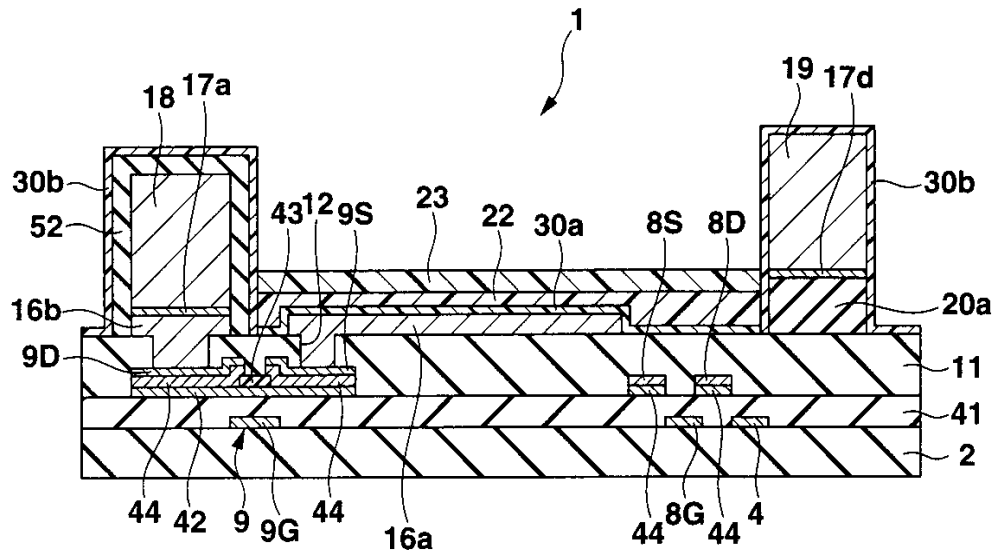
도면53



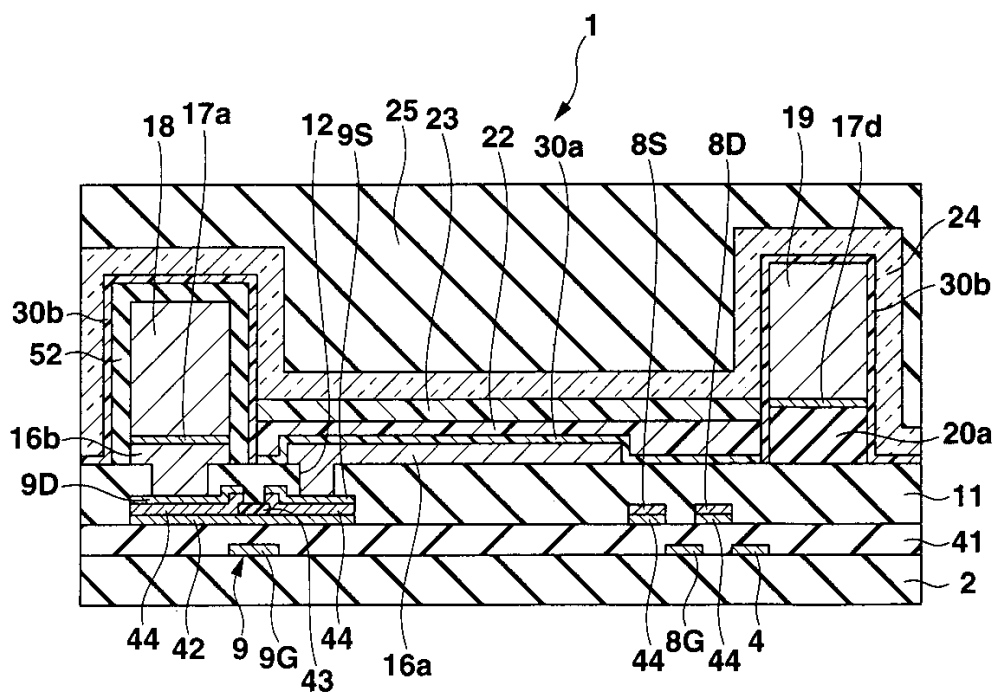
도면54



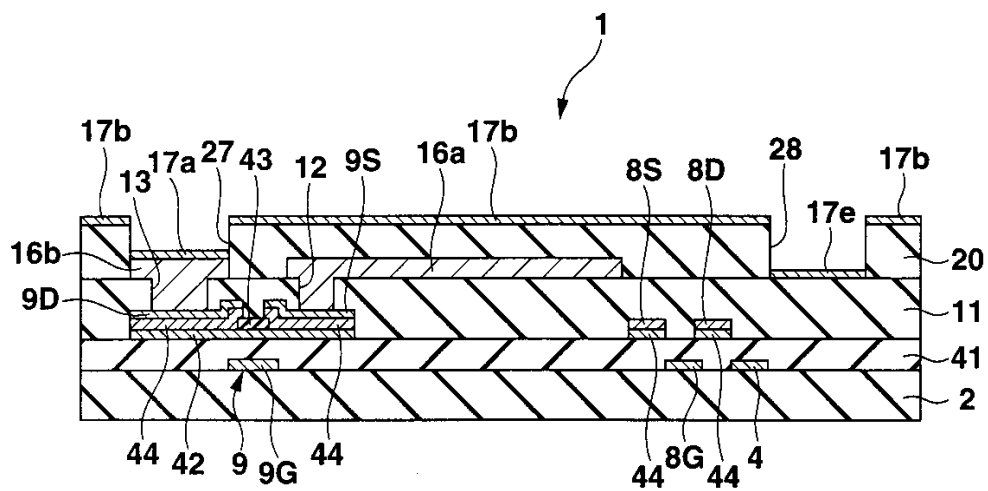
도면55



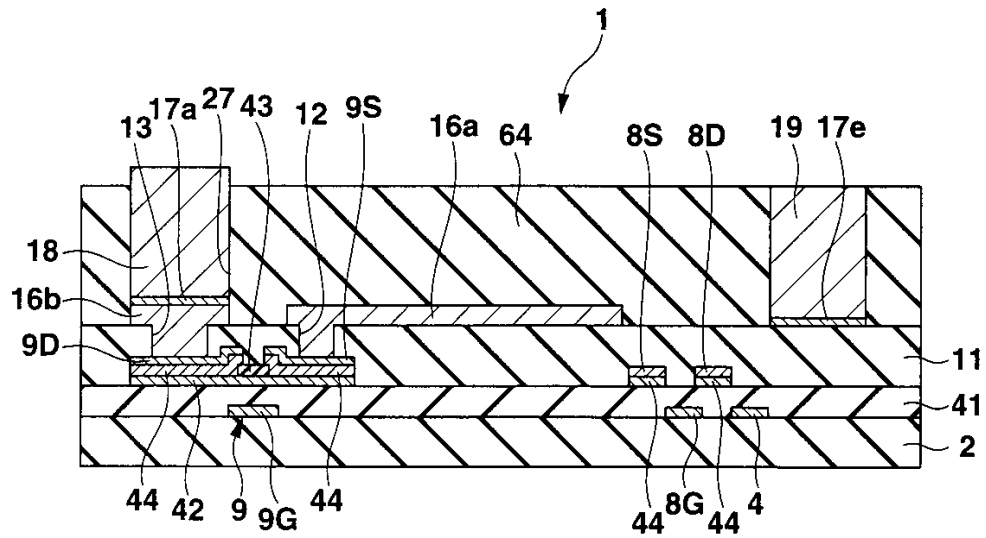
도면56



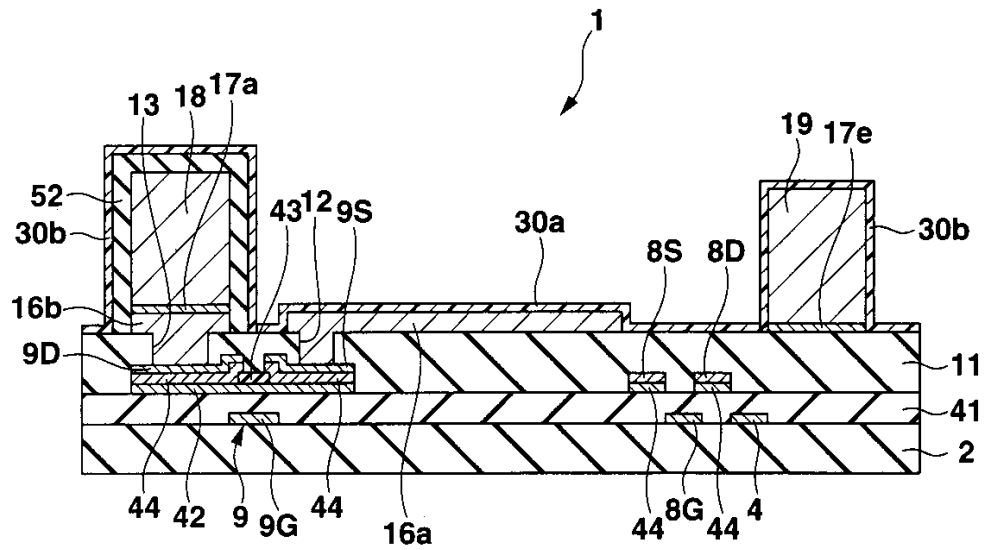
도면57



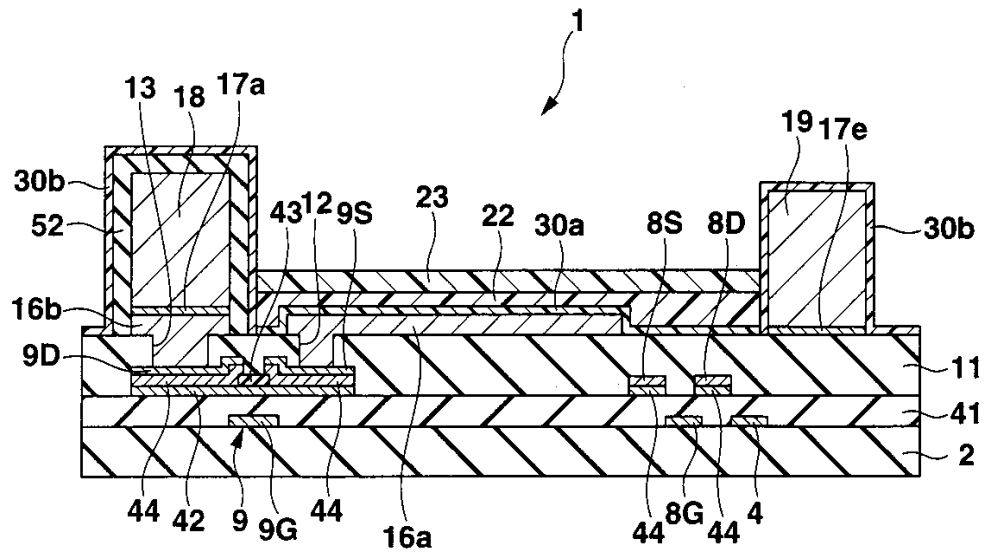
도면58



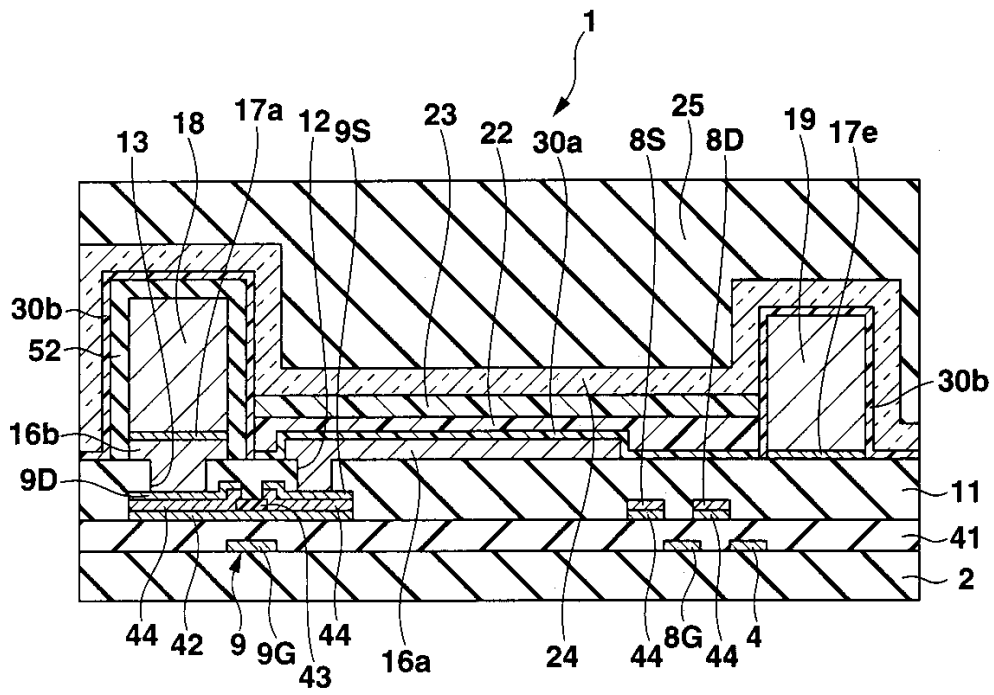
도면59



도면60



도면61



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020060048203A	公开(公告)日	2006-05-18
申请号	KR1020050048068	申请日	2005-06-04
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	SHIRASAKI TOMOYUKI 시라사키도모유키 TOHYAMA TADAHISA 도야마다다히사 TAKEI MANABU 다케이마나부 OGURA JUN 오구라준 YAMAGUCHI IKUHIRO 야마구치이쿠히로 OZAKI TSUYOSHI 오자키츠요시		
发明人	시라사키도모유키 도야마다다히사 다케이마나부 오구라준 야마구치이쿠히로 오자키츠요시		
IPC分类号	H05B33/26 G09G3/30 G09G3/32 H01L27/00 H01L27/32		
CPC分类号	H01L27/3279 G09G3/325 G09G2300/0842 H01L27/3246 H01L2227/323		
代理人(译)	Soneunjin		
优先权	2004168619 2004-06-07 JP 2004171192 2004-06-09 JP		
其他公开文献	KR100736008B1		
外部链接	Espacenet		

摘要(译)

显示装置及其制造方法技术领域本发明涉及一种具有发光元件的显示装置及其制造方法，其抑制电压降或电流延迟的发生，并且包括基板，设置在基板上的发光元件，并且布线连接到像素电路并且具有与像素电路的电极不同的导电层。8 指数方面 晶体管阵列基板，电致发光显示面板，像素电路，EL线，有机EL元件，电流源线

