

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

G09G 3/32 (2006.01)

(11) 공개번호 10-2006-0041252

(43) 공개일자 2006년05월11일

(21) 출원번호 10-2006-7001320

(22) 출원일자 2006년01월20일

번역문 제출일자 2006년01월20일

(86) 국제출원번호 PCT/JP2005/010104

국제출원일자 2005년05월26일

(87) 국제공개번호 WO 2005/116968

국제공개일자 2005년12월08일

(30) 우선권주장

JP-P-2004-00160140

2004년05월28일

일본(JP)

JP-P-2004-00266441

2004년09월14일

일본(JP)

(71) 출원인

가시오계산키 가부시키키가이샤

일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고

(72) 발명자

시라사키 도모유키

일본국 205-8555 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고가시오계산

키 가부시키키가이샤 하무라기쥬츠센터 지적재산부내

오자키 츠요시

일본국 205-8555 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고가시오계산

키 가부시키키가이샤 하무라기쥬츠센터 지적재산부내

오구라 준

일본국 205-8555 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고가시오계산

키 가부시키키가이샤 하무라기쥬츠센터 지적재산부내

(74) 대리인

손은진

심사청구 : 있음

(54) 평판 전류 구동 회로 및 라인의 동시 주사를 가진 OLED 표시 장치

요약

표시 구동 장치는 적어도 서로 중복하는 행의 선택 신호와 동시에 표시 패널의 복수의 특정 행의 표시 픽셀을 선택 상태로 설정하는 선택 회로를 포함한다. 계조 신호 생성 회로는 표시 데이터에 기초하여 각 OLED 표시 픽셀의 휘도 계조를 제어하는 계조 신호를 생성하고 평판 방식으로 생성된 계조 신호를 순차적으로 공급한다. 복수의 신호 분배 회로는 시계열 공급의 타이밍에 각 열의 복수의 표시 픽셀에 따라 계조 신호 생성 회로에 의해 공급되는 계조 신호를 순차적으로 분배한다. 복수의 전류 유지 회로는 분배된 계조 신호를 개별적으로 유지하고 계조 전류로서 유지된 계조 신호에 기초한 전류치를 가지는 전류를 복수의 동시 주사된 행의 표시 픽셀로 동시에 공급한다.

대표도

도 2

색인어

유기EL, 표시장치, 구동회로, 구동방법, 트랜지스터, 커패시터

명세서

기술분야

본 발명은 표시 구동 장치, 표시 장치 및 그 구동 제어 방법에 관한 것이고, 보다 상세하게는, 각 픽셀은 그에 대한 표시 데이터에 해당하는 전류를 공급하여 소정의 휘도 계조로 발광하는 전류 제어형 발광 소자를 포함하는, 그 내부에 배열된 복수의 표시 픽셀을 가지는 표시 패널에 적용될 수 있는 표시 구동 장치, 및 표시 구동 장치를 포함하는 표시 장치, 그리고 그 구동 제어 방법에 관한 것이다.

배경기술

유기 전계 발광 소자(이하에서, “유기 EL 소자”) 또는 발광 다이오드(LED)와 같은, 각각이 공급되는 구동 전류의 전류치에 따라 소정의 휘도 계조로 발광하는 전류 제어형 발광 소자를 포함하는, 표시 픽셀이 2차원으로 배열된 표시 패널을 포함하는 발광 소자형 표시(표시 장치)가 통상적으로 주지되었다.

특히, 액티브 매트릭스 구동 모드를 채택한 발광 소자형 표시는, 근래에 널리 사용되는 액정 표시 장치(LCD)와 비교하여, 더 높은 표시 응답 속도를 가지고 필드 앵글 의존도가 없으며 고휘도/고대비, 표시 화질의 고해상도, 전력 소모의 감소 등을 실현시킬 수 있다. 또한, 발광 소자형 표시는 발광 소자형 표시 픽셀을 포함하고 그리하여 액정 표시 장치에서와 같은 백라이트를 필요로 하지 않는다. 그러므로, 발광 소자형 표시는 두께 및 무게의 추가 감소가 가능한 매우 우수한 특성을 가지고, 이는 차세대 표시로서 열심히 연구되고 개발되고 있다.

도 18은 종래 기술에서 액티브 매트릭스 구동 모드를 채택한 발광 소자형 표시의 주요 부분의 구조 예를 도시하는 개략도이다.

도 19는 종래 기술에서 액티브 매트릭스 구동 모드를 채택한 발광형 표시에 적용되는 표시 픽셀의 구조예를 도시하는 등가 회로도이다.

도 18에서 도시되는 바와 같이, 종래 기술에서 액티브 매트릭스 구동 모드를 채택한 발광 소자형 표시는 다음을 포함하는 구조를 가진다: 복수의 표시 픽셀(EMP)이 매트릭스 형태(n 행 $\times$ m 열)로 배열된 표시 패널(110P). 각 표시 픽셀(EMP)은, 예를 들면, 후술할 픽셀 구동 회로 및 서로 실질적으로 직교하도록 배열된 복수의 주사선(SL) 및 복수의 데이터선(DL)의 각 교점 근처의 전류 제어형 발광 소자(예를 들면, 유기 EL 소자)를 포함한다. 주사 구동기(120P)는 표시 패널(110P)의 주사선(SL)에 연결되고 소정의 타이밍에 각 주사선(SL)으로 주사 신호(V_{sel})를 순차적으로 인가하여 각 행의 표시 픽셀(EMP)을 선택 상태로 설정한다. 신호 구동기(200P)는 표시 패널(110P)의 데이터선(DL)에 연결되고, 표시 데이터를 인출하며, 소정의 타이밍에 표시 데이터에 해당하는 계조 전류(I_{pix})를 각 데이터선(DL)으로 공급한다.

이러한 장치에서, 주사 구동기(120P) 및 신호 구동기(200P)의 작동 상태는, 예를 들면, 외부로부터 공급되는 타이밍 신호에 기초하여 생성되는 주사 제어 신호, 데이터 제어 신호 등에 의해 제어되고, 표시 데이터에 해당하는 계조 전류는 주사 신호의 인가에 의해 선택 상태의 각 행 세트의 표시 픽셀에 기록된다. 결과적으로, 각 표시 픽셀은 소정의 휘도 계조로 발광하고, 그리하여 원하는 영상 정보를 표시한다.

이러한 액티브 매트릭스 구동 모드를 채택한 발광 소자형 표시에서, 전술한 전류 제어형 발광 소자의 발광을 제어하는 다양한 종류의 구동 제어 메카니즘 또는 제어 방법이 제안되었다. 예를 들면, 표시 패널을 구성하는 각 표시 픽셀에 따른 발광 소자와 함께 발광 소자의 발광을 제어하는 복수의 스위칭 수단으로 구성된 픽셀 구동 회로를 포함하는 표시가 주지되었다.

예를 들면, 도 19에서 도시되는 바와 같이, 이러한 픽셀 구동 회로는 특히 다음을 포함한다: 픽셀 구동 회로(DP1); 및 픽셀 구동 회로(DP1)의 트랜지스터(Tr_{124})의 드레인 단자에 연결되는 아노드 단자 및 접지 전위가 인가되는 캐소드 단자를 가

지는 유기 EL 소자(OEL). 표시 구동 회로(DP1)는 서로 병렬로 배열된 한 쌍의 주사선(SL1 및 SL2) 및 데이터선(DL)의 각 교점의 근처에 다음을 포함한다: 주사선(SL1)에 연결된 게이트 단자 및 데이터선(DL) 및 접점(N121)에 연결된 소스 단자 및 드레인 단자를 가지는 제 1 트랜지스터(Tr121); 접점(N121) 및 접점(N122)에 연결된 소스 단자 및 드레인 단자를 가지는 제 2 트랜지스터(Tr122); 접점(N122)에 연결된 게이트 단자, 접점(N121)에 연결된 드레인 단자, 및 고 전력 공급 전압(Vdd)이 공급되는 소스 단자를 가지는 제 3 트랜지스터(Tr123); 접점(N122)에 연결되는 게이트 단자 및 고 전력 공급 전압(Vdd)가 공급되는 소스 단자를 가지는 제 4 트랜지스터(Tr124).

본 예에서, 도 19에서, 제 1 트랜지스터(Tr121)는 n-채널형 전계 효과 박막 트랜지스터를 포함하고, 제 2 내지 제 4 트랜지스터(Tr122 내지 Tr124) 각각은 p-채널형 전계 효과 박막 트랜지스터를 포함한다. 또한, CP1은 제 3 및 제 4 트랜지스터(Tr123 및 Tr124)의 게이트 및 소스 사이에 형성된 기생 커패시턴스를 표시한다.

이러한 구성을 가진 픽셀 구동 회로(DP1)에서, 유기 EL 소자(OEL)는 소정의 타이밍에 트랜지스터(Tr121 내지 Tr124)를 포함하는 4 개 트랜지스터(스위칭 수단)를 on/off하여 다음과 같은 발광 제어에 종속된다.

즉, 픽셀 구동 회로(DP1)에서, 주사 구동(120P)에 의해 주사선(SL1)에 하이-레벨 주사 신호(Vsel1) 그리고 주사선(SL2)에 로우-레벨 주사 신호(Vsel2)를 각각 인가하여 표시 픽셀이 선택 상태로 설정될 때, 트랜지스터(Tr121, Tr122 및 Tr123)는 on이 되고, 신호 구동기(200P)에 의해 데이터선(DL)으로 공급되는 표시 데이터에 해당하는 계조 전류(Ipix)는 트랜지스터(Tr121 및 Tr123)를 통해 흐른다. 이 순간에, 트랜지스터(Tr123)의 게이트 및 드레인 사이의 부분은 트랜지스터(Tr122 및 Tr123)에 의해 전기적으로 단락되기 때문에, 포화 영역에서 작동한다. 결과적으로, 계조 전류(Ipix)의 전류 레벨은 트랜지스터(Tr123)에 의해 전압 레벨로 변환되고, 그리하여 소정의 전압이 게이트 및 소스 사이에서 생성된다(기록 작동). 트랜지스터(Tr124)는 트랜지스터(Tr123)의 게이트 및 소스 사이에서 생성된 전압에 따라 on이 되고, 그리고 소정의 구동 전류가 트랜지스터(Tr124) 및 유기 EL 소자(OEL)를 통해 고전력 공급 전압(Vdd)으로부터 접지 전위로 흐르면, 그리하여 유기 EL 소자로부터 발광한다(발광 작동).

이어서, 예를 들면, 하이-레벨 주사 신호(Vsel2)가 주사선(SL2)에 인가될 때, 트랜지스터(Tr122)는 off된다. 결과적으로, 트랜지스터(Tr123)의 게이트 및 소스 사이에서 생성된 전압은 기생 커패시턴스(CP1)에 의해 유지된다. 그리고, 로우-레벨 주사 신호(Vsel1)이 주사선(SL1)에 인가될 때, 트랜지스터(Tr121)는 off된다. 결과적으로, 데이터선(DL) 및 픽셀 구동 회로(DP1)는 전기적으로 단락된다. 결과적으로, 제 4 트랜지스터(Tr124)는 기생 커패시턴스(CP1)에 유지되는 전압에 기초한 전위차에 의해 ON 상태를 연속적으로 지속하고, 소정의 구동 전류가 트랜지스터(Tr124) 및 유기 EL 소자(OEL)를 통해 고 전력 공급 전압(Vdd)으로부터 접지 전위로 흐르며, 그리하여 유기 EL 소자(OEL)의 발광 작동은 지속한다.

여기에서, 트랜지스터(Tr124)를 통해 유기 EL 소자(OEL)로 공급되는 구동 전류는 표시 데이터의 휘도 계조에 기초한 전류치를 가지도록 제어되고, 이러한 발광 작동은, 예를 들면, 다음 표시 데이터에 해당하는 계조 전류가 각 표시 픽셀에 기록되기 전까지 1 프레임 기간 동안 지속되도록 제어된다.

이러한 회로 구성을 가진 픽셀 구동 회로에서 구동 제어 방법은 각 표시 픽셀(제 3 트랜지스터(Tr123)의 게이트 단자)로 표시 데이터에 해당하는 특정 전류치를 가진 계조 전류를 공급하고, 전류치에 따라 유지되는 전압에 기초하여 유기 EL 소자로 통과하는 구동 전류를 제어하며, 그리하여 소정의 휘도 계조로 발광 작동을 달성한다. 그러므로, 이러한 방법은 전류 인가 모드(또는 전류 특정 모드)로 불린다.

도 19에서와 같이, 픽셀 구동 회로 및 유기 EL 소자를 포함하는 각 표시 픽셀로 표시 데이터에 해당하는 특정 전압치를 가진 계조 전압을 인가하고, 계조 전압의 전압치에 따라 유기 EL 소자(OEL)로 통과하는 구동 전류를 제어하며, 그리하여 소정의 휘도 계조로 발광 작동을 달성하는, 전압 인가 모드(또는 전압 특정 모드)를 채택하는 구동 제어 방법 또한 주지되었다. 이러한 전압 특정 모드를 채택한 픽셀 구동 회로에서, 불규칙성 또는 변이(저하)가 선택 기능 또는 발광 구동 기능을 가지는 스위치 소자의 소자 특성(트랜지스터의 채널 저항 등)에서 외부 환경(주변 온도 등), 사용 시간 등에 의하여 생성되고, 구동 전류는 영향을 받는다. 그러므로, 픽셀 구동 회로는 원하는 발광 특성(소정의 휘도 계조에 따른 표시)이 시간적으로 긴 기간동안 안정적으로 실현될 수 없는 문제를 가진다. 대신, 각 표시 픽셀이 표시 패널의 고해상도를 실현하기 위해 미세하게 형성될 때, 픽셀 구동 회로를 구성하는 스위치 소자의 작동 특성에서 불규칙성(트랜지스터의 소스 및 드레인 사이에서 전류 등)은 커지게 되고, 따라서 적절한 계조 제어는 수행될 수 없다. 따라서, 픽셀 구동 회로는 각 표시 픽셀의 발광 특성의 불규칙성의 생성이 표시 화질의 저하를 발생시키는 약점을 가진다.

반면에, 전류 특정 모드를 채택한 픽셀 구동 회로는, 각 표시 픽셀에 공급되는 표시 데이터에 해당하는 계조 전류의 전류 레벨을 전압 레벨로 변환하는 제 3 트랜지스터(Tr123)(전류/전압 변환 트랜지스터) 및 소정의 전류치를 가지는 구동 전류를 유기 EL 소자(OEL)로 공급하는 제 4 트랜지스터(Tr124)(발광 구동 트랜지스터)를 포함한다. 이러한 픽셀 구동 회로는

유기 EL 소자(OEL)로 공급되는 구동 전류의 전류치를 설정하여 각 트랜지스터(Tr123 및 Tr124)의 작동 특성에서 불규칙성의 영향을 억제할 수 있고, 그리하여 전압 특정 모드를 채택한 픽셀 구동 회로의 문제가 해결될 수 있는 장점을 가진다.

그러나, 전류 특정 모드를 채택한 픽셀 구동 회로는 다음 문제를 가진다.

각 표시 픽셀에서 가장 낮은 휘도 또는 상대적으로 낮은 휘도를 가지는 표시 데이터에 기초한 계조 전류를 기록하는 경우에(로우-계조 표시 시에), 표시 데이터의 휘도 계조에 해당하는 작은 전류치를 가지는 신호 전류가 각 표시 픽셀에 공급되어야 한다.

여기에서, 각 표시 픽셀에 전류 계조를 기록하는 작동은 데이터선에 기생하는 커패시턴스 부품(배선 커패시턴스 및 표시 픽셀을 구성하는 유지 커패시턴스)에 소정의 전압으로 충전하는 것에 해당하기 때문에, 데이터선의 배선 길이는, 예를 들면, 표시 패널의 크기의 증가에 기인하여 길어지게 된다. 또한, 이러한 데이터선에 연결된 표시 픽셀의 수가 증가할 때, 데이터선을 충전하는데 요구되는 시간은 계조 전류의 전류치가 작아짐에 따라, 즉 표시가 낮은 계조에 영향받음에 따라 길어지게 되고, 그리하여 각 표시 픽셀에 대한 기록 작동에 요구되는 시간은 증가한다. 각 표시 픽셀에 대한 기록 작동이 사전 기록 시간에 완료될 수 없고, 안정 상태(포화 상태)에 이를 수 없는 이른바 불충분 기록 상태가 발생한다. 결과적으로, 표시 데이터에 해당하는 적절한 휘도 계조로 발광할 수 없는 표시 픽셀이 있고, 표시 화질의 저하를 발생시킨다.

또한, 표시 픽셀에 배열된 주사선의 수가 증가하고 각 주사선의 선택 기간(즉, 기록 시간)이 표시 패널의 고해상도를 실현하기 위해 짧게 설정될 때, 각 표시 픽셀에 대한 충분한 기록 작동은 계조 전류의 전류치가 감소함에 따라 수행될 수 없고, 이는 표시 화질의 저하 또는 표시 패널의 고해상도의 제한을 유발한다.

발명의 상세한 설명

표시 데이터에 기초하여 표시 패널의 표시 픽셀을 구동하는 표시 구동 장치 및 이러한 표시 구동 장치를 포함하는 표시 장치에서, 본 발명은 각 표시 픽셀에서 계조 전류를 기록하는 작동 중 불충분한 기록 상태의 발생이 억제될 수 있고 표시 패널의 고해상도가 뛰어나게 실현될 수 있는 장점을 가진다.

전술한 장점을 달성하기 위하여, 본 발명의 일 측면에 따르면, 표시 데이터에 기초하여 표시 패널을 구성하는 복수의 2차원 배열 표시 픽셀을 구동하는 표시 구동 장치가 제공되고, 이 표시 구동 장치는 적어도 다음을 포함한다:

적어도 서로 중복 기간을 가진 선택 상태에 표시 패널의 복수의 특정 행의 표시 픽셀을 설정하는 선택 회로;

표시 데이터에 기초하여 각 표시 픽셀의 휘도 계조를 제어하는 계조 신호를 생성하는 계조 신호 생성 회로; 및

복수의 특정 행의 표시 픽셀에 해당하는 신호 전류를 인출하고, 계조 신호에 기초한 전류치를 가지는 계조 전류를 선택 회로에 의해 표시 픽셀을 선택 상태로 설정하는 타이밍에 따른 복수의 특정 행의 표시 픽셀로 공급하는 전류 기록 회로.

전류 기록 회로는 바람직하게는 표시 패널로부터 독립적인 구조로 형성되거나, 또는 각각이 채널층으로서 단일 채널 극성을 가진 무정형 실리콘 반도체층을 가진 복수의 전계 효과 박막 트랜지스터 또는 각각이 채널층으로서 폴리실리콘 반도체층을 가진 복수의 전계 효과 박막 트랜지스터로 구성되고, 표시 패널에 일체로 형성된다.

바람직하게는, 계조 신호 생성 회로는 계조 신호로서 표시 픽셀로 표시 데이터에 해당하는 휘도 계조를 제공하는 신호 전류를 생성하고, 전류 기록 회로는 전류 극성이 전류 생성부로부터 공급되는 신호 전류로부터 역전되는 계조 회로를 생성하고 출력하기 위한 수단을 가진다.

바람직하게는, 선택 회로는 단일 선택 신호에 기초하여 선택 상태의 표시 패널의 복수의 특정 행의 표시 픽셀을 동시에 설정하기 위한 수단을 가지고, 전류 기록 회로는 선택 신호에 의해 표시 픽셀을 선택 상태로 설정하는 타이밍에 따라 계조 전류를 복수의 특정 행의 표시 픽셀로 동시에 공급하기 위한 수단을 가지며, 계조 신호 생성 회로는 시계열로 복수의 특정 행의 표시 픽셀의 각 열의 복수의 표시 픽셀에 해당하는 계조 신호를 전류 기록 회로로 순차적으로 공급하기 위한 수단을 가지고, 전류 기록 회로는 시계열 공급의 타이밍에 각 열의 복수의 표시 픽셀에 따라 계조 신호 생성 회로에 의해 공급된 계조 신호를 순차적으로 분배하는 복수의 신호 분배 회로, 및 신호 분배부에 의해 분배된 계조 신호를 개별적으로 유지하고 계조 전류로서 유지된 계조 신호에 기초한 전류치를 가지는 전류를 복수의 특정 행의 표시 픽셀로 동시에 공급하는 복수의 전류 유지 회로를 포함한다. 각 전류 유지 회로는 복수의 스테이지의 신호 유지/출력부가 장치되고, 신호 유지/출력부는 복

수의 특정 행의 표시 픽셀의 각 열의 복수의 표시 픽셀 각각에 따라 신호 분배 회로에 의해 분배된 신호 전류를 유지하는 신호 유지부, 및 신호 유지부의 신호 전류에 해당하는 전류를 계조 전류로서 출력하는 계조 전류 출력부를 포함한다. 복수의 스테이지의 신호 유지/출력부 중 하나의 스테이지의 신호 유지부에 의해 신호 전류를 인출하고 유지하는 작동은 다른 스테이지의 계조 전류 출력부로부터 계조 전류를 출력하는 작동과 동시에 실행되도록 제어된다.

바람직하게는, 선택 회로는 중복 기간을 가지는 표시 패널의 복수의 특정 행 각각으로 선택 상태의 각 행의 표시 픽셀을 설정하는 선택 신호를 순차적으로 인가하여 중복 기간을 가지는 선택 상태의 복수의 특정 행에 해당하는 표시 픽셀을 순차적으로 설정하기 위한 수단을 가진다. 전류 기록 회로는 선택 회로에 의해 선택 신호를 공급하는 타이밍에 중복 기간을 가진 복수의 특정 행 각각으로 계조 전류를 순차적으로 공급하기 위한 수단을 가진다. 계조 신호 생성 회로는 시계열로 복수의 특정 행의 표시 픽셀의 각 열의 복수의 표시 픽셀에 해당하는 계조 신호를 전류 기록 회로로 순차적으로 공급하기 위한 수단을 가진다. 전류 기록 회로는, 복수의 특정 행의 표시 픽셀의 각 열에 따라 위치하고, 시계열 공급의 타이밍에 따라 계조 신호 생성 회로로부터 공급된 계조 신호를 순차적으로 유지하며, 복수의 특정 행 각각으로 계조 신호에 기초한 전류치를 가지는 전류를 계조 전류로서 순차적으로 공급하는, 복수의 전류 유지 회로를 포함한다. 전류 유지 회로 각각은 복수의 특정 행의 표시 픽셀의 각 열의 복수의 표시 픽셀에 따라 복수의 전류 유지/출력부를 포함하고, 전류 유지/출력부 각각은 시계열 공급의 타이밍에 따라 신호 전류를 분배하는 신호 분배부, 신호 분배부에 의해 분배된 신호 전류를 유지하는 신호 유지부, 및 신호 유지부에 유지된 신호 전류에 해당하는 전류를 계조 전류로서 출력하는 계조 전류 출력부를 가진다. 전류 유지/출력부 중 하나의 계조 전류 출력부에 의해 신호 유지부에 유지된 신호 전류에 기초하여 계조 신호를 출력하는 작동 및 다른 전류 유지/출력부의 신호 유지부에서 신호 분배부에 의해 분배된 신호 전류를 유지하고 계조 전류 출력부에 의해 신호 유지부에 유지된 신호 전류에 기초한 계조 전류를 출력하는 작동은 중복 기간에 동시에 실행되도록 제어된다.

바람직하게는, 신호 유지부는 신호 전류에 기초하여 전하를 저장하고 전하를 전압 성분으로서 유지하는 전하 저장 회로를 포함하고, 계조 전류 출력부는 계조 신호 생성 회로로부터 공급된 계조 신호에 해당하는 전류치에 대해 소정의 전류비를 가지는 전류치를 가지는 전류를 계조 전류로서 생성하고 출력하는 전류 미러 회로 구성을 가진다.

전술한 장점을 획득하기 위하여, 본 발명의 표시 장치의 다른 측면에 따르면, 표시 데이터에 기초한 영상 정보를 표시하는 표시 장치가 제공되고, 표시 장치는 적어도 다음을 포함한다:

행 방향으로 배열된 복수의 주사선 및 열 방향으로 배열된 복수의 데이터선, 및 복수의 주사선 및 복수의 데이터선의 교점의 근처에 매트릭스 형태로 배열된 복수의 표시 픽셀을 가지는 표시 패널;

적어도 서로 중복되는 기간을 가진 선택 상태의 표시 패널의 복수의 주사선의 적어도 일부인 복수의 특정 주사선에 해당하는 표시 픽셀을 설정하는 주사 구동기; 및

표시 데이터가 공급되고 각각이 표시 데이터에 기초하여 각 표시 픽셀의 휘도 계조를 제어하는 계조 신호를 생성하는 계조 신호 생성 회로, 및 복수의 특정 주사선에 해당하는 표시 픽셀에 해당하는 신호 전류를 인출하고 주사 구동기에 의해 선택 상태의 표시 픽셀로 설정하는 타이밍에 따라 복수의 특정 주사선에 해당하는 표시 픽셀로 계조 신호에 기초한 전류치를 가지는 계조 전류를 공급하는 전류 기록 회로를 포함하는 신호 구동기.

바람직하게는, 신호 구동기는 표시 패널로부터 독립적인 구조로 형성되거나, 또는 신호 구동기의 전류 기록 회로는 채널층으로서 단일 채널 극성을 가진 무정형 실리콘 반도체층을 가진 복수의 전계 효과 박막 트랜지스터 또는 각각이 채널층으로서 폴리실리콘 반도체층을 가진 복수의 전계 효과 박막 트랜지스터를 사용하여 구성되고, 단일 절연 기판 상에 표시 패널과 일체로 형성된다.

바람직하게는, 계조 신호 생성 회로는 표시 데이터에 해당하는 휘도 계조를 표시 픽셀로 제공하는 신호 전류를 계조 신호로서 생성한다. 또한, 신호 구동기의 전류 기록 회로는 그 전류 극성이 전류 생성부로부터 공급된 신호 전류로부터 역전된 계조 전류를 생성하고 출력하기 위한 수단을 가진다.

표시 픽셀은 신호 구동기로부터 출력된 계조 전류에 기초한 소정의 구동 전류를 생성하는 픽셀 구동 회로, 및 구동 전류의 전류치에 기초한 소정의 휘도 계조로 발광하는 전류 제어형 발광 소자를 포함할 수 있다.

픽셀 구동 회로는 단일 채널 극성을 가지는 무정형 실리콘층 반도체층이 채널층인 복수의 전계 효과 박막 트랜지스터 또는 폴리실리콘 반도체층이 채널층인 복수의 전계 효과 박막 트랜지스터를 사용하여 구성될 수 있고, 발광 소자는, 예를 들면, 유기 전계 발광 소자이다.

표시 패널은 복수의 데이터선 중 각 주사선 그룹의 주사선의 수에 해당하는 복수의 데이터선이 1 세트로 결정되는 복수의 데이터선 그룹을 가질 수 있다. 각 데이터선 그룹은 표시 패널에 매트릭스 형태로 배열된 복수의 표시 픽셀의 열 사이의 각 영역에 따라 배열되고, 표시 패널은 복수의 특정 주사선이 1 세트로 결정된 복수의 주사선 그룹을 가진다.

바람직하게는, 주사 구동기는 표시 픽셀을 선택 상태로 설정하는 단일 주사 신호를 각 주사선 그룹에 인가하여 선택 상태의 복수의 특정 주사선에 해당하는 표시 픽셀을 동시에 설정하도록 하기 위한 수단을 가진다. 신호 구동기의 계조 신호 생성 회로는 시계열로 각 데이터선 그룹의 각 데이터선의 각 주사선 그룹에 해당하는 복수의 표시 픽셀에 해당하는 계조 신호를 전류 기록 회로로 순차적으로 공급하기 위한 수단을 가진다. 신호 구동기의 전류 기록 회로는 다음을 포함한다: 시계열 공급의 타이밍에 각 데이터선 그룹의 각 데이터선에 따라 계조 신호 생성 회로로부터 공급되는 계조 신호를 순차적으로 분배하는 복수의 신호 분배 회로; 및 신호 분배부에 의해 분배된 계조 신호를 개별적으로 유지하고 주사 신호를 각 주사선 그룹에 인가하는 타이밍에 따라 유지 계조 신호에 기초한 전류치를 가지는 전류를 계조 전류로서 각 주사선 그룹의 각 데이터선으로 동시에 공급하는 복수의 전류 유지 회로. 각 전류 유지부는 복수의 스테이지의 신호 유지/출력부가 장치되고, 각 신호 유지/출력부는 각 데이터선 그룹의 각 데이터선에 따라 신호 분배 회로에 의해 분배된 계조 신호를 유지하는 신호 유지부 및 신호 유지부에 유지된 계조 신호에 기초한 전류치를 가지는 전류를 계조 신호로서 출력하는 계조 전류 출력부를 포함한다. 복수의 스테이지의 신호 유지/출력부 중 하나의 스테이지의 신호 유지부에 의한 계조 신호를 인출하고 유지하는 작동 및 다른 스테이지의 계조 전류 출력부로부터 계조 전류를 출력하는 작동은 동시에 실행되도록 제어된다.

바람직하게는, 주사 구동기는 선택 상태의 표시 픽셀을 설정하는 주사 신호를 중복 기간을 가진 복수의 특정 주사선 각각에 순차적으로 인가하여 중복 기간을 가진 선택 상태의 복수의 특정 주사선에 해당하는 표시 픽셀을 순차적으로 설정하도록 하기 위한 수단을 가진다. 신호 구동기의 전류 기록 회로는 주사 구동기에 의해 주사 신호를 인가하는 타이밍에 계조 전류를 중복 기간을 가진 각 데이터선 그룹의 각 데이터선으로 순차적으로 공급하기 위한 수단을 가진다.

바람직하게는, 주사 구동기는 선택 상태의 표시 픽셀을 설정하는 주사 신호를 중복 기간을 가진 복수의 특정 주사선 각각에 순차적으로 인가하여 중복 기간을 가진 선택 상태의 복수의 특정 주사선에 해당하는 표시 픽셀을 순차적으로 설정하도록 하기 위한 수단을 가진다. 신호 구동기의 계조 신호 생성 회로는 각 데이터선 그룹의 각 데이터선의 복수의 특정 주사선에 해당하는 복수의 표시 픽셀에 해당하는 계조 신호를 전류 기록 회로로 시계열로 순차적으로 공급하기 위한 수단을 가진다. 전류 기록 회로는, 각각이 각 데이터선 그룹에 따라 위치하고, 시계열 공급의 타이밍에 따라 계조 신호 생성 회로로부터 공급되는 계조 신호를 순차적으로 유지하며, 주사 신호의 인가에 해당하는 타이밍에 계조 신호에 해당하는 전류치를 가지는 전류를 계조 전류로서 각 데이터선 그룹의 각 데이터선으로 공급하는, 복수의 전류 유지 회로를 포함한다. 각 전류 유지 회로는 각 데이터선 그룹의 각 데이터선에 따라 복수의 전류 유지/출력부가 장치되고, 각 전류 유지/출력부는, 시계열 공급의 타이밍에 각 데이터선 그룹의 각 데이터선에 따라 계조 신호를 순차적으로 분배하는 신호 분배부, 신호 분배부에 의해 분배된 계조 신호를 유지하는 신호 유지부, 및 신호 유지부에 유지된 계조 신호에 기초한 전류치를 가지는 전류를 계조 전류로서 출력하는 계조 전류 출력부를 포함한다. 신호 분배부에 의해 분배된 계조 신호를 전류 유지/출력부 중 하나의 신호 유지부에 유지하고 계조 전류 출력부에 의해 계조 신호에 기초한 계조 전류를 출력하는 작동, 및 다른 전류 유지/출력부의 계조 전류 출력부에 의해 신호 유지부에 유지된 계조 신호에 기초한 계조 전류를 출력하는 작동은 중복 기간에 동시에 실행되도록 제어된다.

신호 유지부는 계조 신호에 해당하는 전하를 저장하고 전하를 전압 성분으로서 유지하는 전하 저장 회로를 포함할 수 있다. 계조 전류 출력부는 전류 생성부로부터 공급되는 계조 신호에 해당하는 전류치에 대하여 소정의 전류비를 가지는 전류치를 가지는 전류를 계조 전류로서 생성하고 출력하는 전류 미리 회로 구성을 가질 수 있다.

전술한 목적을 달성하는 본 발명의 또 다른 측면의 표시 장치의 구동 방법에 따르면, 표시 패널의 복수의 주사선의 적어도 일부인 복수의 특정 주사선에 해당하는 표시 픽셀은 적어도 중복 기간의 선택 상태에 설정되고, 그리하여 표시 데이터를 공급한다. 각 표시 픽셀의 휘도 계조를 제어하는 계조 신호는 표시 데이터에 기초하여 생성된다. 복수의 특정 주사선에 해당하는 표시 픽셀에 해당하는 계조 신호는 인출된다. 계조 신호에 기초한 전류치를 가지는 계조 전류는 표시 픽셀을 선택 상태로 설정하는 타이밍에 따라 복수의 특정 주사선에 해당하는 표시 픽셀에 공급되기 위하여 생성된다. 계조 전류가 공급되고 기록되는 표시 픽셀은 계조 전류의 전류치에 기초한 표시 휘도로 작동된다.

계조 신호를 생성하는 작동은 계조 신호로서 표시 데이터에 해당하는 휘도 신호를 표시 픽셀로 제공하는 신호 전류를 생성한다. 계조 신호에 기초한 전류치를 가지는 계조 전류를 생성하고 출력하는 작동은 계조 신호에 해당하는 전류치에 대하여 소정의 전류비를 가지는 전류치를 가지는 전류를 생성하고 생성된 전류를 계조 전류로서 출력하는 작동을 포함할 수 있다.

선택 상태의 표시 픽셀을 설정하는 작동은 선택 상태의 복수의 주사선에 해당하는 표시 픽셀을 동시에 설정하기 위하여 선택 상태의 표시 픽셀을 설정하는 단일 주사 신호를 복수의 특정 주사선으로 동시에 인가하는 작동을 포함할 수 있다. 계조 전류를 공급하는 작동은 계조 전류를 복수의 주사선에 해당하는 표시 픽셀로 동시에 공급하는 작동을 포함할 수 있다. 계조 전류를 복수의 주사선에 해당하는 표시 픽셀로 동시에 공급하는 작동은 각 주사선에 해당하는 계조 신호를 인출하고 유지하는 작동 및 앞선 타이밍에 인출되고 유지된 계조 신호에 기초하여 계조 전류를 출력하는 작동을 포함할 수 있다.

바람직하게는, 선택 상태의 표시 픽셀을 설정하는 작동은 중복 기간을 가진 선택 상태의 복수의 주사선에 해당하는 표시 픽셀을 순차적으로 설정하기 위하여 선택 상태의 표시 픽셀을 설정하는 주사 신호를 중복 기간을 가진 복수의 특정 주사선 각각으로 순차적으로 공급한다. 계조 전류를 공급하는 작동은 중복 기간을 가진 주사 신호를 인가하는 타이밍에 계조 전류를 복수의 주사선 각각에 해당하는 표시 픽셀로 순차적으로 공급하는 작동을 포함한다. 계조 전류를 복수의 주사선에 해당하는 표시 픽셀로 순차적으로 공급하는 작동은 계조 신호를 유지하고 계조 신호에 기초한 계조 전류를 출력하는 작동 및 앞선 타이밍에 유지된 계조 신호에 기초한 계조 전류를 출력하는 작동을 중복 기간에 동시에 실행한다.

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 표시 장치의 전체 구성을 도시하는 개략적인 블록도;

도 2는 도 1에 묘사된 실시예에 따른 표시 장치의 일부를 도시하는 구조도;

도 3은 도 1에 묘사된 실시예에 따른 표시 장치에 적용될 수 있는 전류 생성부의 구조의 일예를 도시하는 블록도;

도 4는 도 1에 묘사된 실시예에 따른 표시 장치에 적용될 수 있는 전류 유지/분배부의 구조의 일예를 도시하는 회로 블록도;

도 5A 및 5B는 도 1에 묘사된 실시예에 적용될 수 있는 전류 유지/분배부의 개략적인 작동을 도시하는 개념도;

도 6은 도 1에 묘사된 실시예에 따른 표시 장치의 구동 제어 작동(구동 제어 방법)을 도시하는 시계열도;

도 7은 도 1에 묘사된 실시예에 따른 표시 장치의 구조의 다른 예의 주요부를 도시하는 개략적인 구조도;

도 8은 도 1에 묘사된 실시예에 따른 표시 장치의 또 다른 예의 주요부를 도시하는 개략적인 구조도;

도 9는 본 발명에 따른 표시 장치의 제 2 실시예의 일부를 도시하는 구조도;

도 10은 도 9에 묘사된 실시예에 따른 표시 장치에 적용될 수 있는 전류 유지/분배부의 구조의 일예를 도시하는 회로 블록도;

도 11A 및 11B는 도 9에 묘사된 실시예에 적용될 수 있는 전류 유지/분배부의 개략적인 작동을 도시하는 개념도;

도 12는 도 9에 묘사된 실시예에 따른 표시 장치의 구동 제어 방법을 도시하는 시계열도;

도 13은 본 발명에 따른 표시 장치의 제 2 실시예의 구조의 다른 예의 주요부를 도시하는 개략적인 구성도;

도 14는 본 발명에 따른 표시 장치에 적용될 수 있는 표시 픽셀의 실제 회로의 일예를 도시하는 회로 블록도;

도 15A 및 15B는 도 9에 묘사된 실시예에 따른 픽셀 구동 회로의 구동 제어 작동을 도시하는 개념도;

도 16은 도 14에 묘사된 실시예에 따른 표시 픽셀이 적용되는 표시 장치의 구조의 일예를 도시하는 개략적인 블록도;

도 17은 도 14에 묘사된 실시예에 따른 표시 픽셀이 적용되는 표시 장치의 구조의 다른 예를 도시하는 개략적인 블록도;

도 18은 종래 기술에서 액티브 매트릭스 구동 모드를 채택한 발광 소자형 표시의 주요부의 구조의 일예를 도시하는 개략도; 및

도 19는 종래 기술에서 액티브 매트릭스 구동 모드를 채택한 발광 소자형 표시에 적용되는 표시 픽셀의 구조의 일예를 도시하는 등가 회로도.

실시예

본 발명에 따른 표시 장치 및 그 구동 제어 방법이 예시된 실시예에 기초하여 이하에서 기술될 것이다.

<표시 장치의 제 1 실시예>

본 발명에 따른 표시 구동 장치가 적용될 수 있는 표시 장치의 개략적인 구성이 우선 기술될 것이다.

도 1은 본 발명의 일실시예에 따른 표시 장치의 전체 구성을 도시하는 개략적인 블록도이다.

도 2는 본 실시예에 따른 표시 장치의 주요부를 도시하는 구조도이다.

도 1에서 도시되는 바와 같이, 본 발명에 따른 표시 장치(100)는 표시 패널(110A), 주사 구동기(선택 회로)(120A), 전류 생성부(계조 신호 생성 회로)(130), 전류 유지/분배부(전류 기록 회로)(140A), 시스템 제어기(150) 및 표시 신호 생성부(160)를 대략적으로 가진다.

도 2에서 도시되는 바와 같이, 표시 패널(110A)는 2차원으로 배열되고(n 행 $\times$ m 열) 선택 트랜지스터(Tr_{sel})에 연결된 복수의 표시 픽셀(EM)을 실질적으로 가진다. 복수의 주사선 그룹(SGi)이 복수의 행(본 실시예에서 2 행)의 표시 픽셀(EM)에 따라 배열되고, 여기에서 복수의(본 실시예에서 2의) 주사선(SL_{ia} 및 SL_{ib})(i 는 $1 \leq i \leq n'$ 의 범위를 만족하는 양의 정수, 예를 들면, 표시 패널(110A)에 위치한 행의 총수(n)의 약수; n' 및 n 은 양의 정수)은 하나의 세트로 결정된다. 복수의 데이터선 그룹(DGj)이 각 주사선 그룹(SGi)에 해당하는 각 열의 표시 픽셀(EM)에 따라 배열되고, 여기에서 복수의(본 실시예에서 2의) 데이터선(DL_{ja} 및 DL_{jb})(j 는 $1 \leq j \leq m$ 의 범위를 만족하는 양의 정수; m 은 양의 정수이고 표시 패널(110)의 픽셀 열 세트의 총수)은 하나의 세트로 결정된다. 각 표시 픽셀(EM)은 각 주사선 그룹(SGi)을 구성하는 주사선(SL_{ia} 및 SL_{ib}) 및 각 데이터선 그룹(DGj)을 구성하는 데이터선(DL_{ja} 및 DL_{jb})의 각 교점 근처에 위치한다.

주사 구동기(선택 회로)(120A)는 일반적으로 표시 패널(110A)의 주사선 그룹(SGi)에 연결되고, 주사선 그룹(SGi)에 연결된 복수의 행(본 실시예에서 2 행)에 해당하는 표시 픽셀(EM)을 동시에 설정하기 위하여 소정의 타이밍에 각 주사선 그룹(SGi)으로 주사 신호(V_{sel})를 순차적으로 인가한다.

전류 생성부(계조 신호 생성 회로)(130)는 일반적으로 후술될 표시 신호 생성부(160)으로부터 공급된 주사선 그룹(SGi)의 복수의 행(본 실시예에서 2 행)에 해당하는 표시 픽셀에 해당하는 표시 데이터를 인출하고, 시계열로 전류 유지/분배부(140A)로 복수의 해당 행을 위한 신호 전류(계조 신호)(I_c)를 순차적으로 공급한다.

전류 유지/분배부(전류 기록 회로)(140A)는 일반적으로 표시 패널(110A)의 각 데이터선 그룹(DGj)에 연결되고, 복수의 행(본 실시예에서 2 행)에 해당하고 소정의 타이밍에 시계열로 전류 생성부(130)로부터 순차적으로 공급된 신호 전류(I_c)를 분배하며, 각 행에 따라 이 전류를 유지하고, 복수의 행(본 실시예에서 2 행)의 표시 픽셀(EM)로 유지 신호 전류(I_c)에 기초한 계조 전류(I_{pix})를 동시에 공급한다. 본 실시예에서, 전류 생성부(130) 및 전류 유지/분배부(140A)는 신호 구동기(200A)를 구성한다.

시스템 제어기(150)는, 예를 들면, 표시 신호 생성부(160)로부터 공급된 타이밍 신호에 기초하여 적어도 주사 구동기(120A), 전류 생성부(130) 및 전류 유지/분배부(140A)의 작동 상태를 제어하는 주사 제어 신호 및 데이터 제어 신호를 생성하고 출력한다.

표시 신호 생성부(160)는, 예를 들면, 표시 장치(100)의 외부로부터 공급된 비디오 신호에 기초하여 표시 데이터(예를 들면, 디지털 데이터)를 생성하고, 표시 데이터를 전류 생성부(130)로 공급하며, 표시 패널(110A)의 표시 데이터를 영상으로서 표시하는 타이밍 신호(시스템 시계 등)를 더 생성하거나 추출하고, 이러한 타이밍 신호를 시스템 제어기(150)로 공급한다.

구조의 일례로서 도 2에서 도시되는 구성에서, 전류 유지/분배부(140A)는 표시 패널(110A)을 구성하는 복수의 표시 픽셀(EM)(예를 들면, 픽셀 어레이)이 형성된 절연 기판(베이스) 상에 픽셀 어레이를 가지고 완전체로 형성되지만, 본 발명은 이러한 구성에 제한되지 않는다. 예를 들면, 신호 구동기(200A)는 구동기 칩의 구조를 가지고 기판(베이스) 상에 탑재될 수 있다.

각 구조의 구체적인 구성은 지금부터 기술될 것이다.

(표시 패널)

예를 들면, 도 2에서 도시되는 바와 같이, 본 실시예에 따른 표시 장치에 적용될 수 있는 표시 패널(110A)은 2 개의 분기 주사선(SLia 및 SLib)이 1 세트로 결정되는 2 행에 해당하는 각 주사선 그룹(SGi) 및 2 개의 데이터선(DLja 및 DLjb)이 1 세트로 결정되는 1 픽셀 열에 해당하는 각 데이터선 그룹(DGj)이 서로 직교하도록 배열되는 구성을 가진다. 각 표시 픽셀(EM)은 각 주사선(SLia) 및 각 데이터선(DLja)의 각 교점 및 각 주사선(SLib) 및 각 데이터선(DLjb)의 각 교점으로 연결된다.

본 실시예에서, 도 2에서 도시되는 구성에서, 홀수 행 표시 픽셀(EM)은 각 주사선 그룹(SGi)의 주사선(SLia)에 연결되고, 짝수 행 표시 픽셀(EM)은 주사선(SLib)에 연결된다.

각 주사선 그룹(SGi)을 구성하는 주사선에 해당하는 행의 수로서 도 2에서 도시되는 바와 같이, 본 발명은 각 주사선 그룹(SGi)이 2 행에 대한 표시 픽셀(EM)에 해당하는 구성에 제한되지 않는다. 예를 들면, 각 주사선 그룹(SGi)이 k 행(k는 표시 패널(110)에 위치한 행의 총수(n)의 약수)에 대한 표시 픽셀(EM)에 해당하고 교대로 주사선 그룹의 n/k 세트(즉, 전술한 n')를 가진 구성을 채택하는 것이 가능하다. 예를 들면, 1(단일) 주사선 그룹이 표시 패널(110A)을 구성하는 행(n 행)에 따라 위치하고 1 스크린에 대한 모든 표시 픽셀(EM)이 주사선 그룹에 공통으로 연결된 구성이 사용될 수 있다. 이러한 경우에, 1 스크린에 대한 모든 표시 픽셀(EM)은 주사 구동기(120A)로부터 단일 주사 신호 출력에 의해 선택 상태로 함께 설정된다.

각 표시 픽셀(EM)은 각 주사선(SLia 및 SLib)에 연결된 게이트 단자 및 각 데이터선(DLja 및 DLjb)에 연결된 각 선택 트랜지스터(Trsel)의 드레인 단자에 연결된 소스 단자를 가진다. 각 표시 픽셀(EM)은 각 데이터선(DLja 및 DLjb) 및 선택 트랜지스터(Trsel)를 통해 전류 유지/분배부(140)로부터 공급된 계조 전류(Ipix)에 기초하여 소정의 휘도 계조로 발광하는 전류 제어형 발광 소자를 포함한다.

이러한 구성을 가진 표시 패널(110A)에서, 후술할 주사 구동기(120A)로부터 특정 주사선 그룹(SGi)으로 주사 신호(Vsel)을 인가하여, 주사선 그룹(SGi)을 구성하는 복수의(2 개의) 주사선(SLia 및 SLib)에 연결된 선택 트랜지스터(Trsel)는 동시에 on이 되고, 복수의 행(2 행)에 해당하는 표시 픽셀(EM)은 같이 선택 상태로 설정된다. 주사 신호(Vsel)가 특정 주사선 그룹(SGi)에 인가되는 상태에서(선택 상태), 후술할 전류 생성부(130) 및 전류 유지/분배부(140A)로부터 각 데이터선 그룹(DGj)으로 표시 데이터에 해당하는 계조 전류(Ipix)를 모두 일시에 공급하여, 표시 데이터는 on 상태로 된 선택 트랜지스터(Trsel)를 통해 동시에 선택 상태로 설정된 복수의 행(2 행)에 해당하는 표시 소자(EM)에 기록된다. 선택 트랜지스터를 포함하는 표시 픽셀(EM)의 구체적인 회로예 또는 회로 작동은 이후에 상세하게 기술될 것이다.

(주사 구동기)

주사 구동기(120A)는, 시스템 제어기(150)로부터 공급되는 주사 제어 신호에 기초하여 각 주사선 그룹(SGi)으로 선택 레벨(예를 들면, 하이 레벨)인 주사 신호(Vsel)을 순차적으로 인가하는 작동을 실행하여, 선택 상태의 각 주사선 그룹(SGi)을 구성하는 주사선(SLia 및 SLib)에 연결된 복수의 행(본 실시예에서 2 행)에 해당하는 표시 픽셀(EM)을 설정한다. 즉, 예를 들면, 도 2에서 도시되는 바와 같이, 주사 구동기(120A)는, 각각이 각 주사선 그룹(SGi)에 따른 복수의 단계(도 2에서, $n' = n/2$; n은 표시 패널(110A)에 위치한 행의 총수)의 시프트 레지스터 및 버퍼를 포함하는 시프트 블록(SB1, SB2, ..., SBi, ..., SBn')을 포함한다. 시프트 레지스터에 의해 표시 패널(110A)의 상부로부터 하부로 순차적으로 시프트시키는 동안 출력되는 시프트 신호는, 후술될 시스템 제어기(150)로부터 공급되는 주사 제어 신호(주사 시작 신호(SST), 주사 시계 신호(SCK) 등)에 기초하여 버퍼를 통해 소정의 선택 레벨(하이 레벨)을 가지는 주사 신호(Vsel)로서 각 주사선 그룹(SGi)에 순차적으로 인가된다.

전술한 바와 같이, 예를 들면, 표시 패널(110A)을 구성하는 모든 표시 픽셀(EM)이 단일 주사선 그룹(SGi)에 연결된 구성이 채택된 경우, 도 2에서 도시되는 바와 같은 시프트 블록은 필요하지 않고, 1 스크린에 대한 모든 표시 픽셀(EM)은 소정의 타이밍에 주사 제어 신호에 기초하여 주사선 그룹(SGi)으로 단일 주사 신호(Vsel)를 인가하여 함께 선택 상태로 설정된다.

(전류 생성부)

전류 생성부(130)는, 표시 데이터의 계조치에 해당하는 전류치를 가지는 신호 전류(계조 신호)(Ic)를 생성하기 위하여 소정의 타이밍에 시스템 제어기(150)로부터 공급된 데이터 제어 신호에 기초하여, 후술될 표시 신호 생성부(160)으로부터 공급된 주사선 그룹(SGi)에 해당하는 데이터선 그룹(DGj)의 복수의 행(본 실시예에서 2 행)에 대한 표시 픽셀에 해당하는 표시 데이터를 순차적으로 인출하고, 시계열로 각 열에 따른 전류 유지/분배부(140A)로 복수의 행에 대한 신호 전류(Ic)를 순차적으로 공급한다. 전류 생성부(130)는 1 스크린에 대한 이러한 작동을 순차적으로 그리고 반복하여 실행한다. 전류 생성부(130)의 구체적인 구성 및 작동은 이후에 상세하게 기술될 것이다.

(전류 유지/분배부)

전류 유지/분배부(140A)는, 소정의 타이밍에 시스템 제어기(150)로부터 공급되는 데이터 제어 신호에 기초하여, 시계열로 전류 생성부(130)로부터 공급되는 각 주사선 그룹(SGi)에 해당하는 복수의 행에 대한 신호 전류(Ic)를 순차적으로 인출하고, 각 데이터선 그룹(DGj)의 각 열의 복수의 표시 픽셀(EM)에 따른 신호 전류(Ic)를 개별적으로 유지하며, 전술한 주사 구동기(120)를 사용하여 각 주사선 그룹(SGi)을 선택 상태로 설정하는 타이밍에 따라 각 데이터선 그룹(DGj)의 복수의 행(본 실시예에서 2 행)에 대한 표시 픽셀(EM)로 유지된 신호 전류(Ic)에 기초한 계조 전류(Ipix)를 순차적으로 공급한다.

보다 상세하게는, 예를 들면, 도 2에서 도시되는 바와 같이, 전류 유지/분배부(140A)는, 각각이 표시 패널(110A)에 배열된 각 데이터선 그룹(DGj)에 따라 위치하고, 각 데이터선 그룹(DGi)의 복수의(본 실시예에서 2 개의) 데이터선(DLja 및 DLjb) 각각에 따라 시계열로 전류 생성부(130)로부터 공급된 신호 전류(Ic)를 분배하는 복수의 전류 분배 회로(141), 및 각각이 표시 패널(110A)에 배열된 각 데이터선 그룹(DGj)에 연결되어 위치하고, 병렬로 전류 분배 회로(141)에 의해 분배된 복수의(본 실시예에서 2 개의) 데이터선에 해당하는 신호 전류(Ic)를 유지하는 복수의 전류 유지 회로(142)를 적어도 포함한다.

이러한 전류 유지/분배부(140A)는, 데이터 제어 신호에 기초한 타이밍에 각 주사선 그룹(SGi)을 구성하는 주사선(SLia 및 SLib)에 연결된 복수의 행(본 실시예에서 2 행)에 대한 신호 전류(Ic)를 순차적으로 인출하고, 각 데이터선 그룹(SGi)의 각 데이터선에 따라 신호 전류(Ic)를 분배하고 유지한다. 전류 유지/분배부(140A)는 또한 유지된 신호 전류(Ic)에 기초한 계조 전류(Ipix)를 생성하고, 주사선 그룹(SGi)을 선택 상태로 설정하는 타이밍에 각 데이터선 그룹(DGi)을 통해 복수의 행(본 실시예에서 2 행)에 대한 표시 픽셀로 계조 전류(Ipix)를 동시에 공급한다. 전류 유지/분배부(140A)의 구체적인 구성 및 작동은 이후에 상세하게 기술될 것이다.

(시스템 제어기)

시스템 제어기(150)는, 작동 상태를 제어하는 주사 제어 신호 및 데이터 제어 신호를 주사 구동기(120A) 및 전류 생성부(130)로 그리고 이러한 전류 생성부(130)를 통해 전류 유지/분배부(140)로 출력하여 주사 신호(Vsel), 신호 전류(Ic) 및 계조 전류(Ipix)를 생성/출력하기 위하여, 주사 구동부(120A), 전류 생성부(130) 및 전류 유지/분배부(140A)가 소정의 타이밍에 작동하도록 하고, 발광시키기 위해 각 표시 픽셀(EM)의 표시 신호 생성부(160)에 의해 생성된 표시 데이터를 기록하며, 비디오 신호에 기초한 소정의 영상 정보를 표시하기 위해 표시 패널(110A)을 제어한다.

(표시 신호 생성부)

표시 신호 생성부(160)는, 예를 들면, 표시 장치(100)의 외부로부터 공급된 비디오 신호로부터 휘도 계조 신호 성분을 추출하고, 휘도 계조 신호 성분을 전류 생성부(130)로 표시 패널(110A)의 각 행에 따른 표시 데이터로서 공급한다. 본 실시예에서, 비디오 신호가 텔레비전 방송 신호와 같은 영상 정보의 표시 타이밍을 규정하는 타이밍 신호 성분을 포함할 때(합성 비디오 신호), 표시 신호 생성부(160)는 타이밍 신호 성분을 추출하고 이를 시스템 제어기(150)로 공급하는 기능과 함께 휘도 계조 신호 성분을 추출하는 기능을 가질 수 있다. 이러한 경우에, 시스템 제어기(150)는 표시 신호 생성부(160)로부터 공급되는 타이밍 신호에 기초하여 주사 구동기(120A), 전류 생성부(130) 또는 전류 유지/분배부(140)로 공급되는 주사 제어 신호 및 데이터 제어 신호를 생성한다.

<전류 생성부의 구체적인 예>

본 실시예에 따른 표시 장치에 적용될 수 있는 전류 생성부의 구체적인 구조의 일예가 이하에서 기술될 것이다.

도 3은 본 실시예에 따른 표시 장치에 적용될 수 있는 전류 생성부의 구조의 일예를 도시하는 블록도이다.

예를 들면, 도 3에서 도시되는 바와 같이, 전류 생성부(130)는 시프트 레지스터 회로(131), 데이터 레지스터 회로(132), 데이터 래치 회로(133), D/A 컨버터(134), 및 전압-전류 변환/전류 공급 회로(135)를 포함한다. 시프트 레지스터 회로(131)는 시스템 제어기(150)로부터 데이터 제어 신호로서 공급된 시프트 시계 신호(CLK)에 기초하여 샘플링 시작 신호(STR)를 순차적으로 시프트시키는 동시에 시프트 신호를 출력한다. 데이터 레지스터 회로(132)는 시프트 신호의 입력 타이밍에 기초하여 표시 신호 생성부(160)로부터 공급된 1 행에 대한 표시 데이터(D0 내지 Dm)(디지털 데이터)를 순차적으로 인출한다. 데이터 래치 회로(133)는 데이터 래치 신호(STB)에 기초하여 데이터 레지스터 회로(132)에 의해 인출한 1 행에 대한 표시 데이터(D0 내지 Dm)를 유지한다. D/A 컨버터는 미도시된 전원 공급 수단으로부터 공급된 계조 기준 전압(V0 내지 Vp)에 기초하여 유지 표시 데이터(D0 내지 Dm)를 소정의 아날로그 신호 전압(계조 전압(Vpix))으로 변환한다. 전압-전류 변환/전류 공급 회로(135)는 아날로그 신호 전압으로 변환되는 표시 데이터에 해당하는 신호 전류(계조 신호)(Ic)를 생성하고, 표시 패널(110)에 배열된 각 데이터선 그룹(DGj)에 따라 시스템 제어기(150)로부터 공급되는 출력 활성 신호(OE)에 기초하여 각 주사선 그룹(SGi)에 연결된 복수의 행에 대한 각 열의 표시 픽셀(EM)에 해당하는 신호 전류(Ic)를 시계열로 전류 유지/분배부(140A)로 순차적으로 공급한다.

<전류 유지/분배부의 구체적인 예>

본 실시예에 따른 표시 장치에 적용될 수 있는 전류 유지/분배부의 구체적인 예가 이하에서 기술될 것이다.

도 4는 본 실시예에 따른 표시 장치에 적용될 수 있는 전류 유지/분배부의 구체적인 예를 도시하는 회로 블록도이다.

본 예에서, 본 실시예에 따른 표시 장치에 적용될 수 있는 구조예만이 예시되고, 본 발명은 이러한 회로 구성에 제한되지 않는다.

예를 들면, 도 4에서 도시되는 바와 같이, 전류 유지/분배부(140A)를 구성하는 각 전류 분배 회로(신호 분배부)(141)는 스위치 트랜지스터(Tr41a) 및 스위치 트랜지스터(Tr41b)를 포함한다. 스위치 트랜지스터(Tr41a)에서, 전류 생성부(130)로부터 출력된 신호 전류(Ic)는 전류 경로의 일단(소스 단자)으로 공급되고, 전류 경로의 타단(드레인 단자)은 전류 유지 회로(142)로 확장된 제 1 출력 접점(N41a)에 연결되며, 시스템 제어기(150)로부터 데이터 제어 신호로서 공급되는 제 1 전류 인출 신호(WTodd)는 제어 단자(게이트 단자)로 인가된다. 스위치 트랜지스터(Tr41b)에서, 전류 생성부(130)로부터 출력된 신호 전류(Ic)는 전류 경로의 일단(소스 단자)으로 공급되고, 전류 경로의 타단(드레인 단자)은 전류 유지 회로(142)로 확장된 제 2 출력 접점(N41b)에 연결되며, 데이터 제어 신호로서 공급되는 제 2 전류 인출 신호(WTenv)는 제어 단자(게이트 단자)로 인가된다.

전류 유지/분배부(140A)를 구성하는 각 전류 유지 회로(142)는, 공통으로 병렬로 데이터선(DLja)에 연결되고 제 1 출력 접점(N41a)을 통해 전류 분배 회로(141)로부터 출력된 신호 전류(Ic)가 공통으로 공급되는 두 스테이지의 래치부(신호 유지/출력부)(142a 및 142c)가, 공통으로 데이터선(DLjb)에 연결되고 제 2 출력 접점(N41b)을 통해 전류 분배 회로(141)로부터 출력된 신호 전류(Ic)가 공통으로 공급되는 두 스테이지의 래치부(신호 유지/출력부)(142b 및 142d)에 병렬로 위치하는 구성을 가진다.

예를 들면, 도 4에서 도시되는 바와 같이, 각 래치부(142a)(또는 142c)는 다음을 포함한다: 출력 접점(N41a) 및 전류 분배 회로(141)의 접점(N42a)(또는 N42c) 사이에 연결된 전류 경로(소스-드레인)를 가지고 제 1 래치 신호(LCup)(또는 제 2 래치 신호(LClw))가 인가되는 제어 단자(게이트)를 가지는 트랜지스터(Tr42a)(또는 Tr42c); 접점(N42a)(또는 N42c) 및 접점(N43a)(또는 N43c) 사이에 연결된 전류 경로를 가지고 제 1 래치 신호(LCup)(또는 제 2 래치 신호(LClw))가 인가되는 제어 단자를 가지는 트랜지스터(Tr43a)(또는 Tr43c); 전류 경로의 일단이 접점(N42a)(또는 N42c)에 연결되고 소정의 로우-전위 전압(-Vcc)가 타단에 인가되며 제어 단자는 접점(N43a)(또는 N43c)에 연결되는 트랜지스터(Tr44a)(또는 Tr44c); 전류 경로의 일단이 접점(N42a)(또는 N42c)에 연결되고 타단은 데이터선(DLja)에 연결되며 제 2 래치 신호(LClw)(또는 제 1 래치 신호(LCup))가 제어 단자로 인가되는 트랜지스터(Tr45a)(또는 Tr45c); 및 접점(N43a)(또는 N43c) 및 로우-전위 전압(-Vcc) 사이에 연결된 저장 커패시터(Ca)(또는 Cc).

예를 들면, 도 4에서 도시되는 바와 같이, 래치부(142a 및 142c)와 유사하게, 전술한 각 래치부(142b)(또는 142d)는 다음을 포함한다: 전류 경로(소스-드레인)가 전류 분배 회로(141)의 출력 접점(N41b) 및 접점(N42b)(또는 N42d) 사이에 연결되고 제 1 래치 신호(LCup)(또는 제 2 래치 신호(LClw))가 제어 단자(게이트)로 인가되는 트랜지스터(Tr42b)(또는 Tr42d); 전류 경로가 접점(N42b)(또는 N42d) 및 접점(N43b)(또는 N43d) 사이에 연결되고 제 1 래치 신호(LCup)(또는 제 2 래치 신호(LClw))가 제어 단자로 인가되는 트랜지스터(Tr43b)(또는 Tr43d); 전류 경로의 일단은 접점(N42b)(또는 N42d)에 연결되고 소정의 로우-전위 전압(-Vcc)이 타단에 인가되며 제어 단자는 접점(N43b)(또는 N43d)에 연결되는 트랜지스터(Tr44b)(또는 Tr44d); 전류 경로의 일단은 접점(N42b)(또는 N42d)에 연결되고 타단은 데이터선(DLjb)에 연결되며 제 2 래치 신호(LClw)(또는 제 1 래치 신호(LCup))는 제어 단자로 인가되는 트랜지스터(Tr45b)(또는 Tr45d); 및 접점(N43b)(또는 N43d) 및 로우-전위 전압(-Vcc) 사이에 연결된 저장 커패시턴스(Cb)(또는 Cd).

본 예에서, 본 실시예에 따른 전류 분배 회로의 각 트랜지스터(Tr41a, Tr41b) 및 전류 유지 회로의 각 트랜지스터(Tr42a 내지 Tr45a, Tr42b 내지 Tr45b, Tr42c 내지 Tr45c, 및 Tr42d 내지 Tr45d)는 특정한 형식으로 제한되지 않았음에도 불구하고, 예를 들면, 무정형 실리콘층이 채널층인 n-채널형 전계 효과 박막 트랜지스터 또는 폴리실리콘층이 채널층인 전계 효과 박막 트랜지스터를 적용하는 것이 가능하다. 이러한 경우, 도 2에서 도시되는 바와 같이, 전류 유지/분배부(140A)는 표시 패널(110A)을 구성하는 절연 기판(베이스) 상에 픽셀 어레이를 가지고 일체로 형성될 수 있다. 또한, 각 래치부(142a 내지 142d)에 위치한 저장 커패시턴스(Ca 내지 Cd) 각각은 각 트랜지스터(Tr44a 내지 Tr44d)의 게이트 및 소스 사이에 형성된 기생 커패시턴스 또는 개별적으로 장치된 커패시턴스 소자일 수 있다.

전술한 전류 유지 회로(142)에서, 저장 커패시턴스(Ca 내지 Cd)는 본 발명에 따른 신호 유지부 및 전하 저장 회로를 구성하고, 트랜지스터(Tr44a 내지 Tr44d 및 Tr45a 내지 Tr45d)는 본 발명에 따른 계조 전류 출력부를 구성한다.

<전류 유지/분배부의 작동>

이러한 구성을 가지는 전류 유지/분배부에서 작동이 이하에서 기술될 것이다.

도 5A 및 5B는 본 실시예에 적용될 수 있는 전류 유지/분배부의 일반적인 작동을 도시하는 개념도이다.

본 예에서, 각 전류 유지 회로(142)를 구성하는 래치부(142a 내지 142d) 중에서, 예시 및 기술은 편의를 위하여 래치부(142a 및 142c)가 위치하는 측에 대해서만 주어질 것이나, 같은 작동이 래치부(142b 및 142d)가 위치하는 측에서 실행된다.

본 실시예에 따른 전류 유지/분배부(140A)(전류 분배 회로(141) 및 전류 유지 회로(142))에서 작동은 다음을 가진다: 시계열로 전류 생성부(130)로부터 공급되고 주사선 그룹(SGi)을 구성하는 각 주사선(SLia 및 SLib)에 해당하는 복수의 행(본 실시예에서 2 행)에 대한 표시 픽셀에 기록되는 표시 데이터에 기초한 신호 전류(계조 신호)(Ic)를, 전류 분배 회로(141)에 의해 출력 접점(N41a)측 및 출력 접점(N41b)측으로 분배하는 전류 분배 작동; 전류 분배 작동에 동조하여 전류 유지 회로(142)를 구성하는 래치부(142a 및 142b) 또는 래치부(142c 및 142d)의 어느 하나에서 분배된 신호 전류(Ic)를 인출하고 유지하는 전류 유지 작동; 및 전류 유지 작동에 동조하여 전류 유지 회로(142)를 구성하는 래치부(142a 및 142b) 및 래치부(142c 및 142d) 중 어느 하나로부터 데이터선 그룹(DGj)을 구성하는 각 데이터선(DLja 및 DLjb)으로의 전류 유지 작동에 유지된 신호 전류(Ic)에 기초한 계조 전류(Ipix)를 동시에 출력하는 전류 출력 작동. 표시 패널(110A)의 모든 주사선 그룹(SGi)에 따라 전류 분배 작동을 반복하는 동시에 전류 유지 작동 및 전류 출력 작동은 전류 유지 회로(142)를 구성하는 래치부(142a 및 142b) 및 래치부(142c 및 142d) 사이에서 교대로 반복하여 실행되도록 제어된다.

즉, 각 열에 따른 표시 데이터에 기초하여 전류 생성부(130)로부터 공급된 신호 전류(Ic)가 전류 유지 회로(142)를 구성하는 하나의 래치부측에 인출되고 유지되는 기간에, 계조 전류(Ipix)는 동시에 다른 래치부측으로부터 판독되고 출력된다. 그러므로, 표시 데이터에 기초한 신호 전류(Ic)를 유지하고 각 열의 데이터선 그룹(DGj)으로 계조 전류(Ipix)를 출력하는 작동은 실질적으로 실행된다.

작동 각각은 전류 유지/분배부의 각 회로 구성을 참조하여 이하에서 구체적으로 기술될 것이다.

(전류 분배 작동)

전류 분배 작동에서, 시스템 제어기(150)로부터 전류 분배 회로(141)의 하이 레벨로 데이터 제어 신호로서 공급되는 제 1 및 제 2 전류 인출 신호(WTodd 및 WTenv)를 선택적으로 설정하여, 스위치(Tr41a 및 Tr41b) 중 하나가 순차적으로 on

되고, 각 행의 표시 픽셀(EM)에 해당하는 신호 전류(Ic)가 스위치 on의 타이밍에 동조하여 시계열로 전류 생성부(130)로부터 출력된다. 결과적으로, 신호 전류(Ic)는 각 행에 따라 분배되고 각 출력 접점(N41a 또는 N41b)을 통해 후술할 전류 유지부(142)를 구성하는 별개 래치부(142a 및 142c 또는 142b 및 142d)로 출력된다.

(전류 유지 작동/전류 출력 작동)

전류 유지 회로(142)(래치부(142a 내지 142d))에서, 시스템 제어기(150)로부터 하이 레벨로 데이터 제어 신호로서 공급되는 제 1 및 제 2 래치 신호(LCup 및 LClw)를 선택적으로 설정하여, 병렬로 출력 접점(N41a)에 연결된 래치부(142a 및 142c) 및 병렬로 출력 접점(N41b)에 연결된 래치부(142b 및 142d) 중 하나(래치부(142a 및 142b) 또는 래치부(142c 및 142d))는 전류 유지 작동 상태로 설정되고, 남은 래치부(래치부(142c 및 142d) 또는 래치부(142a 및 142b))는 후술할 전류 출력 작동 상태로 설정된다.

전류 유지 작동에서, 도 5A(편의를 위해 래치부(142a 및 142c)만이 도시)에서 도시되는 바와 같이, 제 1 래치 신호(LCup)는 하이 레벨로 설정되고, 제 2 래치 신호(LClw)는 로우 레벨로 설정된다. 결과적으로, 출력 접점(N41a)에 연결된 래치부(142a)에서, 트랜지스터(Tr42a, Tr43a 및 Tr44a)는 on이 되고, 트랜지스터(Tr45a)는 off가 된다. 이 때, 트랜지스터(Tr44a)의 게이트 및 드레인 사이의 부분은 트랜지스터(Tr43a)에 의해 전기적으로 단락되기 때문에, 트랜지스터(Tr44a)는 포화 영역에서 작동한다. 결과적으로, 전류 생성부(130)로부터 공급되고 전류 분배 회로(141)의 스위치(Tr41a)를 통해 출력 접점(N41a)으로 출력되는 신호 전류(Ic)는 래치부(142a)의 트랜지스터(Tr42a 및 Tr44a)를 통해 흐르고, 신호 전류(Ic)가 저장 커패시턴스(Ca)에 전하로서 저장되도록 신호 전류(Ic)의 전류 레벨은 트랜지스터(Tr44a)의 게이트 및 소스 사이의 전압 레벨로 변환된다.

전류 출력 작동에서, 도 5B에서 도시되는 바와 같이, 제 1 래치 신호(LCup)는 로우 레벨로 설정되고, 제 2 래치 신호(LClw)는 하이 레벨로 설정된다. 결과적으로, 래치부(142a)에서 트랜지스터(Tr42a 및 Tr43a)는 off가 되고 트랜지스터(Tr45a)는 on이 된다. 이 때, 전류 유지 작동에 의해 저장 커패시턴스(Ca)에 저장된 전하(신호 전류(Ic))에 기초한 전위(하이 전압)은 접점(N43a)에 유지되고, 그리하여 트랜지스터(Tr44a)는 on 작동을 지속한다. 결과적으로, 표시 패널(110)(미도시)에 배열된 데이터선(DLja)은 래치부(142a)의 트랜지스터(Tr45a 및 Tr44a)를 통해 로우-전위 전압(-Vcc)에 연결되고, 계조 전류(Ipix)는 데이터선(DLja)측(즉, 표시 픽셀(EM)측)으로부터 래치부(142a)(전류 유지 회로(142))로 흐르게 되는 방식으로 흐른다.

또한, 제 1 래치 신호(LCup)가 로우 레벨로 설정되고 제 2 래치 신호(LClw)가 하이 레벨로 설정되는 상태에서(즉, 전술한 래치부(142a)의 전류 출력 작동 상태), 트랜지스터(Tr42c 및 Tr43c)는 on이 되고, 트랜지스터(Tr44c)의 게이트 및 드레인 사이의 부분은 트랜지스터(Tr43a)에 의해 전기적으로 단락되어, 병렬로 출력 접점(N41a)에 연결된 래치부(142c)에서 트랜지스터(Tr44c)는 포화 지역에서 on이 되고 트랜지스터(Tr45c)는 off가 된다. 그러므로, 출력 접점(N41a)으로 출력된 신호 전류(Ic)는 래치부(142c)의 트랜지스터(Tr42c 및 Tr44c)를 통해 로우-전위 전압(-Vcc)측으로 흐르고, 신호 전류(Ic)의 전류 레벨은 트랜지스터(Tr44c)의 게이트 및 소스 사이의 전압 레벨로 변환되어 신호 전류(Ic)는 저장 커패시턴스(Cc)에 전하로서 저장되게 된다.

즉, 래치부(142a 및 142c) 중 하나가 전류 유지 작동 상태에 설정되는 기간에, 다른 하나는 동시에 전류 출력 작동 상태에 설정된다. 이러한 작동은 미도시된 래치부(142b 및 142d)의 조합에서 역시 실행된다.

전류 생성부(130)로부터 공급된 양의 극성을 가진 신호 전류(Ic)에 해당하는 음의 계조 전류(Ipix)를 생성하는(전류 방향을 변환하는) 기능(전류 극성 역전부)이 제공되는 예가 기술되었고, 본 실시예에 따른 전류 유지/분배부(140A)의 표시 픽셀(EM)에 제공되는 후술할 픽셀 구동 회로의 회로 구성에 대응하기 위하여 계조 전류 회로(Ipix)는 데이터선(표시 픽셀)측으로부터 흐르게 된다. 그러나, 본 발명은 이에 제한되지 않고, 양의 극성을 가진 계조 전류(Ipix)가 생성되고 계조 전류(Ipix)는 표시 픽셀(EM)의 회로 구성에 따라 데이터선(표시 픽셀)으로 통과하는 구성을 가질 수 있다.

시장에 배포되고 이용 가능한 거의 모든 주지된 전류 구동기 회로(전류 생성부에 해당)는 양의 극성을 가진 계조 신호(신호 전류)를 출력하는 구성을 가지고, 그리하여 전류 방향이 변환된 계조 전류는 전술한 구성을 가진 전류 유지/분배부를 적용하여 주지된 전류 구동기에 의해 이미 생성될 수 있다는 것이 인지되어야 한다.

<표시 장치의 구동 제어 방법>

전술한 구성을 가진 표시 장치에서 구동 제어 작동(구동 제어 방법)이 이하에서 기술될 것이다.

도 6은 본 실시예에 따른 표시 장치에서 구동 제어 작동(구동 제어 방법)을 도시하는 시계열도이다.

본 예에서, 전술한 표시 장치의 각 구조를 참조하여 기술될 것이다.

전술한 구조를 가지는 표시 장치에서, 표시 패널(110A)을 구성하는 각 표시 픽셀(발광 소자)(EM)이 소정의 회도 계조로 발광하게 하는 디지털 데이터를 구성하는 표시 데이터는 우선 표시 신호 생성부(160)를 사용하여 비디오 신호로부터 추출되고, 추출된 표시 데이터는 표시 패널(110A)의 각 행에 해당하는 직렬 데이터로서 전류 생성부(130)로 순차적으로 공급된다.

전류 생성부(130)로 공급되는 표시 데이터(디지털 데이터)는 시스템 제어기(150)로부터 공급되는 데이터 제어 신호에 기초한 타이밍에 표시 데이터에 해당하는 신호 전류(계조 신호)(Ic)로 변환되고, 표시 패널(110A)에 배열된 각 열의 데이터선 그룹(DGj)에 따라 위치하는 전류 유지/분배부(140A)로 출력된다.

본 예에서, 전류 생성부(130)로부터 출력된 신호 전류(Ic)는, 예를 들면, 데이터선 그룹(DGj)을 구성하는 각 데이터선(DLja 및 DLjb)으로 연결된 각 표시 픽셀(EM)에 대한 각 행에 따른 표시 패널(110A)의 각 열에 해당하는 데이터선 그룹(DGj)의 단위로 시계열로 출력된다.

도 6에서 도시되는 바와 같이, 전류 분배 작동은 전류 유지/분배부(140A)에서 실행된다. 전류 분배 작동에서, 각 열에 따른 복수의 행(본 실시예에서 2 행)에 배열된 표시 픽셀(EM)에 해당하는 신호 전류(Ic)는 순차적으로 인출되고, 전류 분배 회로(141)의 트랜지스터 또는 스위치(Tr41a 및 Tr41b)는 시스템 제어기(150)로부터 공급되는 데이터 제어 신호(제 1 및 제 2 전류 인출 신호(WTodd 및 WTenv))에 기초한 타이밍에 선택적으로 on이 되며, 신호 전류(Ic)는 전류 유지 회로(142)의 래치부(142a)(또는 142c) 및 래치부(142b)(또는 142d)로 순차적으로 공급된다.

그리고, 이러한 타이밍에 동조하여, 전류 유지 회로(142)의 래치부(142a 및 142b)는 시스템 제어기(150)로부터 공급되는 데이터 제어 신호(하이 레벨의 제 1 래치 신호(LCup) 및 로우 레벨의 제 2 래치 신호(LClw))에 기초한 전류 유지 작동 상태에 설정된다. 결과적으로, 신호 전류(Ic)가 각 래치부(142a 및 142b)로 공급되는 기간에만, 전류 유지 작동이 순차적으로 실행된다. 전류 유지 작동에서, 각 행(예를 들면, 제 1 행 및 제 2 행)의 표시 픽셀(EM)에 해당하는 신호 전류(Ic)에 기초한 전하가 각 저장 커패시터스(Ca 및 Cb)에 저장된다.

도 6에 도시되는 바와 같이, 이러한 전류 분배 작동 및 전류 유지 작동이 적절하게 설정된 제 1 및 제 2 전류 인출 신호(WTodd 및 WTenv) 및 제 1 및 제 2 래치 신호(LCup 및 LClw)의 신호 레벨로 래치부(142a 및 142b) 및 래치부(142c 및 142d)에서 교대로 반복된다. 결과적으로, 표시 데이터에 기초한 2 행의 표시 픽셀(EM)에 해당하는 신호 전류(Ic)는 각 전류 유지 회로(142)에 순차적으로 유지된다.

이어서, 전류 유지 작동 이후, 전류 유지 회로(142)의 래치부(142a 및 142b)는 시스템 제어기(150)로부터 공급된 데이터 제어 신호(로우 레벨의 제 1 래치 신호(LCup) 및 하이 레벨의 제 2 래치 신호(LClw))에 기초한 전류 출력 작동 상태에 설정된다. 결과적으로, 전류 출력 작동은 각 래치부(142a 및 142b)에 실행된다. 전류 출력 작동에서, 각 저장 커패시터스(Ca 및 Cb)에 저장된 전하에 기초한 계조 전류(Ipix)는 데이터선 그룹(DGj)을 구성하는 각 데이터선(DLja 및 DLjb)을 통해 각 행(예를 들면, 제 1 행 및 제 2 행)의 표시 픽셀(EM)로 동시에 공급된다.

그러므로, 계조 전류(Ipix)는 각 열의 데이터선 그룹(DGj)을 통해 전류 유지/분배부(140A)로부터 출력되고, 하이 레벨의 주사 신호(Vsel)는 시스템 제어기(150)로부터 공급되는 주사 제어 신호에 기초한 타이밍에 주사 구동기(120A)로부터 특정 주사선 그룹(SGi)에 인가된다. 결과적으로, 이러한 주사선 그룹(SGi)을 구성하는 각 주사선(SLia 및 SLib)에 연결된 모든 선택 트랜지스터(Tsel)는 on이 되고, 각 데이터선 그룹(DGj)의 데이터선(DLja 및 DLjb)을 통해 복수의 행(예를 들면, 제 1 행 및 제 2 행을 포함하는 2 행)의 표시 픽셀(EM)로 공급되는 계조 전류(Ipix)는 각 표시 픽셀(EM)에 기록되어, 계조 전류(Ipix)에 기초한 소정의 회도 계조로 발광 작동을 실행한다.

또한, 각 래치부(142a 및 142b)에서, 전류 출력 작동이 실행되는 기간에, 도 6에서 도시되는 바와 같이, 전류 유지 회로(142)의 래치부(142c 및 142d)는 시스템 제어기(150)로부터 공급되는 데이터 제어 신호(로우 레벨의 제 1 래치 신호(LCup) 및 하이 레벨의 제 2 래치 신호(LClw))에 기초한 전류 유지 작동 상태에 설정된다. 결과적으로, 전류 유지 작동은 순차적으로 실행된다. 이러한 작동에서, 전류 생성부(130)로부터 연속적으로 공급되는 각 행에 대한 신호 전류(Ic)는 각 래치부(142c 및 142d)에 인출되고, 각 행(예를 들면, 제 3 행 및 제 4 행)의 표시 픽셀(EM)에 해당하는 신호 전류(Ic)에 기초한 전하는 각 저장 커패시터스(Cc 및 Cd)에 저장된다.

그리고, 래치부(142a 및 142b)에서 전류 출력 작동 이후, 시스템 제어기(150)는 다시 제 1 래치 신호(LCup)를 하이 레벨로 그리고 제 2 래치 신호(LClw)를 로우 레벨로 설정한다. 결과적으로, 래치부(142a 및 142b)는 다시 전류 유지 작동 상태로 설정된다. 결과적으로, 전류 출력 작동은 각 래치부(142a 및 142b)에 실행된다. 전류 출력 작동에서, 각 행(예를 들면, 제 5 행 및 제 6 행)의 표시 픽셀(EM)에 해당하는 신호 전류(Ic)에 기초한 전하는 각 커패시턴스(Ca 및 Cb)에 저장된다.

또한, 이 때, 전류 유지 회로(142)의 래치부(142c 및 142d)가 전류 출력 작동 상태에 설정될 때, 앞선 타이밍에 각 저장 커패시턴스(Cc 및 Cd)에 저장된 전하에 기초한 계조 전류(Ipix)가 데이터선 그룹(DGj)을 구성하는 각 데이터선(DLja 및 DLjb)을 통해 각 행(예를 들면, 제 3 행 및 제 4 행)의 표시 픽셀에 동시에 공급되는 전류 출력 작동이 실행된다.

결과적으로, 전류 유지/분배부(140A)의 각 열에 따라 위치하는 각 전류 유지 회로(142)를 구성하는 2 스테이지의 래치부(142a 및 142b) 및 래치부(142c 및 142d)에서, 전류 유지 작동 및 전류 출력 작동을 동시에 실행하는 제어는 소정의 작동 주기에 따라 교대로 반복된다. 결과적으로, 전류 생성부(130)로부터 출력된 각 행의 표시 데이터에 해당하는 신호 전류(Ic)가 전류 유지 회로에 연속적으로 인출되고 유지되며 계조 전류(Ipix)로서 복수의 행의 표시 픽셀에 동시에 공급되는 작동이 실행된다.

그러므로, 본 실시예는, 복수의 행(본 실시예에서 2 행)의 표시 픽셀이 주사 구동기로부터 복수의 표시 픽셀이 2차원으로 배열된 표시 패널로 단일 주사 신호를 인가하여 선택 상태로 같이 설정되고 복수의 행의 표시 픽셀에 해당하는 표시 데이터가 신호 구동기에 의해 순차적으로 인출되고 유지되며 복수의 행에 해당하는 계조 전류가 소정의 타이밍(예를 들면, 1 주사 기간)에 각 표시 픽셀로 동시에 공급되는 방식으로 구성된다. 그러므로, 1 주사선으로 1 주사 신호를 인가하는 주지된 구동 제어 방법과 비교하면, 1 주사 타이밍에 구동되는 주사선의 수(선택된 표시 픽셀의 행의 수)는 수 배가 되고, 표시 픽셀에 계조 전류를 기록하기 위해 요구되는 시간은 실질적으로 수 배(본 실시예에서 2 배)가 되도록 설정될 수 있다.

또한, 각 열에 배열된 데이터선은 복수의(본 실시예에서 2) 데이터선이 1 세트로 결정된 데이터선 그룹으로 형성되기 때문에, 각 데이터선에 기생하고 각 표시 픽셀에 위치하는 유지 커패시턴스 또는 구동 트랜지스터의 기생 커패시턴스를 구성하는 커패시턴스 소자는 1 데이터선이 1 열에 배열된 주지된 표시 장치의 구성과 비교하여 크게 감소(본 실시예에서 1/2)할 수 있다. 그러므로, 각 표시 픽셀의 각 데이터선에 공급되는 계조 전류를 기록하기 위하여 요구되는 시간은 감소될 수 있거나, 이러한 기록 시간의 지연은 억제될 수 있다.

결과적으로, 각 표시 픽셀에 표시 데이터를 기록하기 위한 충분히 긴 시간은 보장될 수 있다. 그러므로, 표시 패널 크기가 증가하거나 고해상도가 현실화될 때, 또는 심지어 이미지가 낮은 계조로 표시될 때에도, 데이터선의 배선 커패시턴스는 소정의 전압으로 충분하게 충전될 수 있어, 표시 데이터의 불충분한 기록 상태를 제거한다. 또한, 각 표시 픽셀은 표시 데이터에 해당하는 적절한 휘도 계조로 발광하는 것이 허락될 수 있고, 표시 패널에서 생성된 휘도 증감도(표시 불규칙성)는 크게 감소될 수 있어, 표시 화질을 향상시킨다.

본 발명은 각 행에 배열된 주사선은 복수의(본 실시예에서 2) 주사선이 1 세트로서 결정된 주사선 그룹으로 형성되고 복수의 행(본 실시예에서 2 행)에 대한 표시 픽셀은 단일 주사 신호를 사용하여 선택 상태로 함께 설정되는 방식으로 구성된다. 그러므로, 주사 구동기로부터 표시 패널로의 주사 신호 출력의 수는 크게 감소(본 실시예에서 1/2)될 수 있고, 표시 패널 및 주사 구동기 사이에서 연결 단자의 수는 크게 감소(본 실시예에서 1/2)될 수 있다. 결과적으로, 고해상도가 표시 패널에서 실현화되는 경우에도, 구동기 칩의 출력 단자의 수의 증가는 억제될 수 있고, 단자 사이의 피치(간극)가 작아지는 것이 방지되어, 구동기 칩의 연결 단계에서 위치 정확도를 단순화시키고 단계의 수를 감소시킨다.

또한, 무정형 실리콘층 또는 폴리실리콘층이 채널층인 전계 효과 박막 트랜지스터가 전류 유지/분배부를 구성하는 각 트랜지스터로 적용될 때, 전류 유지/분배부는 같은 기판 상에 표시 패널(픽셀 어레이)과 일체로 형성될 수 있고, 부품의 수의 증가는 억제될 수 있어, 표시 장치의 생산 단가를 낮게 유지시킨다.

본 실시예에 따른 표시 장치의 제 1 실시예로서, 주사선 그룹은, 예를 들면, 2 행의 표시 픽셀에 해당하게 배열되고 2 행의 표시 픽셀에 해당하는 데이터선 그룹은 2 행의 표시 픽셀이 단일 주사 신호를 사용하여 선택 상태에 동시에 설정될 수 있도록 배열된 예가 전술되었다. 그러나, 본 발명은 이에 제한되지 않는다. 본 실시예에 따른 표시 장치의 다른 구조의 예가 이하에서 기술될 것이다.

도 7은 본 실시예에 따른 표시 장치의 다른 구조의 예의 주요부를 도시하는 개략적인 구조도이다.

도 8은 본 실시예에 따른 표시 장치의 또 다른 구조의 예의 주요부를 도시하는 개략적인 구조도이다.

즉, 예를 들면, 도 7에서 도시되는 바와 같이, 표시 패널(110A)은 2 이상의 행(4 행)에 따라 배열된 각 주사선 그룹(SGi) 및 복수의 행에 해당하는 수(4)의 복수의(4) 데이터선(DLja 내지 DLjd)을 포함하고 각 픽셀 행에 따라 배열된 각 데이터선 그룹(DGj)을 가지도록 구성될 수 있다. 복수의 행(4 행)의 표시 픽셀(EM)은 단일 주사 신호(Vsel)를 사용하여 선택 상태로 동시에 설정될 수 있다.

또한, 도 8에서 도시되는 바와 같이, 복수의 행에 해당하게 배열된 주사선 그룹의 구성(주사선의 배치 형식)으로서, 1 주사선(SLi)이 분기 없이 표시 패널(110A) 내에 흐르게 되고(충당되고) 공통으로 복수의 행(2 행)의 표시 픽셀(EM)로 연결될 수 있다.

<표시 장치의 제 2 실시예>

본 발명에 따른 표시 장치의 제 2 실시예가 첨부한 도면을 참조하여 기술될 것이다.

도 9는 본 발명에 따른 표시 장치의 제 2 실시예의 주요부를 도시하는 구조도이다.

여기에서, 제 1 실시예와 같은 구조는 같거나 유사한 참조 번호로 표시되어, 그 설명은 생략된다.

전술한 제 1 실시예에 따른 표시 장치는 다음을 포함한다: 복수의 행에 해당하는 각 주사선 그룹(SGi) 및 복수의 행에 해당하는 복수의 데이터선을 구성하는 각 데이터선 그룹(DGj)이 배열된 표시 패널; 및 표시 패널에 해당하는 주변 회로(주사 구동기 및 전류 생성부 및 전류 유지/분배부를 포함하는 신호 구동기). 제 2 실시예에 따른 표시 장치는 다음을 포함한다: 각 행에 따라 위치하는 각 주사선 및 복수의 행에 해당하는 복수의 데이터선을 구성하는 각 데이터선 그룹이 배열된 표시 패널; 및 표시 패널에 해당하는 주변 회로(주사 구동기 및 전류 생성부 및 전류 유지/분배부를 포함하는 신호 구동기).

도 9에서 도시되는 바와 같이, 본 실시예에 따른 표시 패널(110B)은 일반적으로 다음을 포함한다: 2차원으로 배열되고(n 행 $\times$ m 열) 선택 트랜지스터(Trsel)를 통해 서로 연결된 복수의 표시 픽셀(EM); 각 행의 표시 픽셀(EM)에 따라 배열된 복수의 주사선(SLq)(q 는 $1 \leq q \leq n$ 의 범위를 만족하는 양의 정수; n 은 양의 정수이고 표시 패널(110)의 픽셀 행 세트의 총수); 및 각 열의 표시 픽셀(EM)에 따라 배열되고 복수의(본 실시예에서 2) 데이터선(DLja 및 DLjb)(j 는 $1 \leq j \leq m$ 의 범위를 만족하는 양의 정수; m 은 양의 정수이고 표시 패널(110)의 픽셀 열 세트의 총수)이 1 세트로 결정된 복수의 데이터선 그룹(DGj). 각 표시 픽셀(EM)은 주사선(SLq) 및 각 데이터선 그룹(DGj)을 구성하는 데이터선(DLja 및 DLjb)의 각 교점에 위치한다.

주사 구동기(선택 회로)(120B)는 일반적으로 표시 패널(110B)의 주사선(SLq)에 연결되고, 각 주사선(SLi)에 연결된 각 행(1 행)의 표시 픽셀(EM)을 선택 상태로 순차적으로 설정하기 위해 소정의 타이밍에 주사 신호(Vsel)를 각 주사선(SLq)으로 순차적으로 인가한다.

전류 생성부(130)는 일반적으로 표시 신호 생성부(160)로부터 공급되는 표시 데이터에 따라 표시 데이터에 기초한 휘도 계조치에 해당하는 전류치를 가진 신호 전류(계조 전류)(Ic)를 생성한다.

전류 유지/분배부(140B)는 일반적으로 표시 패널(110B)의 각 데이터선 그룹(DGj)에 연결된다. 전류 유지/분배부(140B)는 시계열로 전류 생성부(130)로부터 공급되는 복수의 행(본 실시예에서 2 행)에 해당하는 신호 전류(Ic)를 인출하고, 소정의 타이밍에 신호 전류(Ic)에 기초한 계조 전류(Ipix)를 복수의 행(본 실시예에서 2 행)의 표시 픽셀(EM)로 순차적으로 공급한다. 본 실시예에서, 전류 생성부(130) 및 전류 유지/분배부(140B)는 신호 구동기(200B)를 구성한다.

도 9에서 도시되는 구성에서, 구조의 예로서 전류 유지/분배부(140B)가 표시 패널(110B)을 구성하는 복수의 표시 픽셀(EM)(즉, 픽셀 어레이)이 형성된 절연 기판(베이스) 상에 픽셀 어레이와 일체로 형성되고, 본 발명은 이에 제한되지 않는다는 것이 주지되어야 한다. 예를 들면, 신호 구동기(200B)는 구동기 칩의 구조를 가지고 기판(베이스) 상에 탑재될 수 있다. 상세는 후술될 것이다.

각 구조의 구체적인 구성은 이하에서 후술될 것이다.

(표시 패널)

예를 들면, 도 9에서 도시되는 바와 같이, 본 실시예에 따른 표시 장치에 적용될 수 있는 표시 패널(110)은, 각 픽셀 행에 해당하는 각 주사선(SL_q) 및 1 세트의 결정되고 1 픽셀 열에 해당하는 2개 데이터선(DL_{ja} 및 DL_{jb})을 가지는 각 데이터선 그룹(DG_j)이 서로 수직으로 배열되고, 표시 픽셀(EM)은 홀수-번호 주사선(SL_i) 및 각 열의 데이터선(DL_{ja})의 교점 및 짝수-번호 주사선(SL_i) 및 각 열의 데이터선(DL_{jb})의 교점에 연결된 구성을 가진다.

본 실시예에서, 도 9에서 묘사된 구성에서, 각 열에 배열된 주사선 그룹(DG_j)이 1 세트의 결정된 2개 데이터선(DL_{ja} 및 DL_{jb})으로 구성되었음에도 불구하고, 본 발명은 이에 제한되지 않고, 2 이상의 데이터선이 1 세트의 결정될 수 있다. 이러한 경우, 데이터선 그룹(DG_j)을 구성하는 데이터선의 수가 q(즉, 데이터선(DL_{j1} 내지 DL_{jq})의 수가 q)일 때, 표시 픽셀(EM)이 행 번호를 q로 나누어서 나머지가 1로 계산될 수 있는 각 행의 주사선(제 1, 제 q+1, 제 2q+1, ... 행의 각 주사선) 및 각 열의 제 1 데이터선(DL_{j1})의 교점에 연결되고, 표시 픽셀(EM)이 같은 방식으로 나머지가 2로 계산될 수 있는 각 행의 주사선(제 2, 제 q+2, 제 2q+2, ... 행의 각 주사선) 및 각 열의 제 2 데이터선(DL_{j2})의 교점에 연결되며, 표시 픽셀 및 데이터선은 같은 관계로 연결되고, 그리고 표시 픽셀(EM)이 같은 방식으로 나머지가 0으로 계산될 수 있는 각 행의 주사선(제 q, 제 2q, 제 3q, ... 행의 각 주사선) 및 각 열의 제 q(마지막) 데이터선(DL_{jq})의 교점에 연결되는 구성이 제공된다.

또한, 도 2의 표시 픽셀(EM)에서와 같이, 각 표시 픽셀(EM)은 일반적으로, 게이트 단자는 각 주사선(SL_i)에 연결되고 소스 단자는 각 데이터선(DL_{ja} 및 DL_{jb})에 연결된 선택 트랜지스터(Tsel)의 드레인 단자에 연결되며, 선택 트랜지스터(Tsel)를 통해 공급된 게조 전류(I_{pix})에 기초한 소정의 휘도 게조로 발광하는 전류 제어형 발광 소자를 포함하는 구성을 가진다.

이러한 구성을 가지는 표시 패널(110B)에서, 주사 신호(Vsel)를 후술할 주사 구동기(120B)로부터 특정 행의 주사선(SL_i)으로 인가하여, 이러한 주사선(SL_i)에 연결된 선택 트랜지스터(Tsel)는 on이 되고, 이 행의 표시 픽셀(EM)은 동시에 선택 상태로 설정된다. 이러한 선택 상태에서, 표시 데이터에 해당하는 게조 전류(I_{pix})가 각 데이터선 그룹(DG_j)의 특정 데이터선에 동시에 공급될 때, 표시 데이터는 on이 된 선택 트랜지스터(Tsel)를 통해 선택 상태의 이 행 세트의 표시 픽셀(EM)에 동시에 기록된다.

(주사 구동기)

주사 구동기(120B)는 시스템 제어기(150)로부터 공급되는 주사 구동 신호에 기초한 각 주사선(SL_q)으로 선택 레벨(예를 들면 하이 레벨)의 주사 신호(Vsel)를 인가하는 작동을 순차적으로 실행하여, 소정의 타이밍에 각 주사선(SL_i)에 연결된 각 행의 표시 픽셀(EM)이 동시에 선택 상태로 설정되고 적어도 인접한 행의 표시 픽셀(EM)이 동시에 선택 상태로 설정되도록 한다. 즉, 예를 들면 도 9에서 도시되는 바와 같이, 주사 구동기(120)는 각각이 각 주사선(SL_q)에 따른 복수의 스테이지(본 실시예에서 n 스테이지)의 시프트 레지스터 및 버퍼를 포함하는 시프트 블록(SB₁, SB₂, ..., SB_i, ..., SB_n)을 포함한다. 시프트 레지스터에 의해 표시 패널(110)의 상부로부터 하부로 순차적으로 시프트시키는 동안 출력되는 시프트 신호는 시스템 제어기(150)로부터 공급되는 주사 제어 신호(주사 시작 신호(SST), 주사 시계 신호(SCK) 등)에 기초한 소정의 선택 레벨(하이 레벨)을 가지는 주사 신호(Vsel)로서 각 버퍼를 통해 각 주사선(SL_q)으로 인가된다. 여기에서, 본 실시예에서, 전술한 구성을 가지는 주사 구동기에서, 주사 시계 신호(SCK)는 각 행에 따른 소정의 기간(1 수직 주사 기간)의 선택 상태를 설정하는 규정 시간 폭(주사 신호(Vsel)이 인가되는 각 행에 대한 선택 시간 폭)으로 설정되고, 주사 시작 신호(SST)는 2 행에 대한 선택 시간 폭(2 수직 주사 기간)으로 설정된다. 결과적으로, 2 행에 대한 시간 폭을 가진 시프트 신호는 각 시프트 블록(SB₁, SB₂, ..., SB_i, ..., SB_n) 사이에서 시프트되고, 시프트 신호에 기초한 주사 신호(Vsel)는 소정의 기간에 중복 방식으로 적어도 인접한 주사선(SL_i)으로 인가된다.

(전류 생성부)

전류 생성부(130)는 도 3에서 도시되는 제 1 실시예의 전류 생성부(130)와 같은 구성을 가지고, 1 스크린에 대한 작동을 순차적으로 반복하여 실행한다. 이러한 작동에서, 전류 생성부(130)는 소정의 타이밍에 시스템 제어기(150)로부터 공급되는 데이터 제어 신호에 기초하여 표시 신호 생성부(160)로부터 공급되는 각 데이터선 그룹(DG_j)의 복수의 행(본 실시예에서 2 행)의 표시 픽셀에 해당하는 표시 데이터를 순차적으로 인출하고, 표시 데이터의 휘도 게조치에 해당하는 전류치를 가지는 신호 전류(게조 전류)(I_c)를 생성하며, 각 행에 따라 시계열로 복수의 행에 대한 신호 전류(I_c)를 전류 유지/분배부(140B)로 순차적으로 공급한다.

(전류 유지/분배부)

전류 유지/분배부(140B)는, 시스템 제어기(150)로부터 공급되는 데이터 제어 신호에 기초하여 시계열로 전류 생성부(130)로부터 공급되는 각 데이터선 그룹(DGj)에 해당하는 복수의 행에 대한 신호 전류(Ic)를 소정의 타이밍에 순차적으로 인출하고 유지한다. 전류 유지/분배부(140B)는 계조 신호(Ipix)로서 신호 전류(Ic)를 각 데이터선 그룹(DGj)을 통해 선택 상태에 설정된 각 행의 표시 픽셀(EM)로 동시에 공급한다.

보다 상세하게는, 예를 들면, 도 9에서 도시되는 바와 같이, 전류 유지/분배부(140B)는 적어도 표시 패널(110B)에 배열된 각 데이터선 그룹(DGj)에 따라 위치하는 복수의 전류 유지/분배 회로(143)를 포함한다. 또한, 전류 유지/분배부(140B)는 각 주사선(SLq)을 선택 상태로 설정하는 타이밍에 각 데이터선 그룹(DGj)의 복수의(본 실시예에서 2) 데이터선(DLja 및 DLjb) 각각에 따라 전류 생성부(130)로부터 시계열로 공급되는 신호 전류(Ic)를 분배하고 유지하며, 유지 신호 전류(Ic)에 기초한 계조 신호(Ipix)를 각 데이터선(DLja 및 DLjb)의 표시 픽셀(EM)로 순차적으로 공급한다.

전류 유지/분배부(140B)의 구체적 구성 및 작동은 상세하게 후술될 것이 인지되어야 한다.

<전류 유지/분배부의 구체적인 예>

본 실시예에 따른 표시 장치에 적용될 수 있는 전류 유지/분배부의 구체적인 예가 이하에서 기술될 것이다.

도 10은 본 실시예에 따른 표시 장치에 적용될 수 있는 전류 유지/분배부의 구조의 예를 도시하는 회로 블록도이다.

본 실시예에 따른 표시 장치에 적용될 수 있는 구조의 예가 단지 여기에서 기술될 뿐이고, 본 발명은 본 예에 제한되지 않는 것이 인지되어야 한다.

전류 유지/분배부(140B)를 구성하는 각 전류 유지/분배 회로(143)는, 예를 들면 도 10에서 도시되는 바와 같이, 데이터선(DLja)에 연결된 유지부(신호 유지/출력부)(143a) 및 데이터선(DLjb)에 연결된 래치부(신호 유지/출력부)(143b)를 포함하는 2-스테이지 래치부를 가지도록 구성되고, 이러한 래치부(143a 및 143b)는 공통으로 공급되는 전류 생성부(130)로부터 출력된 신호 전류(Ic)에 병렬로 연결된다. 데이터선(DLja 및 DLjb)은 각 데이터선 그룹(DGj)을 구성한다.

예를 들면, 도 10에서 도시되는 바와 같이, 전류 유지/분배부(143a)는, 전류 생성부(130)로부터 출력된 신호 전류(Ic)가 전류 경로의 일단(소스 또는 드레인)으로 공급되고 타단은 접점(N46a)에 연결되며 제 1 전류 인출 신호(WTodd)가 제어 단자(게이트)로 인가되는 트랜지스터(Tr46a); 전류 경로가 접점(N46a) 및 접점(N47a) 사이에 연결되고 제 1 전류 인출 신호(WTodd)가 제어 단자로 인가되는 트랜지스터(Tr47a); 전류 경로의 일단은 접점(N46a)에 연결되고 타단은 로우-전위 전압(-Vcc)에 연결되며 제어 단자는 접점(N47a)에 연결되는 트랜지스터(Tr48a); 전류 경로의 일단은 로우-전위 전압(-Vcc)에 연결되고 타단은 데이터선(DLja)에 연결되며 제어 단자는 접점(N47a)에 연결되는 트랜지스터(Tr49a); 및 접점(N47a) 및 로우-전위 전압(-Vcc) 사이에 연결된 저장 커패시터스(Ce)를 포함한다.

그리고, 전류 유지/분배부(143b)는 또한, 예를 들면 도 10에서 도시되는 바와 같이, 전류 생성부(130)로부터 출력된 신호 전류(Ic)가 전류 경로의 일단(소스 또는 드레인)에 공급되고 타단은 접점(N46b)에 연결되며 제 2 전류 인출 신호(WTenv)가 제어 단자(게이트)로 인가되는 트랜지스터(Tr46b); 전류 경로가 접점(N46b) 및 접점(N47b) 사이에 연결되고 제 2 전류 인출 신호(WTenv)가 제어 단자로 인가되는 트랜지스터(Tr47b); 전류 경로의 일단은 접점(N46b)에 연결되고 타단은 로우-전위 전압(-Vcc)에 연결되며 제어 단자는 접점(N47b)에 연결되는 트랜지스터(Tr48b); 전류 경로의 일단은 로우-전위 전압(-Vcc)에 연결되고 타단은 데이터선(DLjb)에 연결되며 제어 단자는 접점(N47b)에 연결되는 트랜지스터(Tr49b); 및 접점(N47b) 및 로우-전위 전압(-Vcc) 사이에 연결된 저장 커패시터스(Cf)를 포함한다.

여기에서, 본 실시예에 따른 전류 유지/분배부(140B)에서, 예를 들면, 무정형 실리콘층이 채널층인 n-채널형 전계 효과 박막 트랜지스터 또는 폴리실리콘층이 채널층인 전계 효과 박막 트랜지스터가 각 트랜지스터(Tr46a 내지 Tr49a 및 Tr46b 내지 Tr49b)로서 적용될 수 있다. 이러한 경우에, 도 9에서 도시되는 바와 같이, 전류 유지/분배부(140B)는 표시 패널(110B)을 구성하는 절연 기판(베이스) 상에 픽셀 어레이와 일체형으로 형성될 수 있다.

또한, 각 래치부(142a 및 142b)에 위치하는 저장 커패시터스(Ce 및 Cf) 각각은 트랜지스터(Tr49a 및 49b) 각각의 게이트 및 소스 사이에 형성된 기생 커패시터스 또는 개별적으로 제공된 커패시터스 소자일 수 있다.

전류 유지/분배 회로(143)에서, 저장 커패시턴스(Ce 및 Cf)는 본 발명에 따른 신호 유지부 및 전하 저장 회로를 구성하고, 트랜지스터(Tr46a, Tr47a, Tr46b 및 Tr47)는 본 발명에 따른 신호 분배부를 구성하며, 트랜지스터(Tr48a, Tr49a, Tr48b 및 Tr49b)는 본 발명에 따른 계조 전류 출력부를 구성한다.

전술한 구성을 가지는 전류 유지/분배부의 발명이 이하에서 기술될 것이다.

도 11A 및 11B는 본 실시예에 적용될 수 있는 전류 유지/분배부의 일반적인 작동을 도시하는 개념도이다.

본 실시예에 따른 전류 유지/분배부(140B)(전류 유지/분배 회로(143))의 작동은 다음을 가진다: 전류 유지/분배 회로(143)의 각 래치부(143a 및 143b)에 의해 시계열로 전류 생성부로부터 공급된 2 행의 표시 픽셀에 해당하는 표시 데이터에 기초한 신호 전류(Ic)를 순차적으로 인출하고, 소정의 타이밍에 신호 전류(계조 신호)(Ic)에 기초하여 계조 전류(Ipix)를 생성하며 각 데이터선 그룹(DGj)을 구성하는 각 데이터선(DLja 및 DLjb)으로 계조 전류를 개별적으로 출력하는 전류 유지/출력 작동; 및 소정의 기간에 전류 유지/출력 작동의 계조 전류(Ipix)의 출력을 지속하는 전류 출력 유지 작동. 전류 유지/분배부(140B)는 병렬로 연결된 래치부(143a 및 143b) 사이에 일부 중복 기간을 가지고 전류 유지/출력 작동 및 전류 출력 유지 작동을 교대로 반복하도록 제어된다. 결과적으로, 전류 유지/출력 작동에 각 래치부(143a 및 143b)로부터의 계조 전류(Ipix)의 출력 기간은 부분적으로 중복되도록 설정된다.

작동이 전류 유지/분배부의 각 회로 구조를 참조하여 구체적으로 이하에서 기술될 것이다.

전류 유지/분배 회로(143)(래치부(143a 및 143b))에서, 시스템 제어기(150)로부터 데이터 제어 신호로서 공급되는 제 1 및 제 2 인출 신호(WTodd 및 WTenv)는 하이 레벨로 선택적으로 설정된다. 결과적으로 래치부(143a 및 143b) 중 하나(래치부(143a 또는 143b))는 신호 전류(Ic)가 인출되고 신호 전류(Ic)에 해당하는 계조 전류(Ipix)가 출력되는 전류 유지/출력 작동 상태로 설정되고, 다른 래치부(래치부(143b 또는 143a))는 앞선 타이밍에 전류 유지/출력 작동 상태의 계조 전류(Ipix)의 출력 상태가 지속되는 전류 출력 유지 작동 상태로 설정된다.

보다 상세하게는, 전류 유지/출력 작동에서, 도 11A에서 도시되는 바와 같이, 제 1 전류 인출 신호(WTodd)는 하이 레벨로 설정되고, 제 2 전류 인출 신호(WTenv)는 로우 레벨로 설정된다. 결과적으로, 래치부(143a)에서, 트랜지스터(Tr46a 및 Tr47a)는 on이 되고, 트랜지스터(Tr48a)의 게이트 및 드레인 사이의 부분은 트랜지스터(Tr47a)에 의해 전기적으로 단락되며, 그리하여 트랜지스터(Tr48a)는 포화 영역에서 on이 된다. 결과적으로, 전류 생성부(130)로부터 공급된 신호 전류(계조 신호)(Ic)는 래치부(143a)의 트랜지스터(Tr46a 및 Tr48a)를 통해 로우-전위 전압(-Vcc)측으로 흐르고, 신호 전류(Ic)의 전류 레벨은 트랜지스터(Tr48a)의 게이트 및 소스 사이의 전압 레벨로 변환되어, 신호 전류(Ic)는 저장 커패시턴스(Ce)에 전하로서 저장되도록 한다.

이 때, 저장 커패시턴스(Ce)의 전하의 저장으로, 전류 미러 회로를 구성하는 트랜지스터(Tr48a 및 Tr49a)는 접점(N47a)에서 전위의 증가로 on이 되고, 신호 전류(Ic)에 대하여 전류 미러 회로에서 설정된 소정의 전류비를 가진 계조 전류(Ipix)는 계조 전류(Ipix)가 데이터선(DLja)측으로부터 트랜지스터(Tr49a)를 통해 로우-전위 전압(-Vcc) 방향으로(즉, 표시 픽셀(EM)측으로부터 래치부(143a)로) 흐르게 되어지는 것과 같은 방식으로 흐른다.

전류 출력 유지 작동에서, 도 11B에서 도시되는 바와 같이, 제 1 전류 인출 신호(WTodd)는 로우 레벨로 설정되고, 제 2 전류 인출 신호(WTenv)는 하이 레벨로 설정된다. 결과적으로, 래치부(143a)에서, 트랜지스터(Tr46a 및 Tr47a)는 off가 된다. 이 때, 저장 커패시턴스(Ca)에 유지된 전하(신호 전류(Ic))에 기초한 전위(하이 전압)는 전류 유지/출력 작동에 의해 접점(N47a)에 유지되고, 트랜지스터(Tr49a)는 ON 상태를 유지한다. 결과적으로, 계조 전류(Ipix)가 데이터선(DLja)측으로부터 래치부(143a)(전류 유지/분배 회로(143))로 흐르게 되는 작동 상태는 유지된다.

또한, 제 1 전류 인출 신호(WTodd)는 로우 레벨로 설정되고 제 2 전류 인출 신호(WTenv)는 하이 레벨로 설정된 상태에서(즉, 전술한 래치부(143a)의 전류 출력 유지 작동 상태), 트랜지스터(Tr46b 및 Tr47b)는 on이 되고, 트랜지스터(Tr48b)의 게이트 및 드레인 사이의 부분은 트랜지스터(Tr47b)에 의해 전기적으로 단락되어, 트랜지스터(Tr48b)는 병렬로 래치부(143a)에 연결된 래치부(143b)에서 포화 영역에서 on이 된다. 그러므로, 전류 유지/출력 작동은 실행된다. 이러한 작동에서, 신호 전류(Ic)는 래치부(143b)의 트랜지스터(Tr46b 및 Tr48b)를 통해 로우-전위 전압(-Vcc)측으로 흐르고, 신호 전류(Ic)의 전류 레벨은 트랜지스터(Tr48b)의 게이트 및 소스 사이의 전압 레벨로 변환되어, 신호 전류(Ic)는 저장 커패시턴스(Cf)에 전하로서 저장되도록 한다. 또한, 전류 미러 회로를 구성하는 트랜지스터(Tr48b 및 Tr49b)는 접점

(N47b)에서 전위의 증가로 on이 되고, 신호 전류(Ic)에 대해 소정의 전류비를 가지는 계조 전류(Ipix)는 계조 전류(Ipix)가 트랜지스터(Tr49b)를 통해 데이터선(DLjb)측으로부터 로우-전위 전압(-Vcc)측으로(즉, 표시 픽셀(EM)측으로부터 래치부(143b)로) 흐르게 되는 방식으로 흐른다.

즉, 래치부(143a 및 143b) 중 하나가 전류 유지/출력 작동 상태로 설정되는 기간에, 다른 래치부는 동시에 전류 출력 유지 작동 상태로 설정된다.

표시 픽셀(EM)에 장치된 후술할 픽셀 구동 회로의 회로 구성과 대응하기 위하여, 전류 생성부(130)로부터 공급된 양의 극성을 가진 신호 전류(Ic)에 해당하는 음의 계조 전류(Ipix)가 생성되고 계조 전류(Ipix)는 전류 유지/분배부(140B)의 데이터선(표시 픽셀)측으로부터 흐르게 되는 예로서 기술되었다는 것이 주지되어야 한다. 그러나, 전류 유지/분배부(140B)는 양의 극성을 가진 계조 전류(Ipix)가 생성되고 표시 픽셀(EM)의 회로 구성에 따라 데이터선(표시 픽셀)으로 통과하는 구성을 가질 수 있다.

<표시 장치의 구동 제어 방법>

전술한 구성을 가진 표시 장치에서 구동 제어 작동이 이하에서 기술될 것이다.

도 12는 본 실시예에 따른 표시 장치의 구동 제어 방법을 도시하는 시계열도이다.

전술한 구성을 가진 표시 장치에서, 디지털 데이터를 구성하는 표시 데이터가 표시 신호 생성부(160)에 의해 비디오 신호로부터 우선 추출되고, 표시 데이터는 표시 패널(110B)을 구성하는 각 표시 픽셀(발광 소자)(EM)이 소정의 휘도 계조를 가지도록 사용되며, 추출된 표시 데이터는 표시 패널(110B)의 각 행에 해당하는 직렬 데이터로서 전류 생성부(130)로 순차적으로 공급된다.

전류 생성부(130)로 공급된 표시 데이터는 시스템 제어기(150)로부터 공급된 데이터 제어 신호에 기초한 타이밍에 표시 데이터에 해당하는 신호 전류(계조 신호)로 변환되고, 표시 패널(110B)에 배열된 각 열의 데이터선 그룹(DGj)에 따라 위치한 전류 유지/분배부(140B)로 출력된다.

전류 유지/분배부(140B)에서, 도 12에서 도시되는 바와 같이, 전류 유지/분배 회로(143)의 래치부(143a)는 시스템 제어기로부터 공급되는 데이터 제어 신호(하이 레벨의 제 1 전류 인출 신호(WTodd) 및 로우 레벨의 제 2 전류 인출 신호(WTenv))에 기초하여 전류 유지/출력 작동 상태로 설정된다. 결과적으로, 전류 유지/분배 작동은 실행된다. 이러한 작동에서, 각 열의 1 행(예를 들면, 제 1 행)에 대한 표시 픽셀(EM)에 해당하는 신호 전류(Ic)가 인출되고, 신호 전류(Ic)에 기초한 전하가 저장 커패시턴스(Ce)에 저장된다. 동시에, 소정의 전류치를 가지는 계조 전류(Ipix)가 저장 커패시턴스(Ce)에 저장된 전하 및 전류 미리 회로(트랜지스터(Tr48a 및 Tr49a))에 의해 설정된 전류비에 기초하여 생성되고, 생성된 계조 전류(Ipix)는 각 데이터선(DLja)을 통해 이 행(제 1 행)의 각 표시 픽셀(EM)로 공급된다.

이어서, 전류 유지/출력 작동 이후, 전류 유지/분배 회로(143)의 래치부(143a)는 시스템 제어기(150)로부터 공급되는 데이터 제어 신호(로우 레벨의 제 1 전류 인출 신호(WTodd) 및 하이 레벨의 제 2 전류 인출 신호(WTenv))에 기초하여 전류 출력 유지 작동 상태에 설정된다. 결과적으로, 전류 출력 유지 작동이 실행된다. 이러한 작동에서, 저장 커패시턴스(Ce)에 저장된 전하(즉, 신호 전류(Ic))에 기초한 계조 전류(Ipix)가 래치부(143a)의 각 데이터선(DLja)을 통해 이 행(제 1 행)의 각 표시 픽셀(EM)로 연속적으로 공급된다.

반면에, 도 12에서 도시되는 바와 같이, 래치부(143a)에서, 전류 출력 유지 작동이 실행되는 기간에, 전류 유지/분배 회로(143)의 래치부(143a)는 시스템 제어기(150)로부터 공급된 데이터 제어 신호(로우 레벨의 제 1 전류 인출 신호(WTodd) 및 하이 레벨의 제 2 전류 인출 신호(WTenv))에 기초하여 전류 유지/출력 작동에 설정된다. 결과적으로, 전류 유지/출력 작동이 실행된다. 이러한 작동에서, 전류 생성부(130)로부터 연속적으로 공급된 다음 행(예를 들면, 제 2 행)에 대한 신호 전류(Ic)가 래치부(143b)로 인출되고, 전하는 저장 커패시턴스(Cf)에 저장된다. 동시에, 소정의 전류치를 가지는 계조 전류(Ipix)가 저장 커패시턴스(Cf)에 저장된 전하 및 전류 미리 회로(트랜지스터(Tr48b 및 Tr49b))에 의해 설정된 전류비에 기초하여 생성되고, 생성된 계조 전류(Ipix)는 이 행(제 2 행)의 각 표시 픽셀(EM)로 공급된다.

그리고, 래치부(143a)에서 전류 출력 유지 작동 이후, 시스템 제어기(150)는 다시 제 1 전류 인출 신호(WTodd)를 하이 레벨로 그리고 제 2 인출 신호(WTenv)를 로우 레벨로 설정한다. 결과적으로, 래치부(143a)는 다시 전류 유지/출력 작동 상태로 설정된다. 결과적으로, 전류 유지/출력 작동은 실행된다. 이러한 작동에서, 다음 행(예를 들면, 제 3 행)에 대한 신호

전류(Ic)에 기초한 전하가 저장 커패시턴스(Ce)에 저장된다. 동시에, 저장 커패시턴스(Ce)에 저장된 전하 및 전류 미러 회로에 의해 설정된 전류비에 기초한 계조 전류(Ipix)가 각 데이터선(DLja)을 통해 이 행(제 3 행)의 각 표시 픽셀(EM)로 공급된다.

또한, 이 때, 전류 유지/분배부(143)의 래치부(142b)가 전류 출력 유지 작동 상태로 설정된 때, 전류 출력 유지 작동이 실행된다. 이러한 작동에서, 앞선 타이밍에 저장 커패시턴스(Cf)에 저장된 전하에 기초한 계조 전류(Ipix)가 각 데이터선(DLjb)을 통해 전류 유지/출력 작동의 목표인 행(제 2 행)의 표시 픽셀로 공급된다.

결과적으로, 전류 유지/분배부(140B)에서, 전류 유지/출력 작동 및 전류 출력 유지 작동을 동시에 실행하는 제어가 각 열에 따라 위치한 각 전류 유지/분배 회로(143)를 구성하는 2 스테이지의 래치부(143a 및 143b) 사이에서 소정의 작동 주기로 교대로 반복된다. 결과적으로, 전류 생성부(130)로부터 순차적으로 공급된 각 행의 표시 데이터에 해당하는 신호 전류(Ic)가 전류 유지 회로에 연속적으로 인출되고 유지되며, 신호 전류(Ic)가 계조 신호(Ipix)로서 각 행의 표시 픽셀로 동시에 공급되는 작동이 실행된다.

그러므로, 계조 전류(Ipix)는 각 열의 데이터선 그룹(DLj)을 통해 전류 유지/분배부(140B)로부터 출력되고, 하이 레벨의 주사 신호(Vsel)가 소정의 기간 동안 중복 방식으로 시스템 제어기(150)로부터 공급되는 주사 제어 신호에 기초한 타이밍에 주사 구동기(120)로부터 적어도 인접한 주사선(SLq)으로 인가된다. 결과적으로, 각 데이터선 그룹(DLj)의 데이터선(DLja 및 DLjb)을 통해 순차적으로 공급된 계조 전류(Ipix)는 각 주사선(SLi)에 해당하는 복수의 행(예를 들면, 제 1 행 및 제 2 행을 포함하는 2 행)의 표시 픽셀(EM)에 기록되고, 발광 작동이 계조 전류(Ipix)에 기초한 소정의 휘도 계조로 실행된다.

전술한 바와 같이, 본 실시예에서, 소정의 기간에 중복 방식으로 주사 구동기로부터 2차원으로 배열된 복수의 표시 픽셀을 가진 표시 패널의 적어도 인접한 주사선으로 주사 신호를 인가하여, 각 행의 표시 픽셀은 선택 상태로 순차적으로 설정되고, 각 행의 표시 픽셀에 해당하는 표시 데이터는 주사 구동기에 의해 각 래치부에 순차적으로 인출되며 유지된다. 동시에, 각 행의 계조 전류는 각 표시 픽셀로 순차적으로 공급된다. 그러므로, 표시 데이터에 기초한 계조 전류는 각 행의 데이터선 그룹을 구성하는 수 개의 데이터선에 해당하는 래치부를 포함하는 단순한 구조로 복수의 행의 표시 픽셀에 동시에 기록될 수 있어, 계조 전류 기록 시간을 실질적으로 길게 설정한다.

보다 상세하게는, 도 9에서 도시되는 바와 같이, 각 열에 배열된 데이터선 그룹이 2 개의 데이터선을 포함하고 2 개의 래치부가 각 데이터선 그룹에 따라 전류 유지/분배부에 위치하는 구성에서, 주사 기간에 의해 특정 행의 표시 픽셀을 선택하는 기간의 1/2인 기간을 다음 열의 표시 픽셀을 선택하는 기간과 중복하도록 설정하는 것이 가능하다. 즉, 선택 기간을 데이터선 그룹을 구성하는 데이터선의 수에 해당하는 기간에만 인접한 행에 중복하도록 설정하는 것이 가능하다.

또한, 제 1 실시예에서와 같이, 각 열의 데이터선 그룹을 구성하는 복수의 데이터선 각각에 연결된 표시 픽셀의 수는 1 데이터선이 1 행에 배열된 주지된 표시 장치에 비교하여 크게 감소(본 실시예에서 1/2)될 수 있다. 그러므로, 표시 소자에 위치한 유지 커패시턴스 또는 구동 트랜지스터의 기생 커패시턴스를 구성하는 커패시턴스 부품은 감소될 수 있고, 그리하여 표시 소자의 데이터선에 공급되는 계조 전류를 기록하기 위하여 요구되는 시간은 감소될 수 있거나 이러한 기록 시간의 지연은 억제될 수 있다.

본 실시예는 각 행의 표시 픽셀에 해당하는 표시 데이터가 신호 구동기에 의해 각 래치부에 인출되고 유지되며, 동시에 각 행에 대한 계조 전류가 생성되고 각 표시 픽셀로 순차적으로 공급되며, 그리하여 전류 유지/분배부(래치부)에서 래치 작동이 신속하게 실행되어야 하는 방식으로 구성된 것이 주지되어야 한다. 래치 작동의 타이밍이 신호 지연 등에 기인하여 일탈하는 경우, 표시 작동이 차단되는 가능성이 있다.

그러므로, 본 실시예에서, 전류 유지/분배 회로(래치부)에서 표시 데이터(신호 전류)의 래치 작동은 작은 전류로 신속하게 수행되고, 전류 미러 회로 구성은 각 데이터선에 대한 출력 스테이지에 적용된다. 결과적으로, 계조 전류의 전류치(절대치)는 큰 전류치를 획득하기 위해 단순하게 제어될 수 있고, 래치 작동에서 지연은 억제될 수 있다.

전술한 바와 같이, 도 9에서, 전류 유지/분배부(140B)의 각 전류 유지/분배 회로(143A)를 구성하는 복수의 트랜지스터 각각은 무정형 실리콘 반도체층이 채널층인 n-채널형 전계 효과 박막 트랜지스터 또는 폴리실리콘 반도체층이 채널층인 전계 효과 박막 트랜지스터를 포함하고, 이러한 전류 유지/분배부(140B)는 표시 패널(110B)을 구성하는 복수의 표시 픽셀(EM)이 형성된 절연 기판(베이스) 상에 픽셀 어레이와 일체로 형성된다. 그러나, 본 발명은 이러한 구성에 제한되지 않는다.

예를 들면, 본 발명은 전류 생성부 및 전류 유지/분배부를 포함하는 신호 구동기가 독립된 구동기 칩이고 이러한 구동기 칩이 표시 패널의 기판 상에 탑재된 구조를 가질 수 있다.

이러한 경우의 구조의 예가 이하에서 간략하게 기술될 것이다.

도 13은 본 발명에 따른 표시 장치의 제 2 실시예의 다른 구조의 예의 주요부를 도시하는 개략적인 구조도이다.

여기에서, 앞선 구조의 예와 같은 구조는 유사하거나 같은 참조 번호로 표시되어, 설명을 단순하게 할 것이다.

도 13에서, 전류 유지/분배부(140B) 및 전류 생성부(130)를 포함하는 신호 구동기(200C)가 독립 구동 칩으로서 구성된다. 여기에서, 도 13의 전류 유지/분배 회로(143)는, 예를 들면, 단결정 실리콘 기판 상에 형성된 복수의 전계 효과 트랜지스터 등을 포함한다. 이러한 신호 구동기(200C)를 구성하는 구동 칩은 표시 패널(110B)을 구성하는 기판(베이스) 상에 탑재되도록 구성된다.

<표시 픽셀의 구체적인 회로 예>

본 발명에 따른 표시 장치에 적용될 수 있는 표시 픽셀의 구체적인 회로 예가 첨부한 도면을 참조하여 이하에서 기술될 것이다.

도 14는 본 발명에 따른 표시 장치에 적용될 수 있는 표시 장치의 구체적인 회로 예를 도시하는 회로 블록도이다.

도 15A 및 15B는 본 실시예에 따른 픽셀 구동 회로의 구동 제어 작동을 도시하는 개념도이다.

도 16은 본 실시예에 따른 표시 픽셀이 적용되는 표시 장치의 구조의 예를 도시하는 개략적인 블록도이다.

도 17은 본 실시예에 따른 표시 픽셀이 적용되는 표시 장치의 다른 구조의 예를 도시하는 개략적인 블록도이다.

도 14에서 도시되는 바와 같이, 표시 픽셀(EM')(표시 픽셀(EM) 및 제 1 실시예와 연관되어 기술된 선택 트랜지스터(Trsel)를 포함하는 구조)은 일반적으로 다음을 가지도록 구성된다: 주사 구동기(120A 또는 120B)로부터 인가되는 주사 신호(Vsel)에 기초하여 표시 픽셀(EM')을 선택 상태로 설정하고, 선택 상태에 전류 유지/분배부(140A 또는 140B)로부터 공급되는 계조 전류(Ipix)를 인출하며, 계조 전류(Ipix)에 해당하는 구동 전류를 발광 소자로 통과시키는 픽셀 구동 회로(DC); 및 픽셀 구동 회로(DC)로부터 공급되는 구동 전류에 기초한 소정의 휘도 계조로 발광하는 EL 소자 또는 OEL 소자를 포함하는 전류 제어형 발광 소자.

예를 들면, 도 14에서 도시되는 바와 같이, 픽셀 구동 회로(DC)는 다음을 포함한다: 제어 단자(게이트 단자)가 주사선(SLi)(앞선 실시예 각각에 관련하여 기술된 주사선 그룹(SGi)를 구성하는 주사선(SLiA, 및 SLiB 또는 SLiQ)에 해당)에 연결되고 전류 경로(소스-드레인)는 전력 공급선(VL) 및 접점(N11)에 연결된 n-채널형 트랜지스터(Tr11); 제어 단자는 주사선(SLi)에 연결되고 전류 경로는 데이터선(DLj)(앞선 실시예 각각에 관련하여 기술된 데이터선 그룹(DGj)을 구성하는 각 데이터선(DLjA 및 DLjB)) 및 접점(N12)에 연결되는 n-채널형 트랜지스터(Tr12); 제어 단자는 접점(N11)에 연결되고 전류 경로는 전력 공급선(VL) 및 접점(N12)에 연결되는 n-채널형 트랜지스터(Tr13); 및 접점(N11) 및 접점(N12) 사이에 연결되는 커패시터(유지 커패시턴스)(Cs). 유기 EL 소자(OEL)의 아노드 단자는 접점(N12)에 연결되고, 캐소드 단자는 접지 단자에 연결된다. 여기에서, 커패시터(Cs)는 트랜지스터(Tr13)의 게이트 및 소스 사이에 형성된 기생 커패시턴스일 수 있다. 또한, 트랜지스터(Tr12)는 앞선 실시예 각각에 관련하여 기술된 선택 트랜지스터(Trsel)에 해당한다.

이러한 구성을 가지는 픽셀 구동 회로(DC)의 발광 소자(유기 EL 소자(OEL))의 발광 구동 제어는, 예를 들면, 표시 픽셀의 선택 상태가 소정의 기간에 중복되도록 1 주기로서의 1 주사 기간(Tsc) 내의 선택 상태의 복수의 행의 표시 픽셀(EM')을 동시에 설정하고, 표시 데이터에 해당하는 구동 전류(Ipix)가 전압 성분으로서 기록되고 유지되는 선택 기간(기록 작동 기간)(Tse) 및 표시 데이터에 해당하는 구동 전류가 소정의 휘도 계조로 발광하기 위해 선택 기간(Tse)에 기록되고 유지된 전압 성분에 기초하여 유기 EL 소자로 공급되는 비-선택 기간(발광 작동 기간)(Tnse)을 설정하여(Tsc = Tse + Tnse), 실행된다.

(선택 기간)

즉, 표시 픽셀(EM')에 대한 선택 기간(T_{se})에, 복수의 행의 표시 픽셀(EM')은 우선 주사 구동기로부터 특정 주사선(SLi)으로 하이 레벨의 주사 신호(V_{sel})를 인가하여 동시에(또는 소정의 기간에 중복되게) 선택 상태가 되고, 동시에, 로우 레벨의 전력 공급 전압(V_{sc})이 복수의 행의 표시 픽셀의 전력 공급선(VL)으로 인가된다. 또한, 이러한 타이밍에 동조하여, 복수의 행의 표시 픽셀(EM')의 표시 데이터에 해당하는 음의 극성을 가지는 게조 전류(I_{pix})가 전류 유지/분배부로부터 각 데이터 선(DLj)으로 공급된다.

결과적으로, 도 15A에 도시되는 바와 같이, 픽셀 구동 회로(DC)를 구성하는 트랜지스터(Tr_{11} 및 Tr_{12})는 on이 되고, 로우 레벨의 전력 공급 전압(V_{sc})이 접점(N11)(즉, 트랜지스터(Tr_{13})의 게이트 단자 및 커패시터(Cs)의 일단)에 인가된다. 또한, 데이터선(DL)을 통해 전류 유지/분배부로 게조 전류(I_{pix})를 흐르게 하는 작동은 수행된다. 결과적으로, 전위가 로우 레벨의 전력 공급 전압(V_{sc})보다 낮은 전압 레벨이 접점(N12)(즉, 트랜지스터(Tr_{13})의 소스 단자 및 커패시터(Cs)의 타단)에 인가된다.

이러한 방식으로, 전위차가 접점(N11 및 N12) 사이에서(트랜지스터(Tr_{13})의 게이트 및 소스 사이에서) 생성된다. 결과적으로, 트랜지스터(Tr_{13})는 on이 되고, 게조 전류(I_{pix})에 해당하는 기록 전류(I_a)가 트랜지스터(Tr_{13}), 접점(N12), 트랜지스터(Tr_{12}) 및 데이터선(DL)을 통해 전력 공급선(VL)로부터 전류 유지/분배부로 흐른다.

이 때, 접점(N11 및 N12) 사이에서(트랜지스터(Tr_{13})의 게이트 및 소스 사이에서) 생성된 전위차에 해당하는 전하가 커패시터(Cs)에 저장되고, 전압 성분으로서 유지(충전)된다. 또한, 접지 전위보다 크지 않은 전압 레벨을 가진 전력 공급 전압(V_{sc})이 전력 공급선(VL)으로 인가되고, 기록 전류(I_a)는 데이터선(DL)의 방향으로 흐르도록 제어된다. 그러므로, 유기 EL 소자의 아노드 단자(접점(N12))에 인가되는 전위는 캐소드 단자의 전위(접지 전위)보다 낮게 되고, 역방향 바이어스 전압이 유기 EL 소자(OEL)에 인가된다. 그러므로, 구동 전류는 유기 EL 소자(OEL)를 통해 흐르지 않고, 발광 작동은 수행되지 않는다.

(비-선택 기간)

이어서, 선택 기간(T_{se})의 완료 후 비-선택 기간(T_{nse})에, 복수의 행의 표시 픽셀이 비-선택 상태로 설정되도록 로우 레벨의 주사 신호(V_{sel})가 주사 구동기로부터 특정 주사선(SLi)으로 인가되고, 하이 레벨의 전력 공급 전압(V_{sc})이 복수의 행의 표시 픽셀의 전력 공급선(VL)으로 인가된다. 또한, 이러한 타이밍에 동조하여, 전류 유지/분배부에 의해 게조 전류(I_{pix})를 흐르게 하는 작동이 중지된다.

결과적으로, 도 15B에 도시되는 바와 같이, 픽셀 구동 회로(DC)를 구성하는 트랜지스터(Tr_{11} 및 Tr_{12})는 off가 되고, 접점(N11)(즉, 트랜지스터(Tr_{13})의 게이트 단자 및 커패시터(Cs)의 일단)으로 전력 공급 전압(V_{sc})의 인가는 중단된다. 또한, 전류 유지/분배부에 의해 게조 전류(I_{pix})를 흐르게 하는 작동에 기인한 접점(N12)(즉, 트랜지스터(Tr_{13})의 소스 단자 및 커패시터(Cs)의 타단)으로 전압 레벨의 인가는 중단된다. 그러므로, 커패시터(Cs)는 선택 기간에 저장된 전하를 유지한다.

커패시터(Cs)가 이러한 방식으로 기록 작동의 전하 전압을 유지할 때, 접점(N11 및 N12) 사이에서(트랜지스터(Tr_{13})의 게이트 및 소스 사이에서) 전위차는 유지되고, 그리하여 트랜지스터(Tr_{13})은 ON 상태를 유지한다. 또한, 접지 전위보다 높은 전압 레벨을 가진 전력 공급 전압(V_{sc})이 전력 공급선(VL)으로 인가되기 때문에, 유기 EL 소자(OEL)의 아노드 단자(접점(N12))로 인가되는 전위는 캐소드 단자의 전위(접지 전위)보다 높게 된다.

그러므로, 소정의 구동 전류(I_b)가 트랜지스터(Tr_{13}) 및 접점(N12)을 통해 순방향 바이어스 방향으로 전력 공급선(VL)으로부터 유기 EL 소자(OEL)로 흐르고, 유기 EL 소자(OEL)는 발광한다. 여기에서, 커패시터(Cs)에 의해 유지된 전위차(전하 전압)는 트랜지스터(Tr_{13})에서 게조 전류(I_{pix})에 해당하는 기록 전류(I_a)를 통과시키는 경우의 전위차에 해당하기 때문에, 유기 EL 소자(OEL)로 통과하는 구동 전류(I_b)는 기록 전류(I_a)와 같은 전류치를 가진다.

결과적으로, 선택 기간(T_{se}) 이후 비-선택 기간(T_{nse})에, 구동 전류는 선택 기간(T_{se})에 기록된 표시 데이터(게조 전류(I_{pix}))에 해당하는 전압 성분에 기초하여 트랜지스터(Tr_{13})를 통해 연속적으로 공급되고, 유기 EL 소자(OEL)는 표시 데이터에 해당하는 휘도 계조로 발광하는 작동을 지속한다.

그리고, 전술한 일련의 작동은 전술한 표시 장치의 구동 제어 방법에 기초하여 표시 패널(110A 및 110B)을 구성하는 모든 주사선(SLi)에 대해 순차적으로 반복하여 실행된다. 결과적으로, 표시 패널의 1 스크린에 대한 표시 데이터는 기록되고, 소정의 휘도 계조로 발광하며, 원하는 영상 정보가 표시된다.

여기에서, 본 실시예에 따른 영상 구동 회로(DC)에서, 트랜지스터(Tr11 내지 Tr13)는 같은 채널 극성을 가진 트랜지스터(n-채널형)를 사용하여 구성될 수 있기 때문에, 전류 유지/분배부(전류 분배 회로, 전류 유지 회로, 및 전류 유지/분배 회로)(140A 및 140B)의 회로 구성에서처럼 무정형 실리콘층이 채널층인 n-채널형 전계 효과 박막 트랜지스터 또는 폴리실리콘층이 채널층인 전계 효과 박막 트랜지스터를 적용하는 것이 가능하다. 이러한 경우에, 전류 유지/분배부(140A 및 140B) 및 표시 패널(110A 및 110B)는 단일 절연 기관 상에 일체로 형성될 수 있다. 보다 상세하게는, 표시 패널 및 전류 유지/분배부가 무정형 실리콘 반도체층을 사용하는 n-채널형 전계 효과 박막 트랜지스터를 적용하여 구성되었을 때, 안정된 작동 특성을 가지는 전계 효과 박막 트랜지스터는 기존의 무정형 실리콘 제조 방법을 적용하여 상대적으로 저렴하게 제조될 수 있다. 그러므로, 표시 패널의 고해상도가 실현되거나 표시 패널의 크기가 증가하는 경우에도, 고화질 표시 영상을 가지는 표시 장치가 쉽고 우수하게 실현될 수 있다.

여기에서, 본 실시예에 따라 픽셀 구동 회로(DC)의 전력 공급선(VL)으로 소정의 전력 공급 전압(Vcs)을 공급하는 구성으로서, 도 2에 묘사된 구성에 대하여, 예를 들면 도 16에서 도시되는 바와 같이, 각 전력 공급선 그룹(VGi)에 연결된 전력 공급 구동(170A)이 전력 공급선(VLi_a 및 VLi_b)를 포함하는 각 전력 공급선 그룹(VGi)이 각 주사선 그룹(SGi)의 각 주사선(SLi_a 및 SLi_b)에 병렬로 배열된 표시 패널(110C)의 주변 영역에 위치하고, 소정의 전압치를 가지는 전력 공급 전압(Vcs)이 주사 신호(Vsel)를 주사 구동기(120A)로부터 출력하는 타이밍에 동조하여 시스템 제어기(150)로부터 공급되는 전력 공급 제어 신호에 기초하여 전력 공급 구동기(170A)로부터 각 전력 공급선 그룹(VGi)으로 공급되는, 구성을 우수하게 적용하는 것이 가능하다.

또한, 도 13에 묘사된 구성에 대하여, 예를 들면 도 17에서 도시되는 바와 같이, 각 전력 공급선(VLi)에 연결된 전력 공급 구동기(170B)가 각 전력 공급선(VLi)이 각 행의 각 주사선(SLi)에 병렬로 배열된 표시 패널(110D)의 주변 영역에 위치하고, 소정의 전압치를 가지는 전력 공급 전압(Vcs)이 주사 신호(Vsel)를 주사 구동기(120B)로부터 출력하는 타이밍에 동조하여 시스템 제어기(150)로부터 공급되는 전력 공급 제어 신호에 기초하여 전력 공급 구동기(170B)로부터 각 전력 공급선(VLi)으로 인가되는, 구성을 우수하게 적용하는 것이 가능하다.

산업상 이용 가능성

픽셀 구동 회로(DC)로서 3 개의 트랜지스터를 포함하고 계조 전류(I_{pix})를 표시 픽셀(EM')의 데이터선(DLj)을 통해 전류 유지/분배부의 방향(즉, 신호 구동기의 방향)으로 흐르게 하는 전류 인가 계획에 해당하는 회로 구성으로서 기술되었지만, 본 발명은 본 실시예에 제한되지 않는다는 것이 주지되어야 한다. 표시 장치가 발광 소자로 구동 전류의 공급을 제어하는 발광 제어 트랜지스터 및 계조 전류 기록 작동을 제어하는 기록 제어 트랜지스터를 가지고, 표시 데이터에 해당하는 계조 전류(기록 전류)를 유지하며 계조 전류를 공급하기 위해 계조 전류에 해당하는 발광 제어 트랜지스터를 on시키고, 그리하여 발광 소자가 소정의 휘도 계조로 발광하도록 허락하는 한, 적어도 전류 인가 모드가 적용되는 픽셀 구동 회로를 포함하고 다른 회로 구성을 가지는 표시 장치를 사용하는 것이 가능하다. 예를 들면, 본 발명은 4 개의 트랜지스터를 포함하는 회로 구성을 가질 수 있거나, 데이터선을 통해 전류 유지/분배부측(즉, 신호 구동기측)으로부터 표시 픽셀(픽셀 구동 회로) 방향으로 계조 전류를 통과시키는 회로 구성을 가질 수 있다.

또한, 앞선 실시예에서 유기 EL 소자가 표시 픽셀을 구성하는 발광 소자로서 적용되는 구성에 대하여 기술되었지만, 본 발명에 따른 표시 장치는 이에 제한되지 않는다. 공급된 구동 전류의 전류치에 따라 소정의 휘도 계조로 발광하는 전류 제어형 발광 소자인 한, 전술한 유기 EL 소자와 마찬가지로, 예를 들면, 발광 다이오드 또는 다른 발광 소자를 우수하게 적용하는 것이 가능하다.

(57) 청구의 범위

청구항 1.

표시 데이터에 기초하여 표시 패널을 구성하는 복수의 2차원 배열 표시 픽셀을 구동하는 표시 구동 장치로서,

적어도 서로 중복 기간을 가진 선택 상태에 상기 표시 패널의 복수의 특정 행의 상기 표시 픽셀을 설정하는 선택 회로;

상기 표시 데이터에 기초하여 각 표시 픽셀의 휘도 계조를 제어하는 계조 신호를 생성하는 계조 신호 생성 회로; 및

상기 복수의 특정 행의 상기 표시 픽셀에 해당하는 신호 전류를 인출하고, 상기 선택 회로에 의해 상기 표시 픽셀을 상기 선택 상태로 설정하는 타이밍에 따라 상기 계조 신호에 기초한 전류치를 가지는 계조 전류를 상기 복수의 특정 행의 상기 표시 픽셀로 공급하는 전류 기록 회로;를 적어도 포함하는 것을 특징으로 하는 표시 구동 장치.

청구항 2.

제 1 항에 있어서, 적어도 상기 전류 기록 회로는 상기 표시 패널로부터 독립적인 구조를 가지는 것을 특징으로 하는 표시 구동 장치.

청구항 3.

제 1 항에 있어서, 적어도 상기 전류 기록 회로는 상기 표시 패널에 일체로 형성된 것을 특징으로 하는 표시 구동 장치.

청구항 4.

제 1 항에 있어서, 적어도 상기 전류 기록 회로는 각각이 단일 채널 극성을 가지고 채널층으로서 결정되는 무정형 실리콘층을 가지는 복수의 전계 효과 박막 트랜지스터를 가지는 것을 특징으로 하는 표시 구동 장치.

청구항 5.

제 1 항에 있어서, 적어도 상기 전류 기록 회로는 각각이 채널층으로 결정되는 폴리실리콘층을 가진 복수의 전계 효과 박막 트랜지스터를 가지는 것을 특징으로 하는 표시 구동 장치.

청구항 6.

제 1 항에 있어서, 상기 계조 신호 생성 회로는 상기 계조 신호로서 상기 표시 픽셀로 상기 표시 데이터에 해당하는 휘도 계조를 제공하는 신호 전류를 생성하는 것을 특징으로 하는 표시 구동 장치.

청구항 7.

제 1 항에 있어서, 상기 전류 기록 회로는 전류 극성이 상기 전류 생성부로부터 공급되는 상기 신호 전류로부터 역전되는 상기 계조 회로를 생성하고 출력하기 위한 수단을 가지는 것을 특징으로 하는 표시 구동 장치.

청구항 8.

제 1 항에 있어서, 상기 선택 회로는 단일 선택 신호에 기초하여 상기 선택 상태의 상기 표시 패널의 상기 복수의 특정 행의 상기 표시 픽셀을 동시에 설정하기 위한 수단을 가지고,

상기 전류 기록 회로는 상기 선택 신호에 의해 상기 표시 픽셀을 상기 선택 상태로 설정하는 상기 타이밍에 따라 상기 계조 전류를 상기 복수의 특정 행의 상기 표시 픽셀로 동시에 공급하기 위한 수단을 가지는 것을 특징으로 하는 표시 구동 장치.

청구항 9.

제 8 항에 있어서, 상기 계조 신호 생성 회로는 시계열로 상기 복수의 특정 행의 상기 표시 픽셀의 각 열의 상기 복수의 표시 픽셀에 해당하는 상기 계조 신호를 상기 전류 기록 회로로 순차적으로 공급하기 위한 수단을 가지고,

상기 전류 기록 회로는:

상기 시계열 공급의 상기 타이밍에 각 열의 상기 복수의 표시 픽셀에 따라 상기 계조 신호 생성 회로에 의해 공급된 상기 계조 신호를 순차적으로 분배하는 복수의 신호 분배 회로; 및

상기 신호 분배부에 의해 분배된 상기 계조 신호를 개별적으로 유지하고, 상기 계조 전류로서 상기 유지된 계조 신호에 기초한 전류치를 가지는 전류를 상기 복수의 특정 행의 상기 표시 픽셀로 동시에 공급하는 복수의 전류 유지 회로를 가지고,

상기 신호 분배 회로 및 상기 전류 유지 회로는 상기 복수의 특정 행의 상기 표시 픽셀의 각 열에 따라 위치하는 것을 특징으로 하는 표시 구동 장치.

청구항 10.

제 9 항에 있어서, 각 전류 유지 회로는 복수의 스테이지의 신호 유지/출력부를 가지고, 상기 신호 유지/출력부는: 상기 복수의 특정 행의 상기 표시 픽셀의 각 열의 상기 복수의 표시 픽셀 각각에 따라 상기 신호 분배 회로에 의해 분배된 신호 전류를 유지하는 신호 유지부; 및 상기 신호 유지부의 상기 신호 전류에 해당하는 전류를 상기 계조 전류로서 출력하는 계조 전류 출력부를 포함하고,

상기 복수의 스테이지의 상기 신호 유지/출력부 중 하나의 스테이지의 상기 신호 유지부에 의해 상기 신호 전류를 인출하고 유지하는 작동, 및 다른 스테이지의 상기 계조 전류 출력부로부터 상기 계조 전류를 출력하는 작동은 동시에 실행되는 것을 특징으로 하는 표시 구동 장치.

청구항 11.

제 10 항에 있어서, 상기 신호 유지부는 상기 신호 전류에 기초하여 전하를 저장하고 상기 전하를 전압 성분으로서 유지하는 전하 저장 회로를 포함하는 것을 특징으로 하는 표시 구동 장치.

청구항 12.

제 10 항에 있어서, 상기 계조 전류 출력부는 상기 계조 신호 생성 회로로부터 공급된 상기 계조 신호에 해당하는 전류치에 대해 소정의 전류비를 가지는 전류치를 가지는 전류를 상기 계조 전류로서 생성하고 출력하는 전류 미러 회로 구성을 가지는 것을 특징으로 하는 표시 구동 장치.

청구항 13.

제 1 항에 있어서, 상기 선택 회로는, 상기 선택 상태의 각 행의 상기 표시 픽셀을 설정하는 선택 신호를 상기 중복 기간을 가진 상기 표시 패널의 상기 복수의 특정 행의 각각으로 순차적으로 인가하고, 그리하여 상기 중복 기간을 가진 상기 선택 상태의 상기 복수의 특정 행에 해당하는 상기 표시 픽셀을 순차적으로 설정하기 위한 수단을 가지는 것을 특징으로 하는 표시 구동 장치.

청구항 14.

제 13 항에 있어서, 상기 전류 기록 회로는 상기 선택 회로에 의해 상기 선택 신호를 인가하는 타이밍에 상기 중복 기간을 가진 상기 복수의 특정 행 각각으로 상기 계조 전류를 순차적으로 공급하기 위한 수단을 가지는 것을 특징으로 하는 표시 구동 장치.

청구항 15.

제 13 항에 있어서, 상기 계조 신호 생성 회로는 시계열로 상기 복수의 특정 행의 상기 표시 픽셀의 각 열의 상기 복수의 표시 픽셀에 해당하는 상기 계조 신호를 상기 전류 기록 회로로 순차적으로 공급하기 위한 수단을 가지고,

상기 전류 기록 회로는, 상기 복수의 특정 행의 상기 표시 픽셀의 각 열에 따라 위치하고, 시계열 공급의 상기 타이밍에 따라 상기 계조 신호 생성 회로로부터 공급된 상기 계조 신호를 순차적으로 유지하며, 상기 복수의 특정 행 각각으로 상기 계조 신호에 기초한 전류치를 가지는 전류를 상기 계조 전류로서 순차적으로 공급하는, 복수의 전류 유지 회로를 포함하는 것을 특징으로 하는 표시 구동 장치.

청구항 16.

제 15 항에 있어서, 상기 전류 유지 회로 각각은,

시계열 공급의 상기 타이밍에 따라 상기 신호 전류를 분배하는 신호 분배부; 및

상기 복수의 특정 행의 상기 표시 픽셀의 각 열의 상기 복수의 표시 픽셀에 따라 복수의 전류 유지/출력부를 포함하고, 상기 전류 유지/출력부 각각은: 상기 신호 분배부에 의해 분배된 상기 신호 전류를 유지하는 신호 유지부; 및 상기 신호 유지부에 유지된 상기 신호 전류에 해당하는 전류를 상기 계조 전류로서 출력하는 계조 전류 출력부를 가지며,

상기 전류 유지/출력부 중 하나의 상기 계조 전류 출력부에 의해 상기 신호 유지부에 유지된 상기 신호 전류에 기초하여 상기 계조 신호를 출력하는 작동, 및 다른 전류 유지/출력부의 상기 신호 유지부에서 상기 신호 분배부에 의해 분배된 상기 신호 전류를 유지하고 상기 계조 전류 출력부에 의해 상기 신호 유지부에 유지된 상기 신호 전류에 기초한 상기 계조 전류를 출력하는 작동은, 상기 중복 기간에 동시에 실행되도록 제어되는 것을 특징으로 하는 표시 구동 장치.

청구항 17.

제 16 항에 있어서, 상기 신호 유지부는 상기 신호 전류에 기초하여 전하를 저장하고 전하를 전압 성분으로서 유지하는 전하 저장 회로를 포함하는 것을 특징으로 하는 표시 구동 장치.

청구항 18.

제 16 항에 있어서, 상기 계조 전류 출력부는 상기 계조 신호 생성 회로로부터 공급된 상기 계조 신호에 해당하는 전류치에 대해 소정의 전류비를 가지는 전류치를 가지는 전류를 상기 계조 전류로서 생성하고 출력하는 전류 미러 회로 구성을 가지는 것을 특징으로 하는 표시 구동 장치.

청구항 19.

표시 데이터에 기초한 영상 정보를 표시하는 표시 장치로서, 상기 표시 장치는:

행 방향으로 배열된 복수의 주사선 및 열 방향으로 배열된 복수의 데이터선, 및 상기 복수의 주사선 및 상기 복수의 데이터선의 교점의 근처에 매트릭스 형태로 배열된 복수의 표시 픽셀을 가지는 표시 패널;

적어도 서로 중복되는 기간을 가진 선택 상태의 상기 표시 패널의 상기 복수의 주사선의 적어도 일부인 복수의 특정 주사선에 해당하는 상기 표시 픽셀을 설정하는 주사 구동기; 및

상기 표시 데이터가 공급되고 각각이 상기 표시 데이터에 기초하여 각 표시 픽셀의 휘도 계조를 제어하는 계조 신호를 생성하는 계조 신호 생성 회로, 및 상기 복수의 특정 주사선에 해당하는 상기 표시 픽셀에 해당하는 상기 신호 전류를 인출하고 상기 주사 구동기에 의해 상기 선택 상태의 상기 표시 픽셀로 설정하는 상기 타이밍에 따라 상기 복수의 특정 주사선에 해당하는 상기 표시 픽셀로 상기 계조 신호에 기초한 전류치를 가지는 계조 전류를 공급하는 전류 기록 회로를 포함하는 신호 구동기;를 적어도 포함하는 것을 특징으로 하는 표시 장치.

청구항 20.

제 19 항에 있어서, 적어도 상기 신호 구동기는 상기 표시 패널로부터 독립된 구성을 가지는 것을 특징으로 하는 표시 장치.

청구항 21.

제 19 항에 있어서, 상기 표시 패널 및 적어도 상기 신호 구동기의 상기 전류 기록 회로는 단일 절연 기관 상에 형성되는 것을 특징으로 하는 표시 장치.

청구항 22.

제 19 항에 있어서, 상기 신호 구동기의 상기 전류 기록 회로는 그 전류 극성이 상기 전류 생성부로부터 공급된 상기 신호 전류로부터 역전된 상기 계조 전류를 생성하고 출력하기 위한 수단을 가지는 것을 특징으로 하는 표시 장치.

청구항 23.

제 19 항에 있어서, 적어도 상기 전류 기록 회로는 각각이 단일 채널 극성을 가지고 채널층으로 결정되는 무정형 실리콘층을 가지는 복수의 전계 효과 박막 트랜지스터를 가지는 것을 특징으로 하는 표시 장치.

청구항 24.

제 19 항에 있어서, 적어도 상기 전류 기록 회로는 각각이 채널층으로 결정되는 폴리실리콘층을 가지는 전계 효과 박막 트랜지스터를 가지는 것을 특징으로 하는 표시 장치.

청구항 25.

제 19 항에 있어서, 상기 계조 신호 생성 회로는 상기 표시 데이터에 해당하는 휘도 계조를 상기 표시 픽셀로 제공하는 신호 전류를 상기 계조 신호로서 생성하는 것을 특징으로 하는 표시 장치.

청구항 26.

제 19 항에 있어서, 상기 표시 픽셀은:

상기 신호 구동기로부터 출력된 상기 계조 전류에 기초한 소정의 구동 전류를 생성하는 픽셀 구동 회로; 및

상기 구동 전류의 전류치에 기초한 소정의 휘도 계조로 발광하는 전류 제어형 발광 소자;를 포함하는 것을 특징으로 하는 표시 장치.

청구항 27.

제 26 항에 있어서, 상기 픽셀 구동 회로는 각각이 단일 채널 극성을 가지고 채널층으로서 결정된 무정형 실리콘층을 가지는 복수의 전계 효과 박막 트랜지스터를 가지는 것을 특징으로 하는 표시 장치.

청구항 28.

제 26 항에 있어서, 상기 표시 구동 회로는 각각이 채널층으로서 결정된 폴리실리콘층을 가지는 복수의 전계 효과 박막 트랜지스터를 가지는 것을 특징으로 하는 표시 장치.

청구항 29.

제 26 항에 있어서, 상기 발광 소자는 유기 전계 발광 소자인 것을 특징으로 하는 표시 장치.

청구항 30.

제 19 항에 있어서, 상기 표시 패널은 각각이 1 세트로 결정된 상기 복수의 데이터선 중 각 주사선 그룹의 상기 주사선의 수에 해당하는 복수의 데이터선을 가지는 복수의 데이터선 그룹을 가지는 것을 특징으로 하는 표시 장치.

청구항 31.

제 30 항에 있어서, 각 데이터선 그룹은 상기 표시 패널에 상기 매트릭스 형태로 배열된 상기 복수의 표시 픽셀의 상기 열 사이의 각 영역에 배열된 것을 특징으로 하는 표시 장치.

청구항 32.

제 30 항에 있어서, 상기 표시 패널은 각각이 1 세트로 결정된 상기 복수의 특정 주사선을 가지는 복수의 주사선 그룹을 가지고,

상기 주사 구동기는 상기 표시 픽셀을 선택 상태로 설정하는 단일 주사 신호를 각 주사선 그룹에 인가하여 상기 선택 상태의 상기 복수의 특정 주사선에 해당하는 상기 표시 픽셀을 동시에 설정하도록 하기 위한 수단을 가지며,

상기 신호 구동기의 상기 계조 신호 생성 회로는 시계열로 각 데이터선 그룹의 각 데이터선의 각 주사선 그룹에 해당하는 상기 복수의 표시 픽셀에 해당하는 상기 계조 신호를 상기 전류 기록 회로로 순차적으로 인가하기 위한 수단을 가지고,

상기 신호 구동기의 상기 전류 기록 회로는: 상기 시계열 공급의 타이밍에 각 데이터선 그룹의 각 데이터선에 따라 상기 계조 신호 생성 회로로부터 공급되는 상기 계조 신호를 순차적으로 분배하는 복수의 신호 분배 회로; 및 상기 신호 분배부에 의해 분배된 상기 계조 신호를 개별적으로 유지하고 상기 주사 신호를 각 주사선 그룹에 인가하는 타이밍에 따라 상기 유지 계조 신호에 기초한 계조치를 가지는 전류를 상기 계조 전류로서 각 주사선 그룹의 각 데이터선으로 동시에 공급하는 복수의 전류 유지 회로;를 포함하고, 상기 신호 분배 회로 및 상기 전류 유지 회로는 각 데이터선 그룹에 따라 위치하는 것을 특징으로 하는 표시 장치.

청구항 33.

제 32 항에 있어서, 상기 전류 유지 회로 각각은 복수의 스테이지의 신호 유지/출력부를 가지고, 상기 신호 유지/출력부 각각은: 각 데이터선 그룹의 각 데이터선에 따라 상기 신호 분배 회로에 의해 분배된 상기 계조 신호를 유지하는 신호 유지부; 및 상기 신호 유지부에 유지된 상기 계조 신호에 기초한 전류치를 가지는 전류를 상기 계조 신호로서 출력하는 계조 전류 출력부;를 포함하며,

상기 복수의 스테이지의 상기 신호 유지/출력부 중 하나의 스테이지의 상기 신호 유지부에 의한 상기 계조 신호를 인출하고 유지하는 작동, 및 다른 스테이지의 상기 계조 전류 출력부로부터 상기 계조 전류를 출력하는 작동은 동시에 실행되도록 제어되는 것을 특징으로 하는 표시 장치.

청구항 34.

제 33 항에 있어서, 상기 신호 유지부는 상기 계조 신호에 해당하는 전하를 저장하고 상기 전하를 전압 성분으로 유지하는 전하 저장 회로를 포함하는 것을 특징으로 하는 표시 장치.

청구항 35.

제 33 항에 있어서, 상기 계조 전류 출력부는 상기 계조 신호 생성 회로로부터 공급되는 상기 계조 신호에 해당하는 전류치에 대해 소정의 전류비를 가지는 전류치를 가지는 전류를 상기 계조 전류로서 생성하고 출력하는 전류 미러 회로 구성을 가지는 것을 특징으로 하는 표시 장치.

청구항 36.

제 30 항에 있어서, 상기 주사 구동기는 선택 상태의 상기 표시 픽셀을 설정하는 주사 신호를 상기 중복 기간을 가진 상기 복수의 특정 주사선 각각에 순차적으로 인가하여 상기 중복 기간을 가진 상기 선택 상태의 상기 복수의 특정 주사선에 해당하는 상기 표시 픽셀을 순차적으로 설정하도록 하기 위한 수단을 가지고,

상기 신호 구동기의 상기 전류 기록 회로는 상기 주사 구동기에 의해 상기 주사신호를 인가하는 상기 타이밍에 상기 계조 전류를 상기 중복 기간을 가진 각 데이터선 그룹의 각 데이터선으로 순차적으로 공급하기 위한 수단을 가지는 것을 특징으로 하는 표시 장치.

청구항 37.

제 30 항에 있어서, 상기 주사 구동기는 선택 상태의 상기 표시 픽셀을 설정하는 주사 신호를 상기 중복 기간을 가진 상기 복수의 특정 주사선 각각에 순차적으로 인가하여 상기 중복 기간을 가진 상기 선택 상태의 상기 복수의 특정 주사선에 해당하는 상기 표시 픽셀을 순차적으로 설정하도록 하기 위한 수단을 가지고,

상기 신호 구동기의 상기 계조 신호 생성 회로는 각 데이터선 그룹의 각 데이터선의 상기 복수의 특정 주사선에 해당하는 상기 복수의 표시 픽셀에 해당하는 상기 계조 신호를 상기 전류 기록 회로로 시계열로 순차적으로 공급하기 위한 수단을 가지며,

상기 전류 기록 회로는, 각각이 각 데이터선 그룹에 따라 위치하고, 시계열 공급의 상기 타이밍에 따라 상기 계조 신호 생성 회로로부터 공급되는 상기 계조 신호를 순차적으로 유지하며, 상기 주사 신호의 인가에 해당하는 상기 타이밍에 상기 계조 신호에 해당하는 전류치를 가지는 전류를 상기 계조 전류로서 각 데이터선 그룹의 각 데이터선으로 공급하는, 복수의 전류 유지 회로를 가지는 것을 특징으로 하는 표시 장치.

청구항 38.

제 37 항에 있어서, 각 전류 유지 회로는 각 데이터선 그룹의 각 데이터선에 따라 복수의 전류 유지/출력부를 포함하고, 상기 전류 유지/출력부는: 상기 시계열 공급의 상기 타이밍에 각 데이터선 그룹의 각 데이터선에 따라 상기 계조 신호를 순차적으로 분배하는 신호 분배부; 상기 신호 분배부에 의해 분배된 상기 계조 신호를 유지하는 신호 유지부; 및 상기 신호 유지부에 유지된 상기 계조 신호에 기초한 전류치를 가지는 전류를 상기 계조 전류로서 출력하는 계조 전류 출력부;를 가지며,

상기 신호 분배부에 의해 분배된 상기 계조 신호를 상기 전류 유지/출력부 중 하나의 상기 신호 유지부에 유지하고 상기 계조 전류 출력부에 의해 상기 계조 신호에 기초한 상기 계조 전류를 출력하는 작동, 및 다른 전류 유지/출력부의 상기 계조 전류 출력부에 의해 상기 신호 유지부에 유지된 상기 계조 신호에 기초한 상기 계조 전류를 출력하는 작동은 상기 중복 기간에 동시에 실행되도록 제어되는 것을 특징으로 하는 표시 장치.

청구항 39.

제 38 항에 있어서, 상기 신호 유지부는 상기 계조 신호에 해당하는 전하를 저장하고 상기 전하를 전압 성분으로서 유지하는 전하 저장 회로를 포함하는 것을 특징으로 하는 표시 장치.

청구항 40.

제 38 항에 있어서, 상기 계조 전류 출력부는 상기 전류 생성부로부터 공급되는 상기 계조 신호에 해당하는 전류치에 대하여 소정의 전류비를 가지는 전류치를 가지는 전류를 상기 계조 전류로서 생성하고 출력하는 전류 미러 회로 구성을 가지는 것을 특징으로 하는 표시 장치.

청구항 41.

표시 데이터에 기초한 영상 정보를 표시하는 표시 장치의 구동 방법으로서,

상기 표시 장치는, 행 방향으로 배열된 복수의 주사선, 열 방향으로 배열된 복수의 데이터선, 및 상기 복수의 주사선 및 상기 복수의 데이터선의 교점의 근처에 배열되고 매트릭스 형태로 배열된 복수의 표시 픽셀을 가지는 표시 패널을 가지고,

상기 구동 방법은:

적어도 서로 중복하는 기간을 가진 선택 상태의 상기 표시 패널의 상기 복수의 주사선의 적어도 일부인 복수의 특정 주사선에 해당하는 상기 표시 픽셀을 설정하는 단계;

표시 데이터를 수신하고 상기 표시 데이터에 기초하여 각 표시 픽셀의 휘도 계조를 제어하는 계조 신호를 생성하는 단계;

상기 복수의 특정 주사선에 해당하는 상기 표시 픽셀에 해당하는 상기 계조 신호를 인출하고, 상기 계조 신호에 기초한 전류치를 가지는 계조 전류를 생성하며, 상기 선택 상태의 상기 표시 픽셀을 설정하는 상기 타이밍에 따라 상기 계조 전류를 상기 복수의 특정 주사선에 해당하는 상기 표시 픽셀로 공급하는 단계; 및

상기 계조 전류가 공급되고 기록된 상기 표시 픽셀이 상기 계조 전류의 전류치에 기초한 표시 휘도로 작동하도록 허락하는 단계;를 적어도 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 42.

제 41 항에 있어서, 상기 계조 신호를 생성하는 상기 단계의 작동은 상기 표시 픽셀로 상기 표시 데이터에 해당하는 휘도 계조를 제공하는 신호 전류를 상기 계조 신호로서 생성하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 43.

제 41 항에 있어서, 상기 계조 신호에 기초한 전류치를 가지는 상기 계조 전류를 생성하고 출력하는 상기 단계는:

상기 계조 신호에 해당하는 전류치에 대하여 소정의 전류비를 가지는 전류치를 가지는 전류를 생성하고 상기 생성된 전류를 상기 계조 전류로서 출력하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 44.

제 41 항에 있어서, 상기 선택 상태의 상기 표시 픽셀을 설정하는 상기 단계는 상기 선택 상태의 상기 복수의 주사선에 해당하는 상기 표시 픽셀을 동시에 설정하기 위하여 상기 선택 상태의 상기 표시 픽셀을 설정하는 단일 주사 신호를 상기 복수의 특정 주사선으로 동시에 인가하는 단계를 포함하고,

상기 계조 전류를 공급하는 상기 단계는 상기 주사 신호 인가의 상기 타이밍에 따라 상기 계조 전류를 상기 복수의 주사선에 해당하는 상기 표시 픽셀로 동시에 공급하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 45.

제 44 항에 있어서, 상기 계조 전류를 상기 복수의 주사선에 해당하는 상기 표시 픽셀로 동시에 공급하는 상기 단계는:

각 주사선에 해당하는 상기 계조 신호를 인출하고 유지하는 단계; 및

상기 앞선 타이밍에 인출되고 유지된 상기 계조 신호에 기초하여 상기 계조 전류를 출력하는 단계;를 동시에 실행하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 46.

제 41 항에 있어서, 상기 선택 상태의 상기 표시 픽셀을 설정하는 단계의 작동은 상기 중복 기간을 가진 상기 선택 상태의 상기 복수의 주사선에 해당하는 상기 표시 픽셀을 순차적으로 설정하기 위하여 상기 선택 상태의 상기 표시 픽셀을 설정하는 주사 신호를 상기 중복 기간을 가진 상기 복수의 특정 주사선 각각으로 순차적으로 인가하고,

상기 계조 전류를 공급하는 단계는 상기 중복 기간을 가진 상기 주사 신호를 인가하는 상기 타이밍에 상기 계조 전류를 상기 복수의 주사선 각각에 해당하는 상기 표시 픽셀로 순차적으로 공급하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 47.

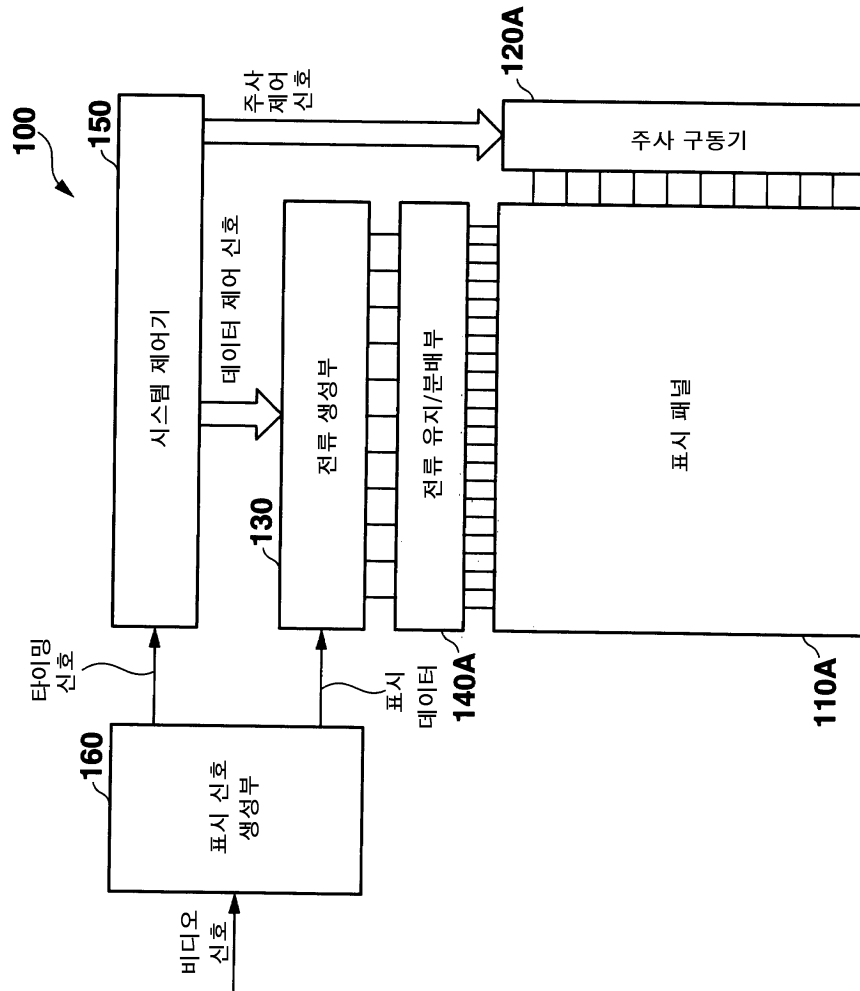
제 46 항에 있어서, 상기 계조 전류를 상기 복수의 주사선에 해당하는 상기 표시 픽셀로 순차적으로 공급하는 상기 단계는:

상기 계조 신호를 유지하고 상기 계조 신호에 기초한 상기 계조 전류를 출력하는 단계; 및

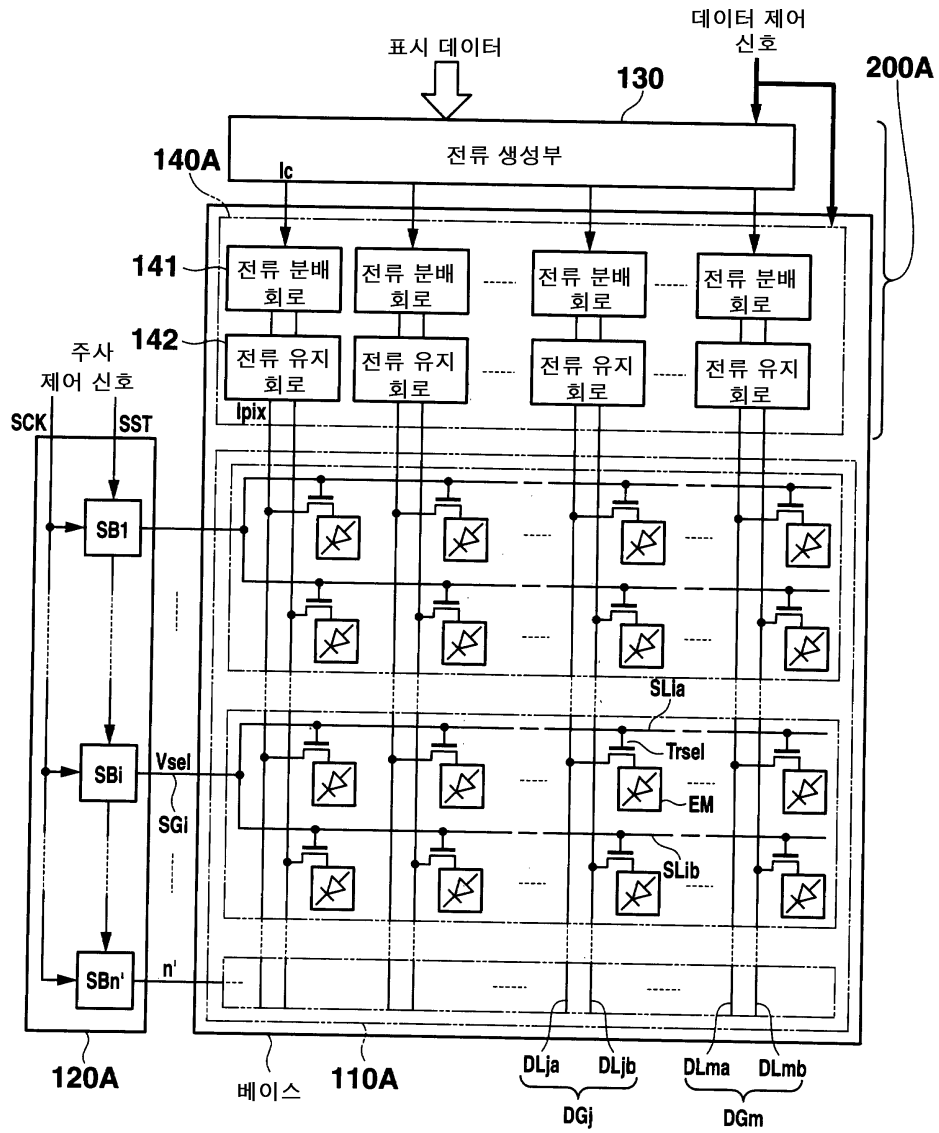
상기 앞선 타이밍에 유지된 상기 계조 신호에 기초한 상기 계조 전류를 출력하는 단계;를 상기 중복 기간에 동시에 실행하는 것을 특징으로 하는 표시 장치의 구동 방법.

도면

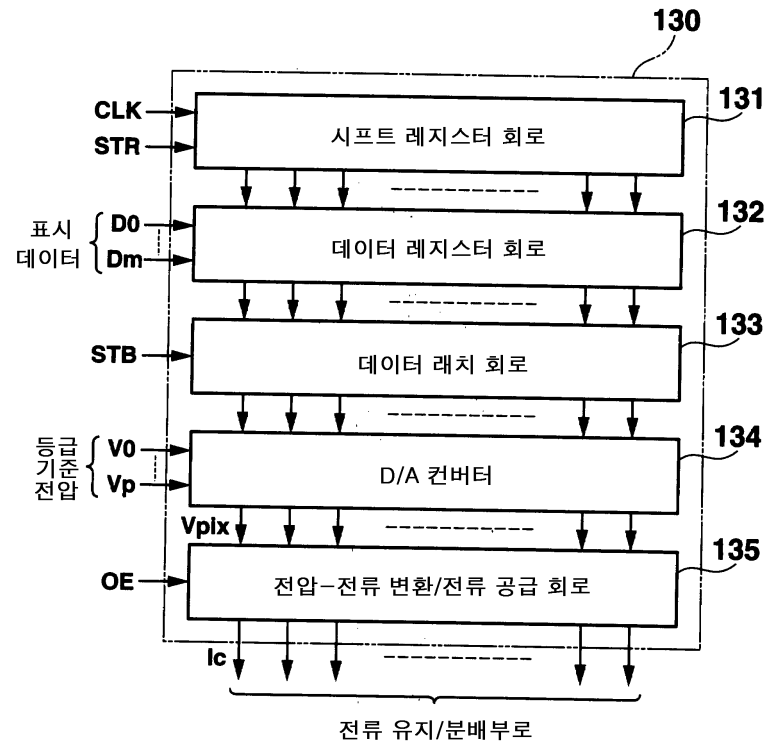
도면1



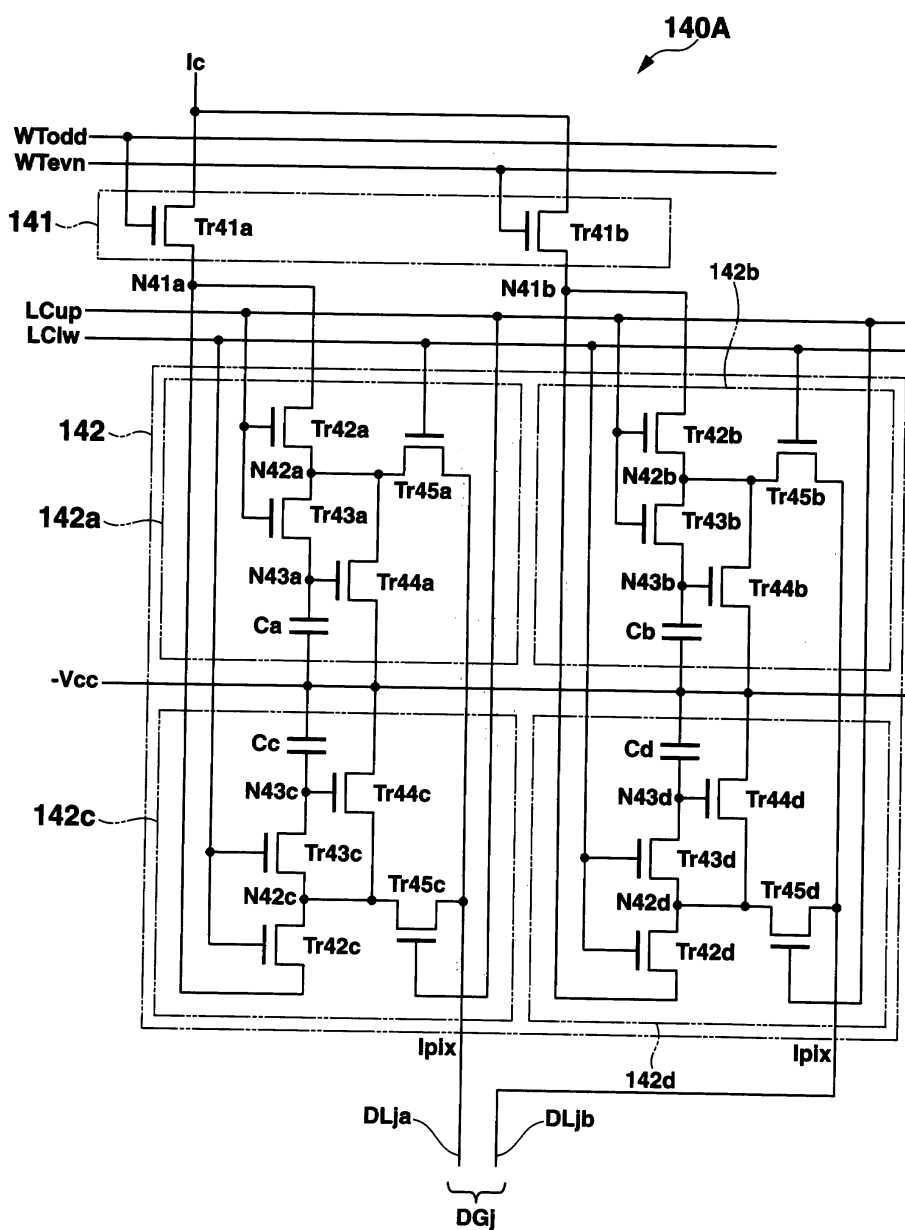
도면2



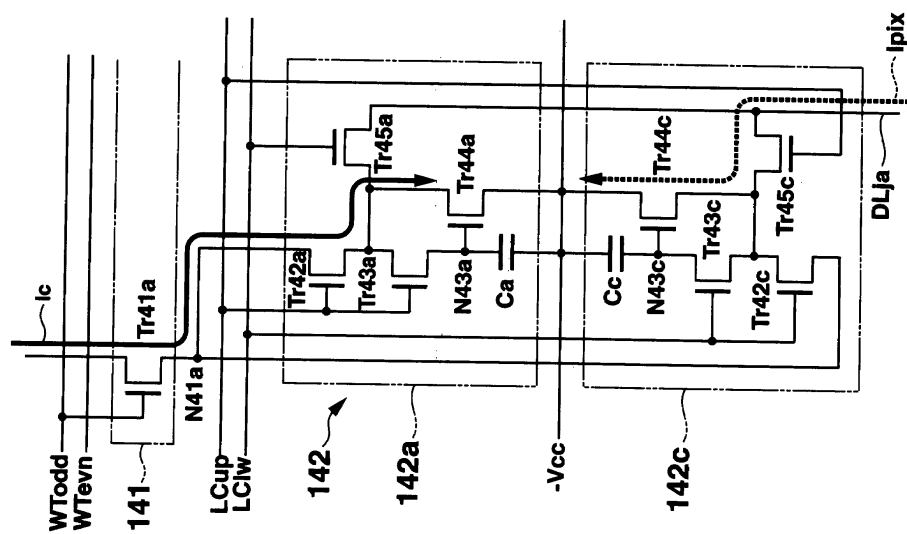
도면3



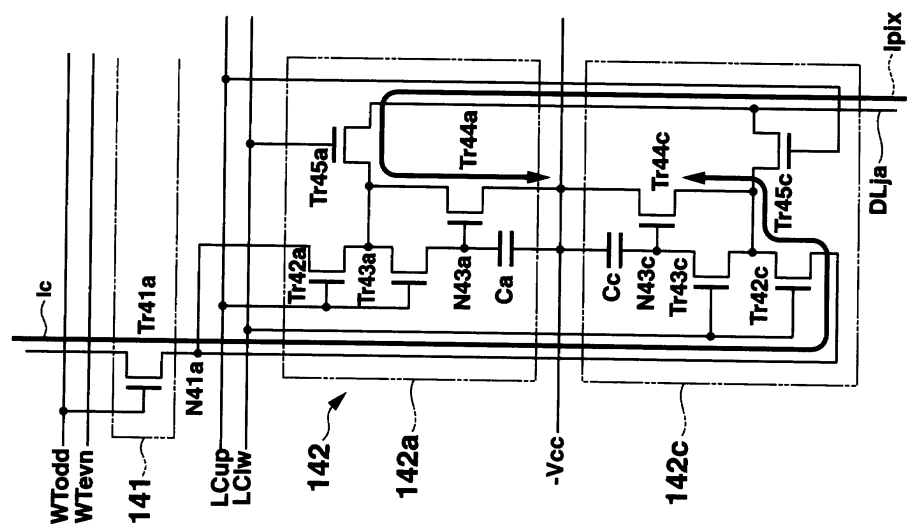
도면4



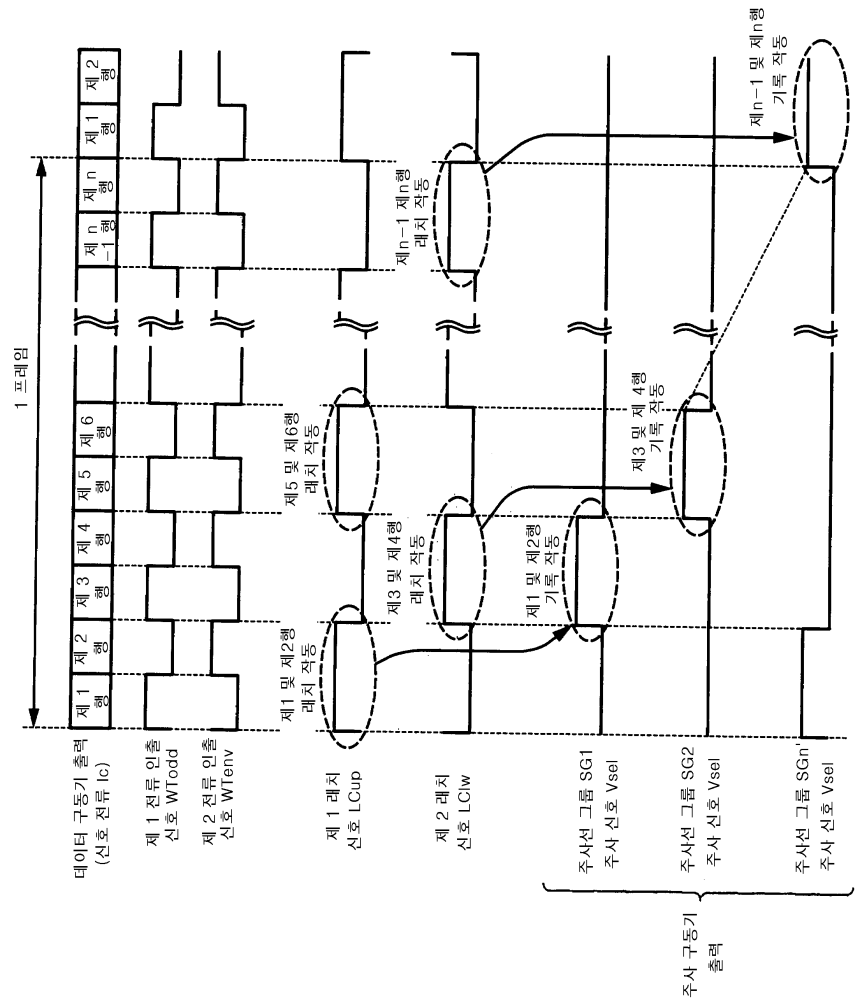
도면5A



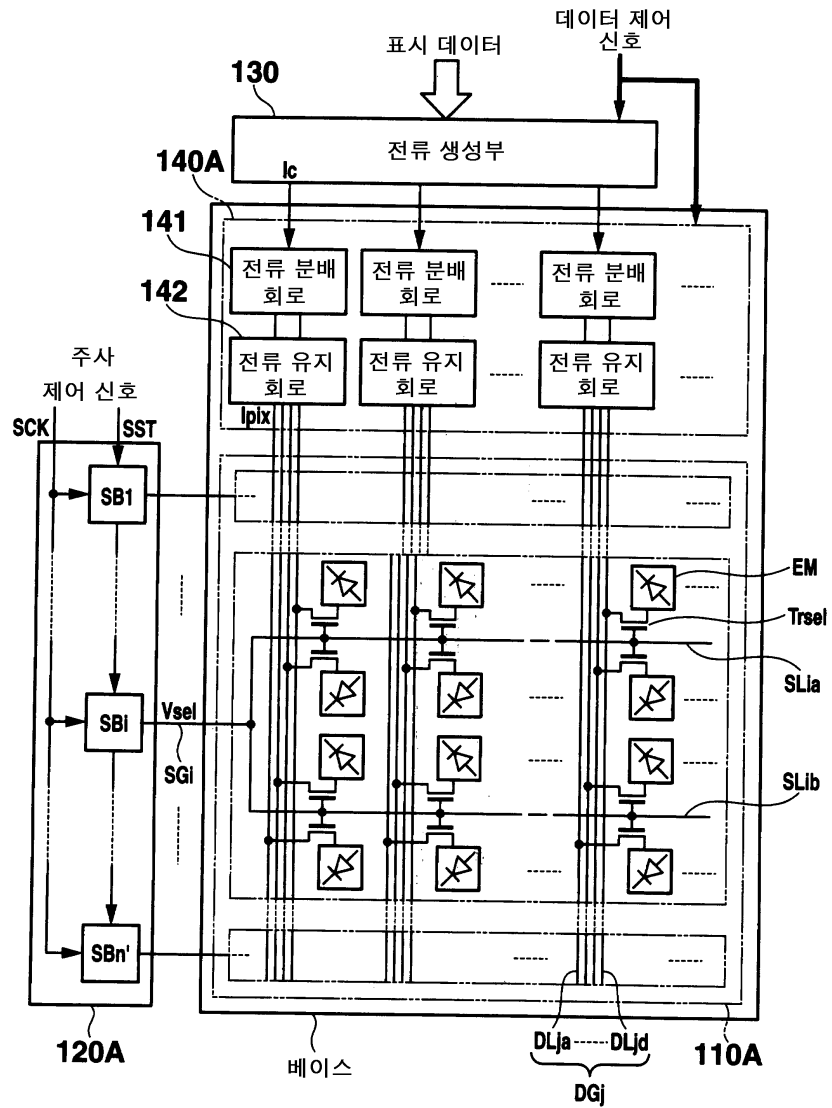
도면5B



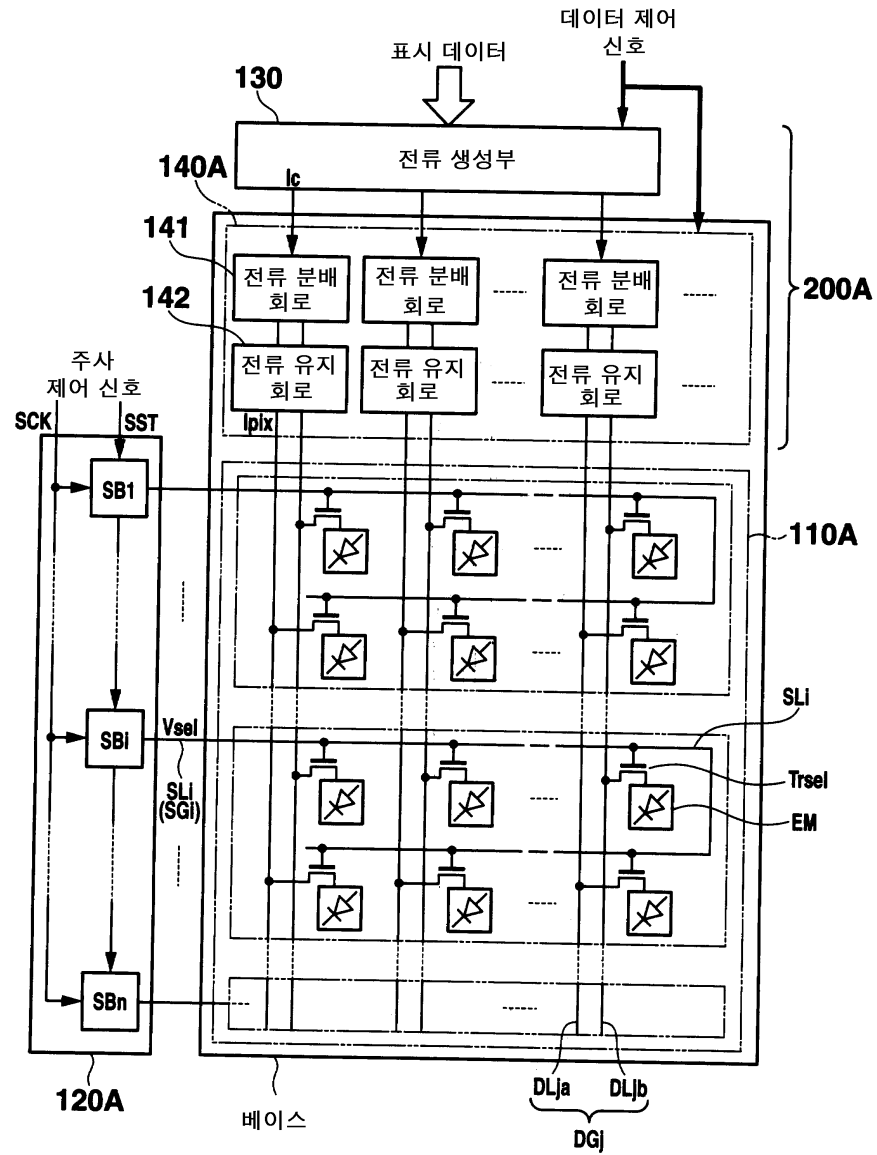
도면6



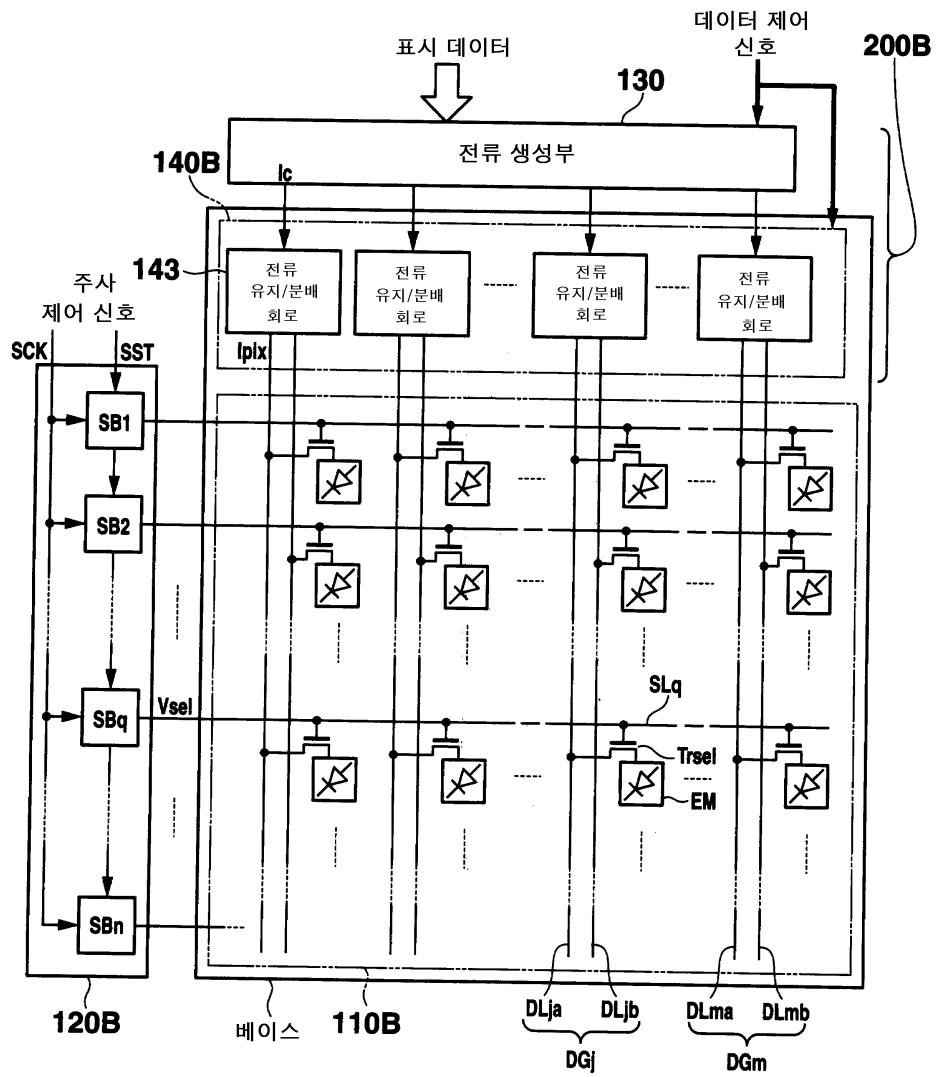
도면7



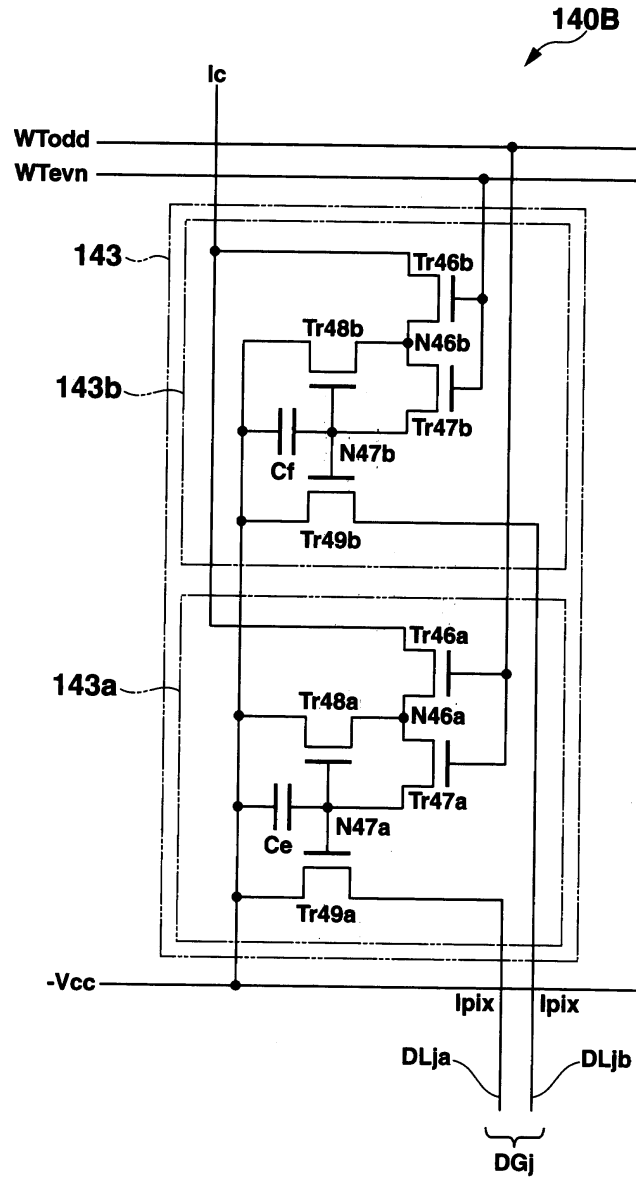
도면8



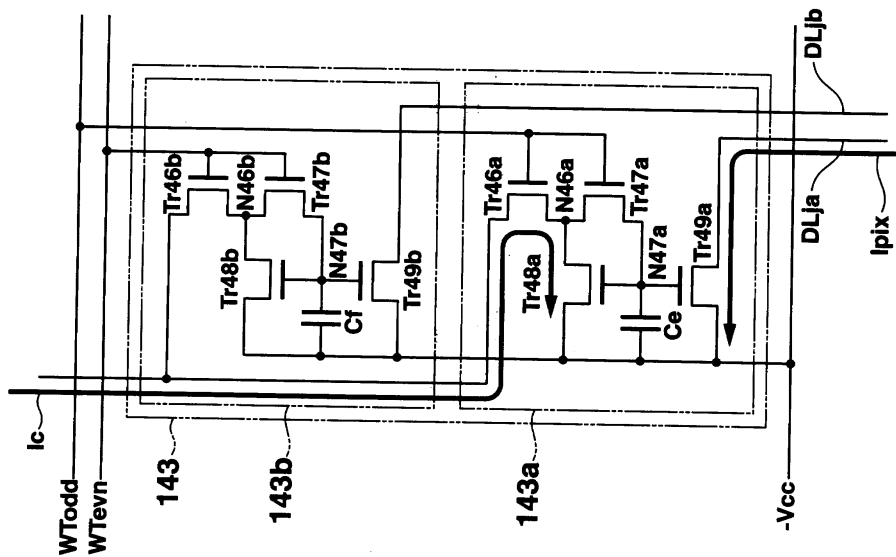
도면9



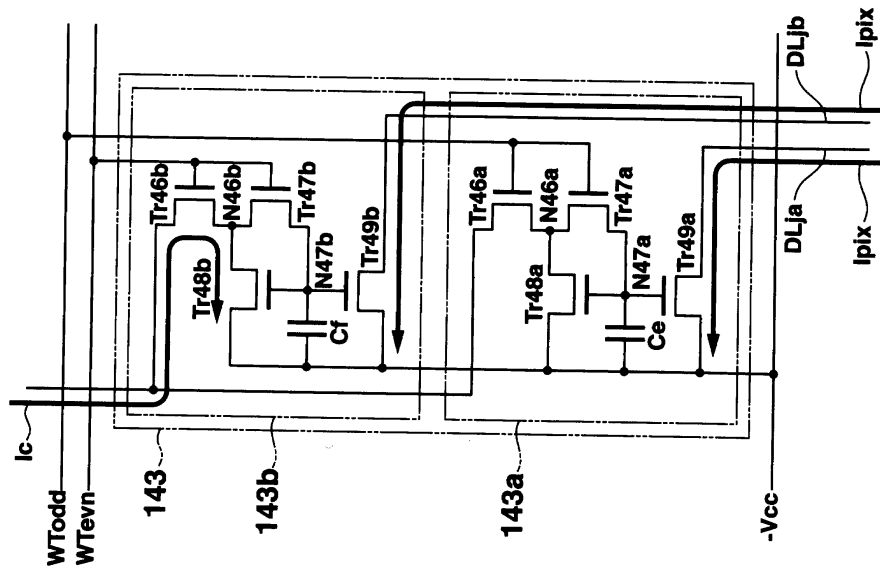
도면10



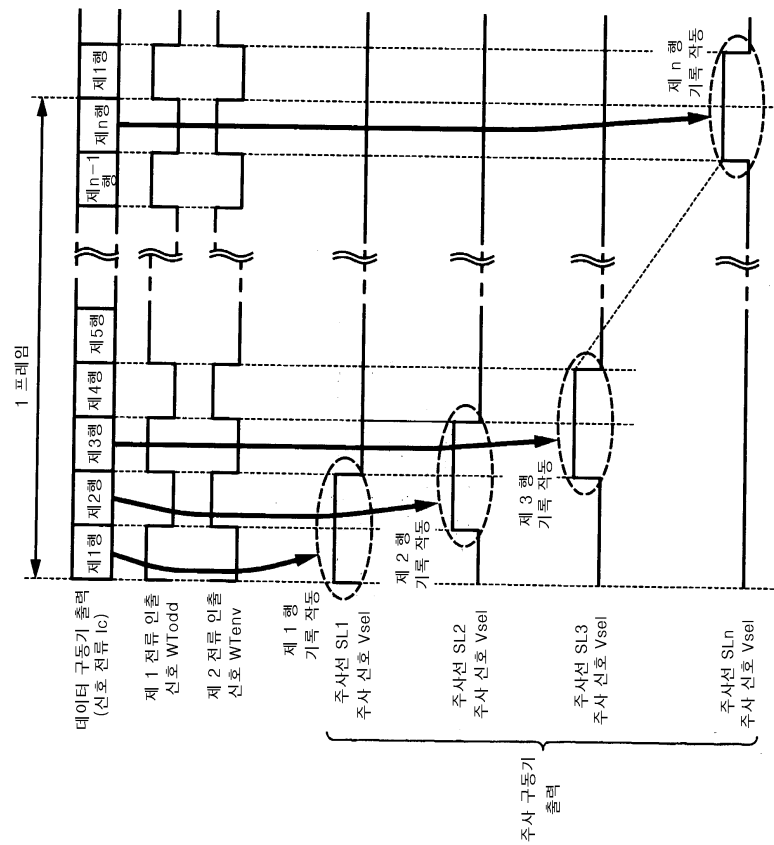
도면11A



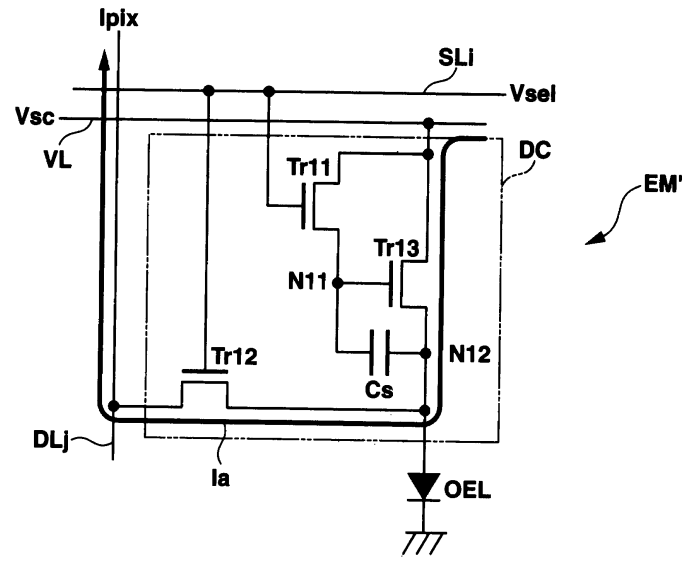
도면11B



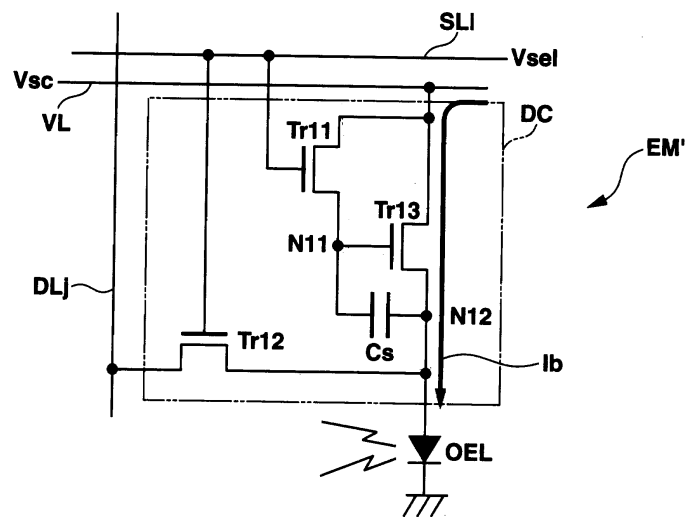
도면12



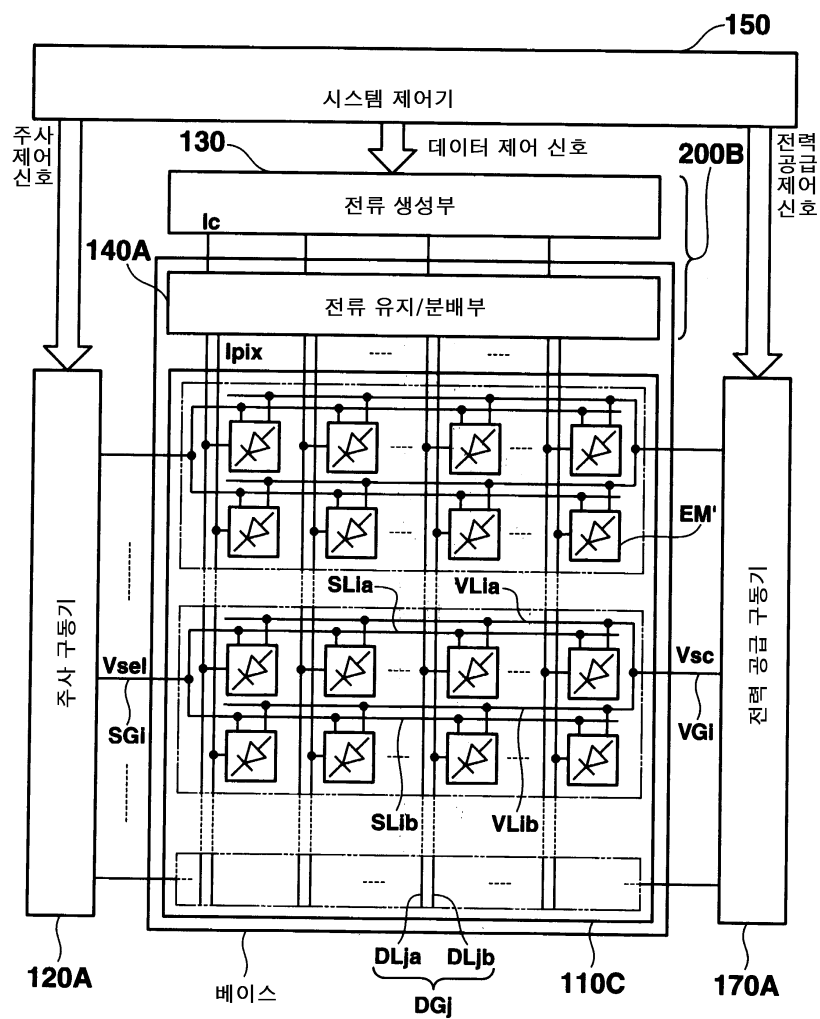
도면15A



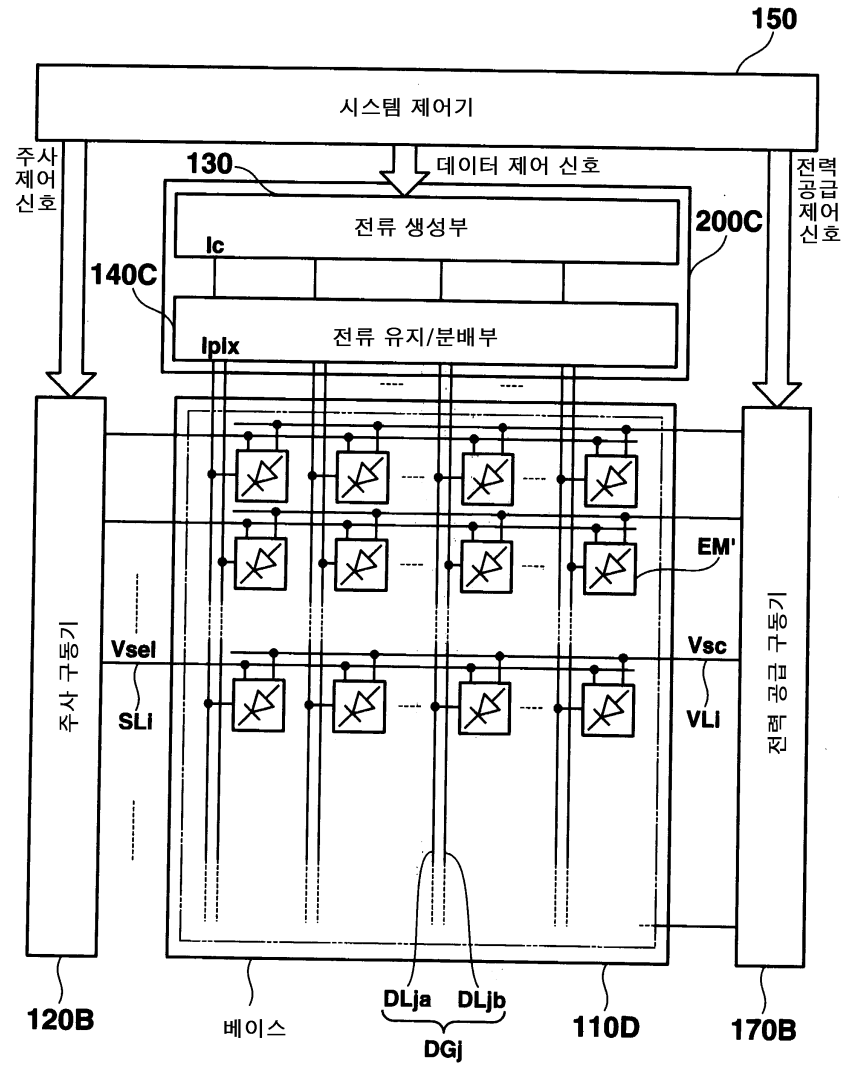
도면15B



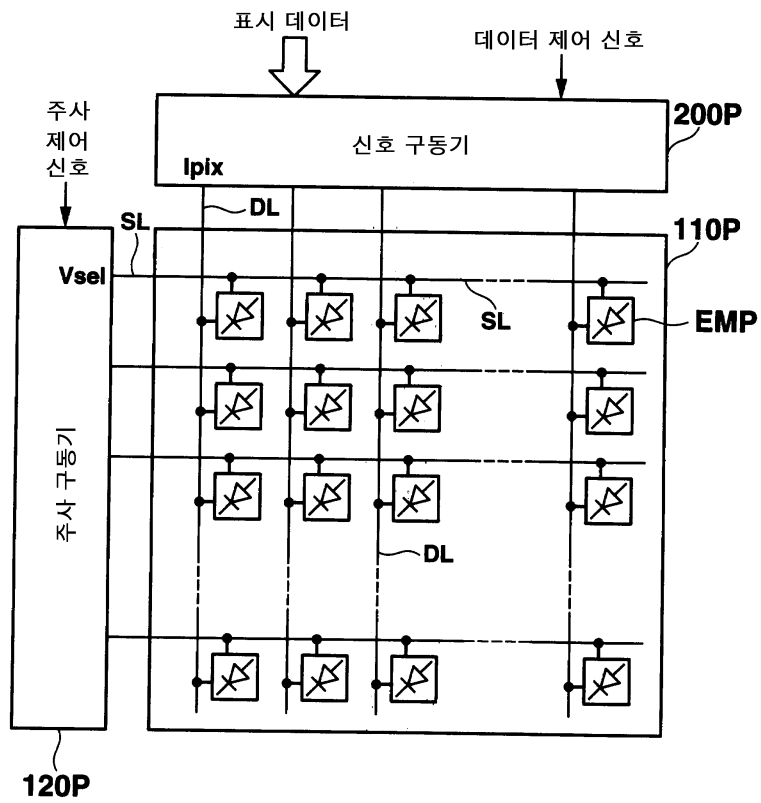
도면16



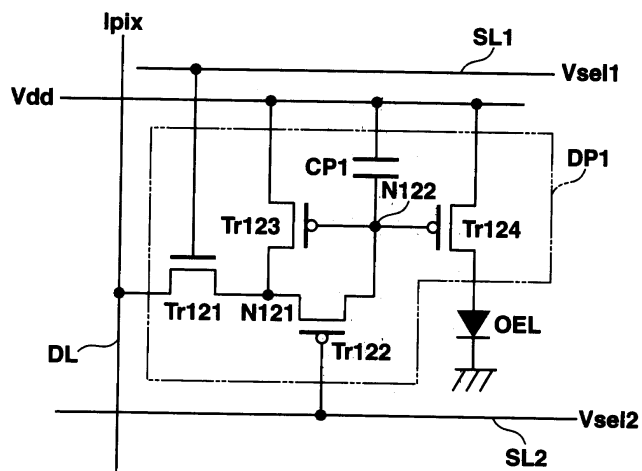
도면17



도면18



도면19



专利名称(译)	OLED显示屏同时扫描乒乓电流驱动电路和线路		
公开(公告)号	KR1020060041252A	公开(公告)日	2006-05-11
申请号	KR1020067001320	申请日	2005-05-26
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	SHIRASAKI TOMOYUKI 시라사키도모유키 OZAKI TSUYOSHI 오자키츠요시 OGURA JUN 오구라준		
发明人	시라사키도모유키 오자키츠요시 오구라준		
IPC分类号	G09G3/30 G09G3/20 G09G3/32 G09G3/36 G11C27/02		
CPC分类号	G09G3/3648 G09G2300/0842 G09G3/325 G09G3/3283 G09G3/3266 G09G2310/027 G09G2300/0866 G09G2310/0205 G09G2310/0297 G09G2310/0218 G11C27/028 G09G2300/0426 G09G3/3225		
代理人(译)	孙某EUN JIN		
优先权	2004160140 2004-05-28 JP 2004266441 2004-09-14 JP		
外部链接	Espacenet		

摘要(译)

该显示驱动装置包括选择电路，该选择电路至少设置显示面板的多个特定行的显示像素，同时在选择状态下彼此重叠的行的选择信号。灰度信号生成电路基于显示数据生成用于控制每个OLED显示像素的亮度等级的灰度信号，并且顺序地提供通过乒乓方法生成的灰度信号。多个信号分配电路在时间序列供应的定时根据每列的多个显示像素顺序地分配由灰度信号生成电路提供的灰度信号。多个电流保持电路同时将具有基于作为灰度电流保持的灰度信号的电流值的电流提供给多个同时扫描的行的显示像素，同时分别保持分割的灰度信号。2 指数方面 有机EL，显示装置，驱动电路，驱动方法，晶体管，电容器

