

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H05B 33/22 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호

10-2006-0018768

(43) 공개일자

2006년03월02일

(21) 출원번호 10-2004-0067287

(22) 출원일자 2004년08월25일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 조유성
전라남도 영암군 덕진면 장선리 533
강호진
경기도 수원시 권선구 권선동 1270 벽산아파트 401동 201호

(74) 대리인 박상수

심사청구 : 있음

(54) 유기전계발광표시소자 및 그의 제조방법

요약

본 발명은 유기전계발광표시소자 및 그의 제조 방법에 관한 것으로, 기판 상에 폴리머와 용매를 혼합한 용액을 코팅 방법으로 도포한 후 고온 열처리 공정을 통해 무기 평탄화막을 형성함으로써 박막트랜지스터에 의한 하부 단차를 상쇄시켜 제 1 전극의 단차피복성(Step Coverage)을 개선하여 제 1 전극의 접촉력 및 개구율을 향상시키고, 제 1 전극이 애노드 전극인 경우 제 1 전극의 표면저항 상승과 무기 평탄화막의 열화를 방지하고, 또한 유기막층 증착 후 유기막층 내로 상기 무기 평탄화막으로부터 H₂O, O₂ 등의 아웃개싱(Out-gassing) 현상에 의한 유기발광층의 열화(Degradation) 방지를 통해 화소 수축 현상(Pixel shrinkage) 방지 및 유기발광층의 수명을 개선할 수 있다.

대표도

도 2

색인어

유기전계발광표시소자, 무기 평탄화막, 패시베이션막, 화소정의막

명세서

도면의 간단한 설명

도 1은 종래의 유기전계발광표시소자 및 그의 제조방법을 설명하기 위한 단면도.

도 2는 본 발명의 실시예로서, 유기전계발광표시소자 및 그의 제조방법을 설명하기 위한 단면도.

도 3은 본 발명의 실시예로서 기판의 박막트랜지스터 상부에 형성된 무기 평탄화막의 단면 사진.

<도면의 주요부분에 대한 부호의 설명>

300 : 기관 310 : 반도체층

330 : 게이트 전극 341 : 콘택홀

345 : 소오스/드레인 전극 355 : 비아홀

360 : 평탄화막 370 : 제 1 전극

375 : 화소정의막 380 : 유기막층

390 : 제 2 전극

d1 : 패시베이션막과 무기 평탄화막의 합산 두께

d2 : 소오스/드레인 전극, 패시베이션막 및 무기 평탄화막의 합산 두께

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시소자 및 그의 제조 방법에 관한 것으로, 보다 자세하게는 유기전계발광표시소자에서 기관 상에 형성된 박막트랜지스터의 패시베이션 기능과 기관의 평탄화 기능을 동시에 수행할 수 있는 무기 평탄화막의 구조와 용액을 이용한 코팅(Coating) 방법을 통해 기관에 도포 후 고온 열처리 공정을 통해 형성되는 무기 평탄화막을 포함하는 유기전계발광표시소자 및 그의 제조 방법에 관한 것이다.

통상, 평판표시소자(Flat Panel Display Device) 중에서 유기전계발광표시소자 (Organic Electroluminescence Display Device)는 자발광이며, 시야각이 넓고, 응답속도가 빠르고, 얇은 두께와 낮은 제작비용 및 높은 콘트라스트(Contrast) 등의 특성을 나타냄으로써 향후 차세대 평판표시소자로 주목받고 있다.

통상적으로, 유기전계발광표시소자는 애노드 전극과 캐소드 전극 사이에 유기발광층을 포함하고 있어 애노드 전극으로부터 공급받는 홀과 캐소드 전극으로부터 받은 전자가 유기발광층 내에서 결합하여 정공-전자 쌍인 여기자를 형성하고 다시 상기 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.

일반적으로 유기전계발광표시소자는 매트릭스 형태로 배치된 $N \times M$ 개의 화소들을 구동하는 방식에 따라 수동 매트릭스 (Passive matrix) 방식과 능동 매트릭스 (Active matrix) 방식으로 나뉘어지는데, 수동 매트릭스 방식은 그 표시 영역이 애노드 전극과 캐소드 전극에 의하여 단순한 매트릭스 형태의 소자로 구성되어 있어 제조가 용이하지만 해상도, 구동전압의 상승, 재료의 수명저하 등의 문제점으로 인하여 저해상도 및 소형 디스플레이의 응용분야로 제한된다. 반면 능동 매트릭스 방식은 표시 영역이 각 화소마다 박막트랜지스터를 장착하여 유기전계발광소자의 화소수와 상관없이 일정한 전류를 공급함에 따라 안정적인 휘도를 나타낼 수 있으며 또한 전력소모가 적어, 고해상도 및 대형디스플레이의 적용에 유리하다는 장점을 갖고 있다.

또한, 유기전계발광표시소자는 유기발광층으로부터 발생된 광이 방출되는 방향에 따라 배면 발광형과 전면 발광형으로 나뉘어지는데, 배면 발광형은 형성된 기관측으로 광이 방출되는 것으로서 유기발광층 상부에 반사전극이 형성되고 상기 유기발광층 하부에는 투명전극이 형성되어진다. 여기서, 유기전계발광표시소자가 능동 매트릭스 방식을 채택할 경우에 박막트랜지스터가 형성된 부분은 광이 투과하지 못하게 되므로 빛이 나올 수 있는 면적이 줄어들 수 있다. 이와 달리, 전면 발광형은 유기발광층 상부에 투명전극이 형성되고 상기 유기발광층 하부에 반사전극이 형성됨으로써 광이 기관측과 반대되는 방향으로 방출되어지므로 빛이 투과하는 면적이 넓어지므로 휘도가 향상될 수 있다.

도 1은 종래의 능동형 유기전계발광표시소자 및 그의 제조 방법을 설명하기 위한 단면도이다.

도 1을 참조하면, 종래의 능동형 유기전계발광표시소자는 기판(100) 상에 소오스/드레인 영역(110c, 110a) 및 채널 영역(110b)을 포함하는 반도체층(110)이 형성되어 있다. 상기 반도체층(110) 상부에 게이트 절연막(120)이 형성되어 있으며, 상기 게이트 절연막(120) 상에 상기 채널 영역(110b)에 대응되도록 게이트 전극(130)이 형성되어 있다. 상기 게이트 전극(130) 상부에 기판 전면에 걸쳐 층간절연막(140)이 형성되어 있으며, 상기 층간절연막(140)에 형성되어 있는 콘택홀(141)을 통하여 상기 반도체층(110)의 소오스/드레인 영역(110c, 110a)과 소오스/드레인 전극(141)이 연결되어 박막트랜지스터를 형성한다.

상기 소오스/드레인 전극(145) 상부에는 기판 전면에 걸쳐 패시베이션막(150)이 형성되어 있고, 상기 기판의 평탄화를 위해 평탄화막(160)이 더욱 포함될 수 있다. 상기 패시베이션막(150)과 평탄화막(160)에는 상기 소오스/드레인 전극들(145) 중 어느 하나를 노출시키는 비아홀(155)이 형성되고, 상기 비아홀(155)을 통하여 상기 소오스/드레인 전극(145)과 접하도록 제 1 전극(170)이 형성되어 있다.

이어서, 제 1 전극(170)을 포함한 기판 상부 전체에 걸쳐 개구부(178)를 갖는 화소정의막(175)이 형성되어 있고, 상기 개구부(178) 내에 노출된 제 1 전극 상에 최소한 유기발광층을 포함하는 유기막층(180)이 형성되어 있다.

이어서, 상기 유기막층(180) 상부 전체에 걸쳐 제 2 전극(190)이 형성되어 있다.

이 때, 통상적으로 상기 패시베이션막(150)은 상부의 오염으로부터 박막트랜지스터를 보호하기 위해 형성되며 실리콘 질화막(SiNx), 실리콘 산화막(SiO_2) 또는 이들의 이중층(SiO_2/SiNx) 등과 같은 무기절연막으로 형성한다.

상기 패시베이션막(150)은 PECVD(Plasma-enhanced chemical vapor deposition), LPCVD(Low-pressure chemical vapor deposition), APCVD(Atmospheric Pressure Chemical Vapor Deposition) 등과 같은 CVD(Chemical Vapor Deposition) 방식에 의해 형성되며 증착장비를 이용하여 막을 형성하게 되고, 이러한 경우 하부 단차를 따라 균일하게 막이 증착되기 때문에 평탄화 특성이 불량하여 상기 패시베이션막(150) 하부 패턴들 특히, 상기 콘택홀(141)의 토폴로지에 기인하는 골을 갖는다. 이로 인해 전면 발광형 구조의 경우 평탄화 특성을 보완하기 위해 패시베이션막(150) 상부에 평탄화막(160)을 일반적으로 더 형성하여야 한다.

또한, 상기 평탄화막(160)은 폴리이미드(polyimide; PI), 폴리아마이드(poly amide; PA), 아크릴 수지, 벤조사이클로부텐(Benzo Cyclo Butene; BCB) 또는 페놀수지와 같이 유기 절연막을 사용하므로 제 1 전극의 표면저항 상승, 후속 공정시 유기막층 증착 후 유기막층 내로 상기 평탄화막의 열화에 따른 평탄화막으로부터 H_2O , O_2 등과 같은 아웃가싱(Out-gassing) 현상에 의해 유기발광층이 열화되기 쉬워 화소 수축 현상 및 유기발광층의 수명을 단축시키는 문제점을 안고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 평탄화 특성이 불량하여 박막트랜지스터의 패시베이션 기능만 갖고 있던 패시베이션막으로 인해 기판의 평탄화를 보완하기 위해 패시베이션 상부에 적층되던 유기 평탄화막을 대신하여 박막트랜지스터의 패시베이션 기능을 수행할 수 있는 무기 평탄화막을 포함하는 유기전계발광표시소자 및 그의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명은 상기한 목적을 달성하기 위하여,

기판,

상기 기판 상부에 형성되어 있는 박막트랜지스터,

상기 박막트랜지스터의 상부에 더욱 형성되어 있는 패시베이션막,

상기 패시베이션막의 상부에 형성되어 있는 무기 평탄화막,

상기 무기 평탄화막 상부에 형성되어 있는 제 1 전극,

상기 제 1 전극 상부에 형성되어 있으며 개구부를 갖는 화소정의막,

상기 제 1 전극 상부에 최소한 유기발광층을 포함하는 유기막층, 및

상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하며,

상기 무기 평탄화막은 상기 박막트랜지스터의 패시베이션 기능과 하부 단차 상쇄를 통한 기관의 평탄화 기능을 동시에 수행하며, 용액을 코팅방법으로 도포한 후 고온 열처리 공정을 거쳐 형성되는 것을 특징으로 하는 유기전계발광표시소자를 제공한다.

또한, 본 발명은

기관을 제공하고;

상기 기관 상부에 박막트랜지스터를 형성하고;

상기 박막트랜지스터 상부에 패시베이션막을 더욱 형성하고;

상기 패시베이션막 상부에 무기 평탄화막을 형성하고;

상기 무기 평탄화막 상부에 제 1 전극을 형성하고;

상기 제 1 전극 상부에 개구부를 갖는 화소정의막을 형성하고;

상기 제 1 전극 상부에 최소한 유기발광층을 포함하는 유기막층을 형성하고; 및

상기 유기막층 상부에 제 2 전극을 형성하는 것을 포함하며,

상기 무기 평탄화막은 상기 박막트랜지스터 상부에 용액을 코팅방법을 이용하여 균일하게 도포한 후 고온 열처리 공정을 통하여 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시소자의 제조 방법에 의해서도 달성된다.

이하, 본 발명을 보다 상세히 설명한다.

도 2는 본 발명의 일 실시예에 따른 유기전계발광표시소자의 단위화소에 대한 단면도이다.

도 2를 참조하면, 본 발명의 유기전계발광표시소자는 기관(300) 상에 버퍼층 (305)을 포함할 수 있다. 상기 버퍼층(305)은 기관(300) 상에 상기 기관에서 유출되는 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하기 위해 형성된다. 상기 버퍼층(305)은 반드시 적층해야 되는 것은 아니며, 실리콘 산화막, 실리콘 질화막 또는 이들이 적층된 이중층으로 형성할 수 있다.

이어서, 상기 버퍼층(305) 상에 소오스/드레인 영역(310c,310a) 및 채널 영역(310b)를 포함하는 반도체층(310)이 패턴되어 형성된다. 상기 반도체층(310)은 비정질 실리콘 또는 다결정 실리콘으로 형성할 수 있으나, 바람직하게는 다결정 실리콘으로 형성한다.

이어서, 상기 반도체층(310)을 포함한 기관 상부 전체에 걸쳐 게이트 절연막 (320)이 형성된다. 상기 게이트 절연막(320)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있다.

이어서, 상기 게이트 절연막(320) 상에 상기 반도체층(310)의 소정영역에 대응되는 게이트 전극(330)이 형성된다. 상기 게이트 전극(330)은 비정질 실리콘이나 다결정 실리콘으로 형성한 폴리실리콘막으로 형성된다. 이어서, 마스크를 이용하여 상기 반도체층(310)에 불순물을 주입함으로써, 상기 반도체층에 소오스/드레인 영역들(310c,310a)을 형성함과 동시에 상기 소오스/드레인 영역들(310c,310a) 사이에 개재된 채널영역(310b)을 정의한다.

이어서, 상기 게이트 전극(330)을 포함한 기판 상부 전체에 걸쳐 층간절연막(340)이 형성된다. 상기 층간절연막(340)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있다.

이어서, 상기 층간절연막(340) 내에 상기 소오스/드레인 영역들(310c, 310a)을 각각 노출시키는 콘택홀(Contact hole)(341)들이 형성된다. 상기 콘택홀들(341) 내에 노출된 상기 소오스/드레인 영역들(310c, 310a) 및 상기 층간절연막(340) 상에 금속막을 적층하고 이를 패터닝함으로써, 소오스/드레인 전극들(345)이 형성된다.

이상과 같이, 상기 반도체층(310), 상기 게이트(330) 및 상기 소오스/드레인 전극들(345)은 박막트랜지스터를 구성한다.

이어서, 상기 소오스/드레인 전극들(345)이 형성된 기판 상에 무기 평탄화막(360)이 형성된다. 상기 무기 평탄화막(360)은 무기막으로 형성된다. 바람직하게, 상기 무기 평탄화막(360)은 실리콘 산화막(SiO_2)으로 형성된다. 이 때, 실리콘 질화막(SiN_x)은 재료를 혼합해서 액상으로 하여 적층하는 것은 불가능하다.

상기 무기 평탄화막(360)은 $1\mu\text{m}$ 이하로 너무 얇게 형성될 경우에는 무기 평탄화막의 평탄화 기능이 저하되고, $2\mu\text{m}$ 이상으로 너무 두껍게 형성될 경우에는 열처리 공정 진행시 스트레스(stress)로 인한 크랙(Crack)이 발생하게 되므로 $1\mu\text{m}$ 내지 $2\mu\text{m}$ 의 두께로 형성하는 것이 바람직하다.

상기 무기 평탄화막(360)은 박막트랜지스터를 패시베이션하는 기능과 상기 기판의 평탄화 기능을 동시에 수행하며, 하부 단차를 상쇄시켜 제 1 전극의 단차피복성(Step Coverage)을 개선하여 제 1 전극의 접착력 및 개구율을 향상시키고, 제 1 전극이 애노드 전극인 경우 제 1 전극의 표면저항 상승과 무기 평탄화막의 열화를 방지하고, 또한 후속 공정시 유기막층 증착 후 종래의 유기 평탄화막을 사용하는 경우 유기 평탄화막으로부터 유기막층 내로 상기 무기 평탄화막으로부터 H_2O , O_2 등의 아웃개싱 현상에 의한 유기발광층의 열화 방지를 통해 화소 수축 현상 방지 및 유기발광층의 수명을 개선할 수 있다.

여기서, 상기 무기 평탄화막(360) 하부에 패시베이션막(350)을 더 형성할 수 있다. 상기 패시베이션막(350)은 실리콘 질화막(SiN_x)으로 형성된다.

이어서, 상기 무기 평탄화막(360) 내에 상기 소오스/드레인 전극들(345) 중 어느 하나를 노출시키는 비아홀(355)이 형성된다.

이어서, 상기 비아홀(355)을 통하여 상기 소오스/드레인 전극(345)과 접하도록 제 1 전극(370)이 형성된다.

상기 제 1 전극(370)은 애노드 전극일 경우에는 일함수가 높은 ITO 또는 IZO로 이루어진 투명 전극이거나 하부층에 알루미늄 또는 알루미늄 합금 등과 같은 고반사율의 특성을 갖는 금속으로 이루어진 반사막을 포함하는 투명전극일 수 있다. 상기 제 1 전극이 캐소드 전극인 경우에는 일함수가 낮은 도전성의 금속으로 Mg, Ca, Al, Ag 및 이들의 합금으로 이루어진 군에서 선택된 하나의 물질로서 두꺼운 두께를 갖는 반사전극이거나, 얇은 두께를 갖는 반사전극일 수 있다.

이어서, 제 1 전극(370)을 포함한 기판 상부 전체에 걸쳐 개구부(378)를 갖는 화소정의막(375)이 형성된다. 상기 화소정의막(375)은 유기계 또는 무기계를 사용할 수 있고, 유기계로는 폴리이미드(PI), 폴리아마이드(PA), 아크릴 수지, 벤조사이클로부텐(BCB) 또는 페놀수지로 이루어진 군에서 선택되는 하나를 사용하고, 무기계로는 SiO_2 를 사용한다.

이어서, 상기 개구부(378)내에 노출된 제 1 전극 상에 최소한 유기발광층을 포함하는 유기막층(380)이 형성된다. 상기 유기막층(380)은 상기 유기발광층 이외에도 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층 중 1 이상의 층을 포함할 수 있다.

이어서, 상기 유기막층(380) 상부 전체에 걸쳐 제 2 전극(390)이 형성된다. 상기 제 2 전극(390)은 제 1 전극(370)이 애노드인 투명 전극이거나 반사막을 포함하는 투명 전극인 경우에는 일함수가 낮은 도전성의 금속으로 Mg, Ca, Al, Ag 및 이들의 합금으로 이루어진 군에서 선택된 하나의 물질로서 반사전극으로 형성하고, 상기 제 1 전극(370)이 캐소드 전극인 경우에는 ITO 또는 IZO와 같은 투명 전극으로 형성한다.

한편, 제 1 전극(370)이 캐소드 전극이면 제 2 전극(390)은 애노드 전극이 되며, 층 구조는 앞서 살펴 본 구조와 역의 구조를 이루게 된다.

이하, 본 발명에 따른 상기 유기전계발광표시소자의 제조방법을 설명한다.

도 2를 참조하면, 상기 제조방법은 기판(300)을 제공한다. 상기 기판은(300)은 유리, 플라스틱 또는 석영 등과 같은 투명 절연기판이다.

이어서, 상기 기판(300) 상에 버퍼층(305)을 형성한다. 상기 버퍼층은 플라즈마화학기상증착법(PECVD) 또는 저압화학기상증착법(LPCVD) 등과 같은 방식을 수행하여 형성한다.

이어서, 상기 기판(300) 상에 소오스/드레인 영역들(310c, 310a)과 채널 영역(310b)을 구비하는 반도체층(310)을 패터닝하여 형성한다.

상기 반도체층(310)은 비정질 실리콘을 화학기상증착법(CVD; Chemical Vapor Deposition) 방식을 이용하여 증착한 후 결정화법을 이용하여 폴리실리콘막으로 결정화시킨 후 패터닝하여 형성한다. 상기 CVD방식에는 PECVD, LPCVD와 같은 화학적 기상증착법을 이용할 수 있다. 이 때, 상기 비정질 실리콘을 PECVD 방식으로 수행할 경우에는 실리콘막 증착 후 열처리로 탈수소처리하여 수소의 농도를 낮추는 공정을 진행한다.

또한, 상기 비정질 실리콘막의 결정화법은 RTA(Rapid Thermal Annealing)공정, SPC법(Solid Phase Crystallization), ELA법(Excimer Laser Crystallization), MIC법(Metal Induced Crystallization), SLS법(Sequential Lateral Solidification) 또는 MILC법(Metal Induced Lateral Crystallization) 중 어느 하나 이상을 이용할 수 있다.

이어서, 상기 반도체층(310) 상부 전체에 걸쳐 게이트 절연막(320)을 형성한다. 상기 게이트 절연막(320)은 PECVD 또는 LPCVD와 같은 방식을 수행하여 적층한다.

이어서, 상기 게이트 절연막(320) 상에 상기 채널 영역(310b)에 대응되도록 게이트 전극(330)을 형성한다. 상기 게이트 전극(330)은 폴리실리콘막으로 형성할 경우 비정질 실리콘이나 다결정 실리콘을 이용하여 상기 반도체층(310)의 형성 방법과 동일하게 형성한다.

이어서, 마스크를 이용하여 상기 반도체층(310)에 불순물을 주입함으로써, 상기 반도체층에 소오스/드레인 영역들(310c, 310a)을 형성함과 동시에 상기 소오스/드레인 영역들(310c, 310a) 사이에 개재된 채널 영역(310b)을 정의한다.

상기 불순물은 플루오르화 붕소이온(BF_2^+), 붕소이온(B^+)과 같은 p^+ 타입 또는 비소(As^+), 인(P^+)과 같은 n^+ 타입 중에서 선택하여 형성한다.

이어서, 상기 게이트 전극(330)을 포함한 기판 상부 전체에 걸쳐 층간절연막(340)을 형성한다. 상기 층간절연막(340)은 PECVD 또는 LPCVD와 같은 방식을 수행하여 적층한다.

이어서, 상기 층간절연막(340) 내에 상기 소오스/드레인 영역들(310c, 310a)을 각각 노출시키는 콘택홀들(341)을 형성한다. 상기 콘택홀들(341) 내에 노출된 상기 소오스/드레인 영역들(310c, 310a) 및 상기 층간절연막(340) 상에 금속막을 적층하고 이를 패터닝함으로써, 소오스/드레인 전극들(345)을 형성한다.

이어서, 상기 소오스/드레인 전극들(345)이 형성된 기판 상에 무기 평탄화막(360)을 형성한다. 더욱 바람직하게는, 상기 평탄화(360)은 실리콘 산화막(SiO_2)으로 형성한다.

상기 무기 평탄화막(360)은 용액을 코팅 방법을 통해 도포한 후 고온 열처리 공정을 통해 형성한다.

상기 무기 평탄화막(360)을 형성하기 위한 상기 용액은 각각의 폴리머를 다른 조성비로하여 용매와 혼합하여 만든 것으로서, 용매인 프로필렌글리콜모노메틸에테르아세테이트(PGMEA; Propylene Glycol Monomethyl Ether Acetate)에 대한 메틸 실록산(Methyl siloxane)의 함량이 10wt% 내지 20wt%인 용액 또는 용매(PGMEA)에 대한 하이드로전실세스퀴옥산(HSQ; Hydrogen silsesquioxane)의 함량이 5wt% 내지 35wt%인 용액으로 형성된다.

상기 무기 평탄화막(360)을 형성하기 위해 상기 용액을 스핀코팅 방법으로 상기 기판 상에 균일하게 도포한다.

상기 기판 상에 도포된 용액은 코팅 장비의 스핀스피드(Spin Speed)를 100rpm 내지 1300rpm으로 1초 내지 30초 동안 수행하여 1 μ m 내지 2 μ m 두께의 균일한 막을 형성한다.

상기 스핀스피드는 100rpm이하에서 1초 이상일 경우에는 평탄화막의 두께가 2 μ m이상으로 너무 두껍게 형성되고, 1300rpm이상으로 30초 미만일 경우에는 평탄화막의 두께가 1 μ m이하로 너무 얇게 형성되므로 100rpm 내지 1300rpm에서 1초 내지 30초를 유지하는 것이 바람직하다.

상기 기판 상에 도포된 용액은 200℃ 내지 300℃의 고온에서 유지시간(Keeping Time) 1/2시간 내지 1시간의 열처리 공정을 수행한다.

상기 용액에 의해 균일하게 도포된 막은 200℃ 이상에서부터 경화되기 시작하고 300℃ 이상일 때는 상기 기판의 유리전이온도(Tg)를 초과하므로 열처리 온도는 200℃ 내지 300℃를 유지하는 것이 바람직하다.

상기 열처리 유지시간은 1/2시간 이하로 수행하게 되면 막이 제대로 형성되지 않고, 1/2시간 이상만 되어도 막이 충분히 형성되므로 1/2시간 내지 1시간을 수행하는 것이 바람직하다.

상기 용액은 고온의 열처리 공정(Bake)을 통해 막 안에 함유되어 있는 H₂O를 제거함으로써 최종적으로 실리콘 산화막(SiO₂)으로 형성되는 무기 평탄화막(360)을 형성한다.

상기 제조 방법으로 형성된 무기 평탄화막(360)은 상기 도포된 용액에 의해 하부 단차가 상쇄되어진다.

이하, 무기 평탄화막(360)이 SiO₂로 형성되는 반응 메카니즘(Mechanism)을 설명한다.

표 1은 SiO₂ 형성 메카니즘의 이해를 돕기 위한 물리적/화학적 변화들을 설명한 것이다.

[표 1]

약자	명 칭	반응식
A	가수분해(Hydrolysis)	$\equiv\text{Si-OEt} + \text{H}_2\text{O} \rightarrow \equiv\text{Si-OH}$
B	축합(Condensation)	$\equiv\text{Si-OH} + \text{HO-Si} \rightarrow \equiv\text{Si-O-Si}$
C	축합(Condensation)	$\equiv\text{Si-OEt} + \text{HO-Si} \rightarrow \equiv\text{Si-O-Si}$
D	분해(Decomposition)	$\equiv\text{Si-OEt} \rightarrow \equiv\text{Si-OH}$
E	증발(Evaporation)	
F	탈수(Dehydration)	
G	점성 소멸(Viscous Sintering)	

아래의 표 2는 SiO₂ 형성 반응 메카니즘을 나타낸다.

[표 2]

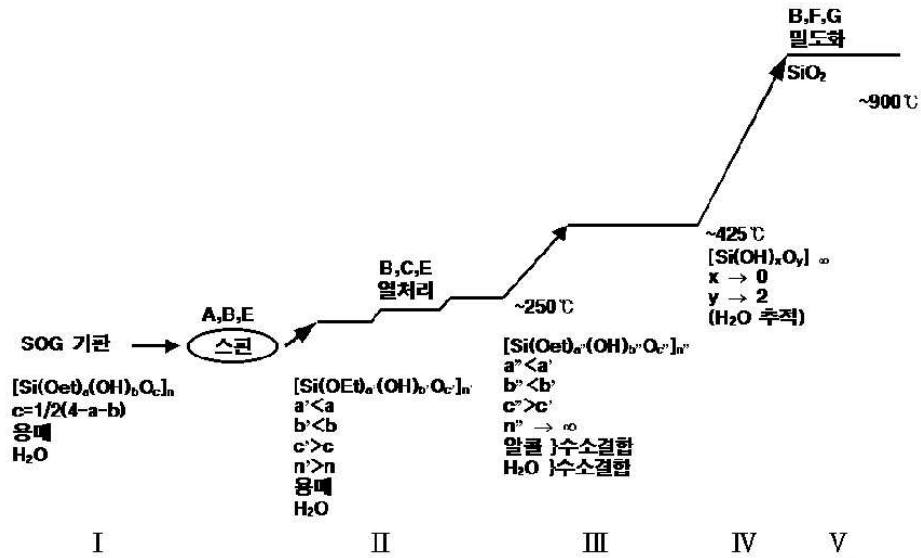


표 2를 참조하여, 상기 반응 메카니즘을 I ~ V 단계로 나누어 설명한다.

I 단계 - 용매(PGMEA)에 대한 메틸 실록산(Metyl siloxane)의 함량이 10wt% 내지 20wt%인 용액 또는 용매(PGMEA)에 대한 하이드로전실세스퀴옥산(HSQ)의 함량이 5wt% 내지 35wt%인 용액을 준비한다.

이 과정에서 $[Si(Oet)_a(OH)_bO_c]_n$, 용매(PGMEA), H_2O 가 준비된다.

이 때, $c=1/2(4-a-b)$ 이다. (a, b, c, n은 정수 이다)

II 단계 - 상기 I 의 물질을 스펀코팅 방식을 통해 기판에 도포한다.

이 과정은 A, B, E 반응을 수반하여 $[Si(OEt)_{a'}(OH)_{b'}O_{c'}]_{n'}$ 를 생성하며, 용매(PGMEA) 및 H_2O 가 존재한다. 이 때, $a'<a$, $b'<b$, $c'>c$, $n'>n$ 을 만족한다.

(a', b', c', n'는 정수이다)

III단계 - 상기 II에서 생성된 물질을 고온 열처리(Bake) 한다.

이 과정은 $250^{\circ}C$ 이하에서 B, C, E 반응을 수반하여 $[Si(Oet)_{a''}(OH)_{b''}O_{c''}]_{n''}$ 를 생성한다. 이 때, $a''<a'$, $b''<b'$, $c''>c'$, $n''->\infty$ 를 만족하며 생성된 물질의 알콜 (Alcohols)과 물(H_2O)은 수소결합(Hydrogen Bonded)을 갖는다.

(a'', b'', c'', n''는 정수이다)

IV단계- 상기 III에서 생성된 물질은 $425^{\circ}C$ 이하에서 $[Si(OH)_xO_y]_{\infty}$ 을 생성한다.

이 때, $x \rightarrow 0$, $y \rightarrow 2$ 로 향하고 H_2O 를 추적한다.

V 단계- 상기 IV에서 생성된 물질은 $900^{\circ}C$ 이하에서 B, F, G 반응을 수반하여 반응의 최종 생성물인 실리콘 산화막(SiO_2)을 생성한다.

상기 반응의 메카니즘에서는 900℃ 이하의 고온에서 실리콘 산화막(SiO_2)을 형성하였으나, 본 발명에서는 기판의 유리전이온도(T_g)가 250℃ 내지 300℃이므로 300℃ 이하에서 열처리 공정을 통해 실리콘 산화막(SiO_2)을 형성하는 것이 바람직하다.

상기 반응 메카니즘에 의해 본 발명의 실시예에서 200℃ 내지 300℃로 생성된 물질의 접촉각(Contact Angle)를 측정한 결과 900℃ 이하에서 생성된 실리콘 산화막(SiO_2)과 같은 접촉각 30°를 나타냈으며, 이를 통해 본 발명의 생성 물질이 실리콘 산화막(SiO_2)과 동일한 물질임을 확인 할 수 있었다.

또한, 상기 실리콘 산화막으로 형성된 무기 평탄화막(360) 하부에 실리콘 질화막으로 이루어진 패시베이션막(350)을 더욱 형성할 수 있다. 상기 패시베이션막은 PECVD나 LPCVD 방식에 의해 형성할 수 있다.

이어서, 상기 무기 평탄화막(360) 내에 상기 소오스/드레인 전극들(345) 중 어느 하나를 노출시키는 비아홀(355)을 형성한다. 상기 비아홀(355)이 형성된 무기 평탄화막(360) 상에 제 1 전극(370)을 적층하고 이를 패터닝한다. 이로써, 상기 비아홀(355)의 바닥에 위치하여 상기 노출된 소오스/드레인 전극(345)에 접하고, 상기 무기 평탄화막(360) 상으로 연장된 제 1 전극(370)을 형성한다.

상기 제 1 전극(370)은 스퍼터링(Sputtering) 또는 이온 플레이팅(Ion Plating)과 같은 방법으로 형성한다. 바람직하게 제 1 전극(370)은 스퍼터링의 통상적인 방법으로 형성한다. 상기 제 1 전극(370)은 증착 후 사진공정에서 형성된 포토레지스트(PR)층의 패턴을 이용하여 선택적으로 제거해 내는 습식 식각 공정을 통해 패터닝한다.

이어서, 상기 제 1 전극(370) 상부에는 화소영역을 정의하고 유기발광층 사이에 절연을 위하여 절연성 물질로 화소정의막(375)을 형성한 후 포토레지스트(PR)를 마스크로 하여 건식 식각을 통해 개구부를 형성한다.

상기 유기막층(380)은 진공증착, 스핀코팅, 잉크젯 프린팅, 레이저 열전사법(LITI)등의 방법으로 적층한다. 바람직하게 스핀코팅 방식을 통해 적층한다. 또한 상기 유기막층(380)을 패터닝하는 것은 레이저 열전사법, 새도우 마스크를 사용한 진공증착등을 사용하여 구현할 있다.

상기 유기발광층으로는 저분자 물질 또는 고분자 물질 모두 가능하다. 상기 저분자 물질은 알루니 키노핀 복합체(Alq_3), 안트라센(Anthracene), 시클로 펜타디엔(Cyclo pentadiene), BeBq_2 , Almq , ZnPBO , Balq , DPVBi , BSA-2 및 2PSP 로 이루어진 군에서 선택되는 하나로 형성한다. 바람직하게, 상기 유기발광층은 알루니 키노핀 복합체(Alq_3)로 형성한다.

상기 고분자 물질은 폴리(p-페닐렌비닐렌)(PPV;poly(p-phenylenevinylene)) 및 그 유도체, 폴리티오펜(PT;polythiophene) 및 그 유도체 및 폴리페닐렌(PPP;polyphenylene) 및 그 유도체로 이루어진 군에서 선택되는 하나로 형성하는 것이 바람직하다.

이어서, 상기 유기막층(380) 상부에 제 2 전극(390)을 형성한다. 상기 제 2 전극(390)은 진공증착법으로 형성한다.

이하, 본 발명의 일실험예를 제시한다. 다만, 하기하는 실험예는 본 발명을 잘 이해하기 위하여 제공되는 것일 뿐, 본 발명이 하기하는 실험예에 한정되는 것은 아니다.

실험예

전면 발광 유기전계발광표시소자를 기준으로 테스트 기판을 제작하였다.

박막트랜지스터가 형성된 절연 유리 기판을 제공하고, 상기 박막트랜지스터 상부에 패시베이션막을 형성하고, 상기 패시베이션 상부에 용매인 프로필렌글리콜모노메틸에테르아세테이트(PGMEA)에 대한 메틸 실록산(Methyl siloxane)(Honeywell사제)의 함량이 15wt%인 용액을 스핀코팅 방법을 통해 코팅 장비의 스핀스피드를 300rpm으로 10초 동안 수행하여 2.29 μm 내지 2.39 μm 두께의 균일한 막을 증착하였다. 이어서, 상기 증착된 막을 250℃의 고온에서 유지시간 1시간의 열처리 공정을 수행하여 실리콘 산화막(SiO_2)으로 이루어진 무기 평탄화막을 형성하였다.

도 3은 본 발명의 실험예에 따른 기판의 박막트랜지스터 상부에 형성된 무기 평탄화막의 단면 사진이다.

상기 d1은 패시베이션막(350)과 무기 평탄화막(360)의 합산 두께를 나타낸 것이다.

상기 d2는 소오스/드레인 전극(345), 패시베이션막(350) 및 무기 평탄화막 (360)의 합산 두께를 나타낸 것이다.

상기 d2는 0.49 μm 인 소오스/드레인 전극의 두께를 포함하지만 d1과의 두께 차이는 0.1 μm 로서 오차범위 $\pm 0.05\mu\text{m}$ 내에서 큰 유의차를 보이지 않는 것을 확인하였다.

상기 실험예를 통해 실리콘 질화막(SiN_x)으로 형성된 패시베이션막(350)은 하부 단차를 상쇄시키는 평탄화 특성이 불량하고, 실리콘 산화막(SiO_2)으로 형성된 무기 평탄화막(360)은 하부 단차를 상쇄시키는 평탄화 특성이 우수함을 확인할 수 있었다.

이에 따라, 유기전계발광표시소자 제조 공정시에 평탄화막을 증착할 경우 상기 용액을 코팅방법으로 도포 후 고온 열처리 공정을 거쳐 무기 평탄화막으로 형성함으로써, 하부 단차를 상쇄시켜 제 1 전극의 접착력과 개구율을 향상시키고, 후속 공정시 유기막층 증착 후 유기막층 내에 평탄화막으로부터 H_2O , O_2 등과 같은 아웃개싱에 의한 유기발광층의 열화방지를 통해 화소 수축현상 방지 및 유기발광층의 수명을 개선할 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 무기 평탄화막을 형성함으로써 상기 무기 평탄화막 제조방법에 의해 하부 단차를 상쇄시켜 제 1 전극의 단차피복성을 개선하여 제 1 전극의 접착력 및 개구율을 향상시키고, 제 1 전극이 애노드 전극인 경우 제 1 전극의 표면저항 상승과 무기 평탄화막의 열화를 방지하고, 또한 유기막층 증착 후 유기막층 내로 상기 무기 평탄화막으로부터 H_2O , O_2 등의 아웃개싱 현상에 의한 유기발광층의 열화 방지를 통해 화소 수축 현상 방지 및 유기발광층의 수명을 개선할 수 있다.

또한, 패시베이션 기능을 갖는 무기 평탄화막을 형성함으로써 패시베이션막적층 공정을 생략하여 공기 단축을 통한 생산성 향상을 시킬 수 있다.

(57) 청구의 범위

청구항 1.

기판;

상기 기판 상부에 형성되어 있는 박막트랜지스터;

상기 박막트랜지스터 상부에 형성되어 있는 무기 평탄화막;

상기 무기 평탄화막 상부에 형성되어 있는 제 1 전극;

상기 제 1 전극 상부에 형성되어 있으며 개구부를 갖는 화소정의막;

상기 제 1 전극 상부에 형성되어 있으며 최소한 유기발광층을 포함하는 유기막층; 및

상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시소자.

청구항 2.

제 1 항에 있어서,

상기 무기 평탄화막은 무기물로 이루어지는 것을 특징으로 하는 유기전계발광표시소자.

청구항 3.

제 2 항에 있어서,

상기 무기물은 실리콘계 물질인 것을 특징으로 하는 유기전계발광표시소자.

청구항 4.

제 3 항에 있어서,

상기 실리콘계 물질은 실리콘 산화막(SiO_2)인 것을 특징으로 하는 유기전계발광표시소자.

청구항 5.

제 1 항에 있어서,

상기 무기 평탄화막은 박막트랜지스터의 패시베이션 기능을 수행하는 것을 특징으로 하는 유기전계발광표시소자.

청구항 6.

제 1 항에 있어서,

상기 무기 평탄화막은 $1\mu\text{m}$ 내지 $2\mu\text{m}$ 두께의 균일한 막을 형성하는 것을 특징으로 하는 유기전계발광표시소자.

청구항 7.

제 1 항에 있어서,

상기 제 1 전극이 애노드이고, 상기 제 2 전극이 캐소드인 유기전계발광표시소자.

청구항 8.

제 1 항에 있어서,

상기 제 1 전극이 캐소드이고, 상기 제 2 전극이 애노드인 유기전계발광표시소자.

청구항 9.

제 1 항에 있어서,

상기 화소정막은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀수지로 이루어진 군에서 선택되는 1 종의 유기계 물질로 형성되는 것을 특징으로 하는 유기전계발광표시소자.

청구항 10.

제 1 항에 있어서,

상기 화소정의막은 SiO_2 인 무기계 물질로 형성되는 것을 특징으로 하는 유기전계발광표시소자.

청구항 11.

제 1 항에 있어서,

상기 무기 평탄화막은 하부에 실리콘 질화막인 패시베이션막을 더욱 포함하는 것을 특징으로 하는 유기전계발광표시소자.

청구항 12.

기관을 제공하고;

상기 기관 상부에 박막트랜지스터를 형성하고;

상기 박막트랜지스터 상부에 무기 평탄화막을 형성하고;

상기 무기 평탄화막 상부에 제 1 전극을 형성하고;

상기 제 1 전극 상부에 개구부를 갖는 화소정의막을 형성하고;

상기 제 1 전극 상부에 최소한 유기발광층을 포함하는 유기막층을 형성하고, 및

상기 유기막층 상부에 제 2 전극을 형성하며;

상기 무기 평탄화막은 용액을 코팅 방법으로 도포한 후 고온 열처리 공정을 거쳐 형성하는 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 13.

제 12 항에 있어서,

상기 무기 평탄화막은 무기물로 이루어지는 것을 특징으로 하는 유기전계발광표시소자.

청구항 14.

제 12 항에 있어서,

상기 무기물은 실리콘계 물질인 것을 특징으로 하는 유기전계발광표시소자.

청구항 15.

제 12 항에 있어서,

상기 실리콘계 물질은 실리콘 산화막(SiO_2)으로 이루어진 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 16.

제 12 항에 있어서,

상기 무기 평탄화막은 박막트랜지스터의 패시베이션 기능을 갖는 절연막층임을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 17.

제 12 항에 있어서,

상기 무기 평탄화막은 메틸실록산(Methyl siloxane)과 용매(PGMEA)를 혼합한 용액 또는 하이드로전실세스퀴옥산(Hydrogen silsesquioxane)과 용매(PGMEA)를 혼합한 용액을 사용하여 형성하는 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 18.

제 12 항에 있어서,

상기 용액은 용매(PGMEA)에 대한 메틸실록산의 함량이 10wt% 내지 20wt%인 용액 또는 용매(PGMEA)에 대한 하이드로전실세스퀴옥산(HSQ)의 함량이 5wt% 내지 35wt%인 용액인 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 19.

제 12 항에 있어서,

상기 코팅은 스핀스피드를 100rpm 내지 1300rpm으로 1초 내지 30초 동안 수행하는 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 20.

제 12 항에 있어서,

상기 무기 평탄화막의 두께는 $1\mu\text{m}$ 내지 $2\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 21.

제 12 항에 있어서,

상기 무기 평탄화막의 열처리 온도는 200°C 내지 300°C 로 수행하는 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 22.

제 12 항에 있어서,

상기 무기 평탄화막의 열처리 공정 유지시간(Keeping time)은 1/2시간 내지 1시간의 범위 내에서 수행하는 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 23.

제 12 항에 있어서,

상기 무기 평탄화막은 열처리 공정을 통해 막 안에 함유되어 있는 H_2O 를 제거함으로써 실리콘 산화막(SiO_2)을 형성하는 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 24.

제 12 항에 있어서,

상기 무기 평탄화막은 하부에 패시베이션막을 더욱 형성하는 것을 포함하는 유기전계발광표시소자의 제조방법.

청구항 25.

제 12 항에 있어서,

상기 패시베이션막은 무기물로 형성하는 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 26.

제 25 항에 있어서,

상기 무기물은 실리콘 질화막인 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

청구항 27.

제 12 항에 있어서,

상기 제 1 전극은 애노드이고, 상기 제 2 전극은 캐소드인 유기전계발광표시소자의 제조방법.

청구항 28.

제 12 항에 있어서,

상기 제 1 전극은 캐소드이고, 상기 제 2 전극은 애노드인 유기전계발광표시소자의 제조방법.

청구항 29.

제 12 항에 있어서,

상기 화소정의막은 폴리이미드, 아크릴계 수지인 유기물 및 실리콘 산화막 중 어느 하나로 이루어진 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

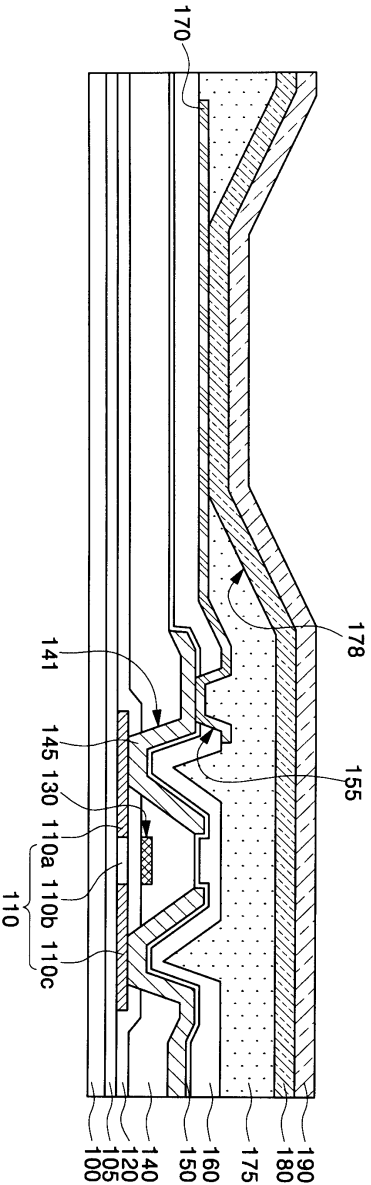
청구항 30.

제 12 항에 있어서,

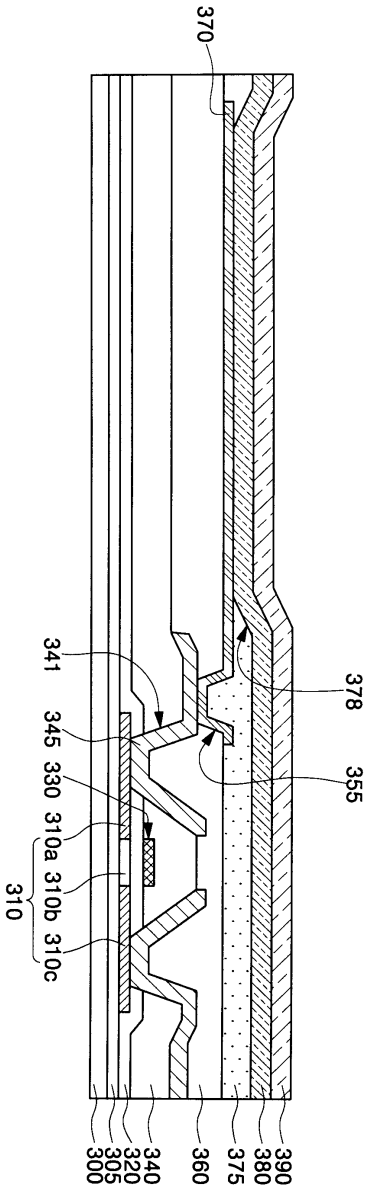
상기 화소정의막의 개구부는 건식 식각을 통해 형성하는 것을 특징으로 하는 유기전계발광표시소자의 제조방법.

도면

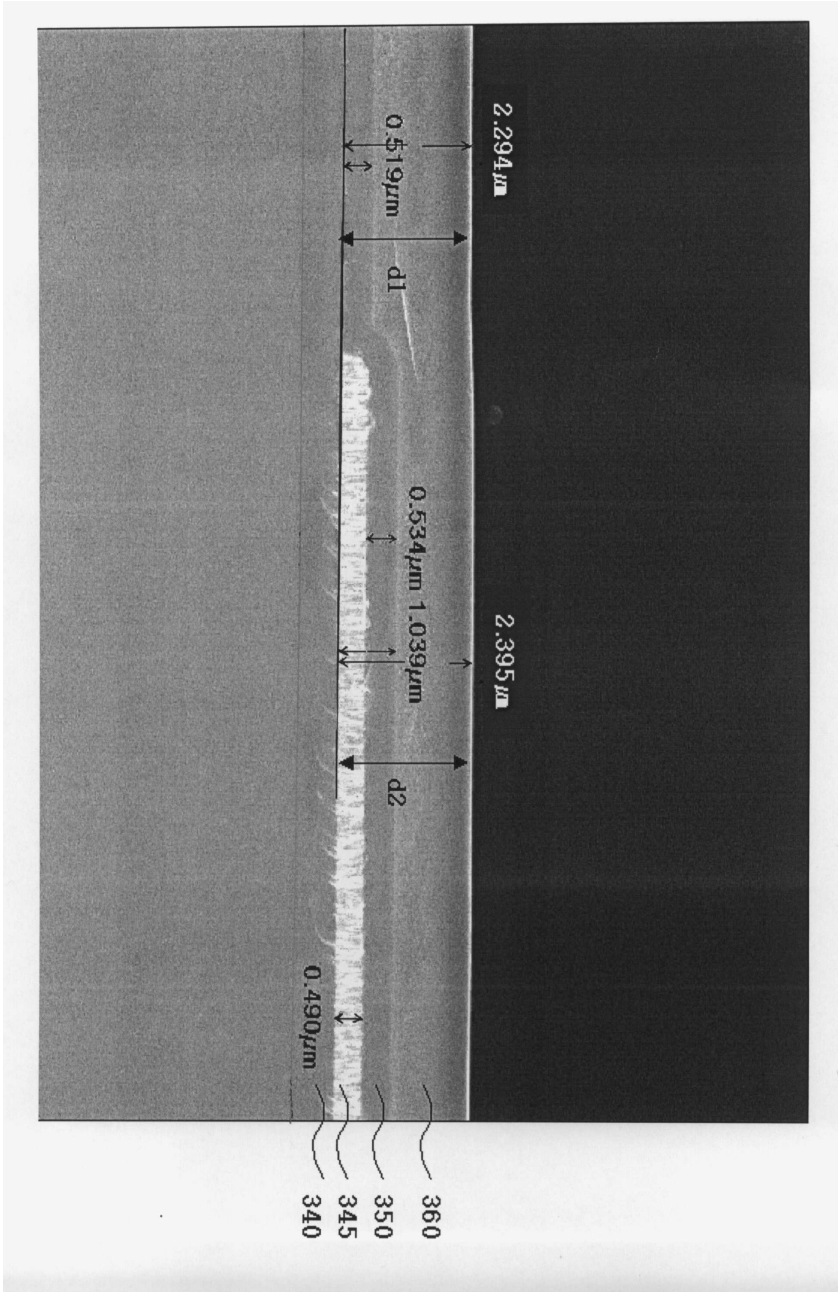
도면1



도면2



도면3



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020060018768A	公开(公告)日	2006-03-02
申请号	KR1020040067287	申请日	2004-08-25
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHO YUSUNG KANG HOJIN 강호진		
发明人	조유성 강호진		
IPC分类号	H05B33/22 H05B33/10		
代理人(译)	PARK , 常树		
其他公开文献	KR100666565B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机电致发光显示装置及其制造方法，以通过改善第一电极的台阶覆盖来改善第一电极的粘合力 and 孔径比。

