

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/30
H05B 33/08

(11) 공개번호 10-2005-0117368
(43) 공개일자 2005년12월14일

(21) 출원번호 10-2004-0042666
(22) 출원일자 2004년06월10일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 오두환
충청북도 청주시 상당구 용암동 2318번지 202호
정훈주
경기도 평택시 세교동 555 부영원앙아파트 502-1003

(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 전압 보상 구동형 능동행렬 유기전계발광 디스플레이 장치

요약

본 발명은 유기전계발광 디스플레이 장치에 관한 것으로서, 보다 상세하게는 문턱전압 변동의 특성 변화와 구동 전압의 하강에 따른 화질 불균일 문제가 발생하지 않는 구조를 가지며, 아울러 입력 신호라인의 개수를 줄임으로 화소 개구율의 확보가 더욱 용이하고 이에 따른 구동회로의 구성이 간단한 장점이 있는 화소구조를 가지는 전압 보상 구동형 유기전계발광 디스플레이 장치에 관한 것이다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스 유기 EL 디스플레이 장치의 화소구조를 도시한 도면

도 2는 종래의 4-TFT, 2-CAP 구조 유기전계발광 디스플레이 장치의 화소 구조를 도시한 도면

도 3은 도 2에 도시된 화소구조의 동작에 따른 신호 타이밍도

도 4a 내지 도 4d는 각각 도 3의 신호타이밍도 동작구간에 따른 도 2의 화소구조에 대한 등가회로도

도 5는 본 발명의 제1실시예에 따른 전압 보상 구동형 능동행렬 유기전계발광 디스플레이 장치의 화소구조를 등가 도시한 회로도

도 6은 도 5에 도시된 화소구조의 동작에 따른 신호 타이밍도

도 7a 내지 도 7d는 각각 도 6의 신호타이밍도 동작구간에 따른 도 5의 화소구조에 대한 등가회로도

도 8과 도 9 및 도 10은 각각 본 발명에 따른 제2, 제3, 제4 실시예의 화소 구조를 도시한 회로도

<도면의 주요부분에 대한 간단한 설명>

MN1 : 제1스위칭 트랜지스터 MN2 : 구동트랜지스터

MN3 : 제2스위칭 트랜지스터 MN4 : 제3스위칭 트랜지스터

C1, C2 : 커패시터 OLED : 유기 EL

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스플레이 장치에 관한 것으로서 보다 상세하게는 화소의 구동을 위한 신호라인을 줄여 개구율을 확보하고 kink 현상을 감소시킬 수 있는 화소 구조를 가지는 전압 보상 구동형 유기전계발광 디스플레이 장치에 관한 것이다.

요즘 많이 사용되고 있는 디스플레이 장치인 액티브 매트릭스 액정 디스플레이(AMLCD; Active Matrix Liquid Crystal Display) 장치는 경박, 저 소비 전력의 특성을 가지고 있지만, 자체의 발광 특성이 없으므로 백라이트(backlight)를 이용해야 한다는 단점이 있다.

AMLCD의 단점을 해소하기 위한 디스플레이 장치가 액티브 매트릭스 유기 EL 디스플레이 장치인데, 유기 EL(electro luminescence) 디스플레이 장치의 EL은 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 자발광성 디스플레이 장치로서, 낮은 전압에서 구동이 가능하고, 박형 등의 장점을 갖는다.

도 1은 종래의 액티브 매트릭스 유기 EL 디스플레이 장치의 화소구조를 나타내는 것으로, 매트릭스 형태로 배열된 스캔 라인들(S1, S2, ..., Sm)과 데이터 라인들(D1, D2, ..., Dn) 각각의 사이에 스위칭용 PMOS트랜지스터(P1), 커패시터(C), 구동용 PMOS트랜지스터(P2), 및 유기 EL(OEL)을 구비하여 구성되어 있다.

스위칭용 PMOS트랜지스터(P1)의 게이트는 스캔 라인에 연결되고, 소스는 데이터 라인에 연결되어 있다. 커패시터(C)의 일측은 스위칭용 PMOS트랜지스터(P1)의 드레인에 연결되고 타측은 구동전압(Vdd)에 연결되어 있다. 구동용 PMOS트랜지스터(P2)의 소스는 구동전압(Vdd)에 연결되고, 게이트는 스위칭용 PMOS트랜지스터(P1)의 드레인에 연결되고, 드레인 은 유기 EL(OEL)의 양극에 연결되어 있다.

도 1에 나타난 장치의 구동방법을 설명하면 다음과 같다.

스캔 라인으로 인가되는 네거티브 선택 전압에 의해서 스위칭용 PMOS트랜지스터(P1)가 온되면 데이터 라인으로 인가되는 구동전압(Vdd)에 의해서 커패시터(C)에 전하가 축적된다. 이때 축적되는 커패시터(C)의 전압에 의해서 구동용 PMOS트랜지스터(P2)에 흐르는 전류의 양이 결정된다. 결정된 전류의 양에 의해서 유기 EL(OEL)이 발광된다.

상술한 방법으로, 스캔 라인들(S1, S2, ..., Sm)을 순차적으로 인에이블하면서 해당 스캔 라인으로 데이터 라인들(D1, D2, ..., Dn)을 통하여 데이터가 인가된다.

상기와 같은 기본 구성과 동작의 특징을 가지는 유기 EL 디스플레이 장치는 그 필요에 따라 다양한 화소구조로 응용되어 지는데, 도 2는 구동용 트랜지스터의 열화에 기인하는 문턱전압 변화와 구동전압(VDD)의 하강에 기인하는 화질 불균일 현상을 개선하기 위한 종래의 4-TFT, 2-CAP 구조의 화소 구조를 도시한 도면이다.

화소의 구조를 보면, 데이터입력라인(Data)에 연결되고 선택신호입력라인(Select)의 선택신호에 따라 구동되는 제1스위칭 트랜지스터(MN1)와, 구동전압(VDD)에 연결되고 상기 스위칭 트랜지스터(MN1)와 제1노드(N1)를 형성하며 상기 스위칭 트랜지스터(MN1)의 출력신호에 따라 구동되는 구동 트랜지스터(MN2)와, 상기 제1노드(N1) 및 구동 트랜지스터(MN2)에 연결되고 제1구동신호(AZ)에 따라 구동되는 제2스위칭 트랜지스터(MN3)와, 상기 구동 트랜지스터(MN2)와 연결되고 제2구동신호(AZB)에 따라 구동되는 제3스위칭 트랜지스터(MN4)와, 상기 제3스위칭 트랜지스터(MN4)와 기저전압(GND)에 연결된 유기EL(OLED)을 포함하고 있다. 여기서 상기 각 트랜지스터는 PMOS 박막트랜지스터(TFT)이다.

또한 상기 제1스위칭 트랜지스터(MN1)와 제1노드(N1) 사이에 제1커패시터(C1)가 구성되고, 상기 구동전압(VDD)과 제1노드(N1) 사이에 제2커패시터(C2)가 더욱 구성된다.

상기와 같은 화소 구조의 동작을 도 3의 신호 타이밍도와 도 4a 내지 도 4d의 구동 등가회로도들을 참조하여 설명한다.

먼저, 도 3의 신호타이밍도의 구간 중 (A) 구간의 동작과 이에 따른 등가 회로도인 도 4a를 보면, 제1, 제2 및 제3스위칭 트랜지스터(MN1)(MN3)(MN4)가 온(on)되면 수식 (1)과 같이 표현되는 높은 데이터 전압이 구동 트랜지스터(MN2)에 인가되고 유기EL(OLED)은 블랙으로 초기화된다.

$$\text{수식 (1)} \quad V_g \ll V_{DD} - |V_{th}|$$

여기서, V_g 는 구동 트랜지스터(MN2)의 게이트단자로 인가되는 전압이고 V_{th} 는 트랜지스터 구동을 위한 게이트단자 입력 문턱전압이다.

다음으로, 신호타이밍 구간 중 (B) 구간과 이에 따른 등가 회로도 도 4b와 같이, 제3스위칭 트랜지스터(MN4)가 오프(off) 되면 구동 트랜지스터(MN2)는 다이오드 커넥션(Diode connection)이 형성되고 이에 게이트단자로 인가되는 게이트전압 V_g 는 수식 (2)와 같이 나타낼 수 있으며 제2커패시터(C2)에 저장된다.

$$\text{수식 (2)} \quad V_g = V_{DD} - |V_{th}|$$

다음으로, 신호타이밍 구간 중 (C) 구간과 이에 따른 등가 회로도 도 4c와 같이, 제2스위칭 트랜지스터(MN3)가 오프(off) 되고 저장된 데이터(data)가 구동 트랜지스터(MN2)로 인가되면 구동 트랜지스터(MN2)의 게이트전압(V_g)은 수식 (3)과 같이 변화하게 된다.

$$\text{수식 (3)} \quad V_g = V_{DD} - |V_{th}| - \frac{\Delta V_{data} C_1}{C_1 + C_2}$$

여기서, 상기 ΔV_{data} 는 인가되는 데이터 전압의 변화량이고, C_1 , C_2 는 제1 및 제2커패시터(C1)(C2)의 커패시턴스 값이다.

마지막으로, 신호타이밍 구간 중 (D) 구간과 이에 따른 등가 회로도 도 4d와 같이, 제3스위칭 트랜지스터(MN4)가 온(on) 되면 상기 저장되어 인가된 구동 트랜지스터(MN2)의 게이트전압(V_g)에 의해 상기 유기EL(OLED)로 데이터 전류(I_{data})가 흐르게 된다. 이때 흐르는 데이터 전류(I_{data})는 수식 (4)와 같이 표현되는 유기EL 구동전류(I_{oled})이다.

$$\text{수식 (4)} \quad I_{oled} = K(V_{gs} - |V_{th}|)^2 = K \left(\frac{\Delta V_{data} C_1}{C_1 + C_2} \right)^2, \quad K = -1/2 C_{ox} \mu W/L$$

여기서, 상기 $[C_{ox}]$ 는 게이트절연막의 단위 커패시턴스이고, $[\mu]$ 는 이동도이며, $[W]$ 는 채널의 폭(Width), $[L]$ 은 채널의 길이이며, $[C_{ox} \mu W/L]$ 는 구동 트랜지스터(MN2)의 채널의 개수이다.

상기 수식 (4)에서는 유기 EL(OLED)에 흐르는 전류(I_{oled})는 구동전압(VDD)과 문턱전압(V_{th})에 해당되는 표현이 존재하지 않는다. 따라서, 구동 트랜지스터(MN2)의 문턱전압(V_{th})의 특성 변화에 따른 화질 불균일 및 구동전압(VDD)의 전압 강하(voltage drop)에 의한 화질 불균일 현상을 개선할 수 있는 장점이 있다.

또한 제3스위칭 트랜지스터(MN4)가 오프(off)되는 동안에 유기 EL(OLED)로 전류가 흐르지 않기 때문에, 다시 말해 데이터가 상기 제2커패시터(C2)에 저장되어 인가되는 시간 동안 유기 EL(OLED)로 전류가 흐르지 않기 때문에 콘트라스트 비(Contrast Ratio)의 개선이 수행되는 장점이 있으나, 인가되는 신호라인(Select, AZ, AZB)의 개수가 많아 화소 내부의 개구율 확보가 어려운 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같이 설명한 화소 구조의 장점을 포함하고, 아울러 인가되는 신호 라인의 수를 줄여 화소의 개구율 확보가 더욱 용이한 화소 구조를 가진 전압보상 구동형 능동행렬 유기전계발광 디스플레이 장치를 제안하는데 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위해, 본 발명은 제1실시예로써, 기저전압에 연결되는 유기전계 발광소자와; 데이터를 입력받고 스캔 선택신호에 의해 구동되는 제1스위칭 트랜지스터와; 구동전압을 입력받으며 상기 제1스위칭 트랜지스터와 제1노드를 형성하여 연결되는 구동 트랜지스터와; 상기 제1노드와 구동 트랜지스터에 연결되고 제1구동신호에 의해 구동되는 제2스위칭 트랜지스터와; 상기 제1노드의 출력을 입력받아 구동되며 상기 구동 트랜지스터와 유기전계 발광소자에 연결되는 제3스위칭 트랜지스터와; 상기 제1스위칭트랜지스터와 제1노드 사이에 구성되는 제1커패시터와; 상기 구동전압원과 제1노드 사이에 구성되는 제2커패시터를 포함하는 화소구조를 가지는 유기전계발광 디스플레이 장치를 제시한다.

여기서 상기 각 트랜지스터는 P-타입 박막 트랜지스터인 것을 특징으로 한다.

본 발명에 따른 제2실시예로써, 구동전압을 입력받는 유기전계 발광소자와; 데이터를 입력받고 스캔 선택신호에 의해 구동되는 제1스위칭 트랜지스터와; 상기 제1스위칭 트랜지스터와 제1노드를 형성하여 연결되고 상기 유기전계 발광소자와 연결되는 구동 트랜지스터와; 상기 제1노드와 구동 트랜지스터에 연결되고 제1구동신호에 의해 구동되는 제2스위칭 트랜지스터와; 상기 제1노드의 출력을 입력받아 구동되며 상기 구동 트랜지스터와 기저전압에 연결되는 제3스위칭 트랜지스터와; 상기 제1스위칭트랜지스터와 제1노드 사이에 구성되는 제1커패시터와; 상기 유기전계 발광소자와 제1노드 사이에 구성되는 제2커패시터를 포함하는 화소구조를 가지는 유기전계발광 디스플레이 장치를 제시한다.

여기서 상기 각 트랜지스터는 P-타입 박막 트랜지스터인 것을 특징으로 한다.

본 발명에 따른 제3실시예로써, 기저전압에 연결되는 유기전계 발광소자와; 데이터를 입력받고 스캔 선택신호에 의해 구동되는 제1스위칭 트랜지스터와; 구동전압원을 입력받으며 상기 제1스위칭 트랜지스터와 제1노드를 형성하여 연결되는 구동 트랜지스터와; 상기 제1노드와 구동 트랜지스터에 연결되고 제1구동신호에 따라 구동되는 제2스위칭 트랜지스터와; 상기 제1노드의 출력을 입력받아 구동되며 상기 구동 트랜지스터와 유기전계 발광소자에 연결되는 제3스위칭 트랜지스터와; 상기 제1스위칭트랜지스터와 제1노드 사이에 구성되는 제1커패시터와; 상기 유기전계 발광소자와 제1노드 사이에 구성되는 제2커패시터를 포함하는 화소구조를 가지는 유기전계발광 디스플레이 장치를 제시한다.

여기서 상기 각 트랜지스터는 N-타입 박막 트랜지스터인 것을 특징으로 한다.

본 발명에 따른 제4실시예로써, 구동전압을 입력받는 유기전계 발광소자와; 데이터를 입력받고 스캔 선택신호에 의해 구동되는 제1스위칭 트랜지스터와; 상기 제1스위칭 트랜지스터와 제1노드를 형성하며 연결되고 상기 유기전계 발광소자와 연결되는 구동 트랜지스터와; 상기 제1노드와 구동 트랜지스터에 연결되고 제1구동신호에 따라 구동되는 제2스위칭 트랜지스터와; 상기 제1노드의 출력을 입력받아 구동되며 상기 구동 트랜지스터와 기저전압에 연결되는 제3스위칭 트랜지스터와; 상기 제1스위칭트랜지스터와 제1노드 사이에 구성되는 제1커패시터와; 상기 제3스위칭 트랜지스터와 제1노드 사이에 구성되는 제2커패시터를 포함하는 화소구조를 가지는 유기전계발광 디스플레이 장치를 제시한다.

여기서 상기 각 트랜지스터는 N-타입 박막 트랜지스터인 것을 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명에 따른 각 실시예를 설명한다.

도 5는 본 발명에 따른 전압 보상 구동형 능동행렬 유기전계발광 디스플레이 장치의 화소구조를 등가 도식한 회로도이다.

화소 구조를 보면, 기저 전압(GND)에 연결된 유기 EL(OLED)과, 데이터신호(Data)와 스캔에 의한 선택신호(Select)를 입력받는 제1스위칭 트랜지스터(MN1)와, 구동전압(VDD)을 입력받고 상기 제1스위칭 트랜지스터(MN1)와 제1노드(N1)를 형성하며 연결된 구동 트랜지스터(MN2)와, 상기 제1노드(N1)와 구동 트랜지스터 사이에 구성되고 제1구동신호(AZ)를 입력받아 동작되는 제2스위칭 트랜지스터(MN3)와, 상기 제1노드(N1)의 출력에 의해 구동되며 상기 구동 트랜지스터(MN2)와 유기 EL(OLED)에 각각 연결되는 제3스위칭 트랜지스터(MN4)와, 상기 제1스위칭 트랜지스터(MN1)와 제1노드(N1) 사이에 구성되는 제1커패시터(C1)와, 상기 구동전압(VDD)과 연결되고 제1노드(N1)에 연결되는 제2커패시터(C2)를 포함하여 구성된다.

여기서 상기 각 트랜지스터는 P-타입 박막트랜지스터(TFT)이다.

상기 구성에 의한 화소의 동작을 도 6의 신호 타이밍도와 도 7a 내지 도 7c의 등가 회로도를 참조하여 설명한다.

먼저 신호 타이밍도의 (1)구간과 이때의 등가회로도 도 7a를 참조하여 보면, 제1 및 제2스위칭 트랜지스터(MN1)(MN3)가 온(on)되면 구동 트랜지스터(MN2) 및 제3스위칭 트랜지스터(MN4)는 다이오드 커넥션 형성에 의해 게이트 전압(Vg)이 수식(5)와 같이 형성되어 제2커패시터(C2)에 저장된다.

$$\text{수식 (5) } V_g = V_{DD} - |V_{th}|$$

여기서 V_{th} 는 구동 트랜지스터(MN2)의 구동 문턱전압이다.

이때 상기 구동 트랜지스터(MN2)는 도시된 바와 같이, 순방향 다이오드 커넥션을 형성하고 제3스위칭 트랜지스터(MN4)는 역방향 다이오드 커넥션을 형성하게 되어 상기 제2스위칭 트랜지스터(MN3)가 온(on)된 상태에서는 유기EL(OLED)로 전류가 흐르지 않아 블랙으로 표시된다.

다음으로 (2) 구간으로 신호 타이밍 변화와 이에 따른 도 7b의 등가회로도를 보면, 제2스위칭 트랜지스터(MN3)가 오프(off)되고 상기 제2커패시터(C2)에 저장된 실제 데이터가 구동 트랜지스터(MN2)로 프로그래밍 되면 구동 트랜지스터(MN2) 및 제3스위칭 트랜지스터(MN4)의 게이트 전압(Vg)은 수식 (6)과 같이 변화하게 되고, 다음 구간 (3)에서와 같이 신호가 인가될 때 도 7c의 등가회로도 같이, 상기 프로그래밍 되는 데이터에 의한 전류($I_{data}=I_{oled}$)가 유기 EL(OLED)로 인가되어 흐르며 이때의 전류값은 수식 (7)과 같다.

$$\text{수식 (6) } V_g = V_{DD} - |V_{th}| - \frac{\Delta V_{data} C_1}{C_1 + C_2}$$

여기서, 상기 ΔV_{data} 는 인가되는 데이터 전압의 변화량이고, C_1 , C_2 는 제1 및 제2커패시터(C1)(C2)의 커패시턴스 값이다.

$$\text{수식 (7) } I_{oled} = K(V_{gs} - |V_{th}|)^2 = K \left(\frac{\Delta V_{data} C_1}{C_1 + C_2} \right)^2,$$

$$K = -1/2 C_{ox} \mu W / (L_{MN2} + L_{MN4})$$

여기서, 상기 $[L_{MN2}]$ 과 $[L_{MN4}]$ 은 각각 구동 트랜지스터(MN2)와 제3스위칭 트랜지스터(MN4)의 채널의 길이이다.

상기와 같이 유기 EL(OLED)로 전류가 인가되는 동작에 있어서 구동트랜지스터(MN2)와 제3스위칭 트랜지스터(MN4)는 공통 게이트 전압(Vg)을 가지는 회로로 동작되는 것이 특징이다. 즉, 듀얼 게이트(dual gate) 구조로 형성되기 때문에 채널의 폭은 일정하나 길이의 증가로 인해 유효 영역(Effective field)가 분산되어 트랜지스터 소자의 드레인 소자로 흐르는 전류가 증가되는 kink 현상을 감소시킬 수 있는 장점이 있다.

도 2에 기술한 종래의 화소 구조와 비교하여 보면, 수식(7)에서도 수식(4)와 같이 유기EL(OLED)로 흐르는 전류(Ioled)는 구동전압(VDD)과 소자의 문턱전압(Vth)에 대한 수식 표현이 존재하지 않기 때문에 구동 트랜지스터의 문턱전압 변화에 의한 화질 불균일 및 구동전압(VDD) 하강에 따른 화질 불균일 문제를 개선할 수 있는 장점이 아울러 신호선의 감소로 인한 화소의 개구율이 증가되는 장점이 있다.

도 8과 도 9 및 도 10은 각각 본 발명에 따른 제2, 제3, 제4 실시예의 화소 구조를 도시한 회로도이다. 도 5의 화소 구조와 대조하여 동일 동작을 수행하는 소자에 대한 도면 번호와 부호는 동일하게 표시되었다.

구동방법은 기술한 도 5의 화소구조에 따른 구동과 동일하며, 도 8은 유기 EL(OLED)이 구동전압(VDD)에 연결되어 구동되는 특징이 있으며, 도 9 내지 도 10은 스위칭 및 구동 트랜지스터로 N-타입 박막트랜지스터(TFT)를 이용하는 특징이 있으며 역시 유기 EL(OLED)의 구성 위치가 기저전압(GND) 또는 구동전압(VDD)에 연결되는 차이점이 있다.

발명의 효과

상기와 같이 설명한 본 발명에 따른 유기전계발광 디스플레이 장치의 화소구조는 구동 소자의 문턱전압 변동의 특성 변화와 구동 전압의 하강에 따른 화질 불균일 문제가 발생하지 않는 구조를 가지며, 아울러 입력 신호라인의 개수를 줄임으로 화소 개구율의 확보가 더욱 용이하고 이에 따른 구동회로의 구성이 간단한 장점이 있다.

또한 구동 트랜지스터가 듀얼 게이트로 구성되어 드레인 소자로의 전류 증가 현상(kink)을 감소시켜 안정된 구동에 의한 화질의 개선 효과가 있다.

(57) 청구의 범위

청구항 1.

기저전압원에 연결되는 유기전계 발광소자와;

데이터라인과 스캔라인에 연결되는 제1스위칭 트랜지스터와;

구동전압원에 연결되고 상기 제1스위칭 트랜지스터와 제1노드를 형성하여 연결되는 구동 트랜지스터와;

상기 제1노드와 구동 트랜지스터에 연결되고 구동신호에 의해 구동되는 제2스위칭 트랜지스터와;

상기 제1노드 및 상기 구동 트랜지스터와 유기전계 발광소자에 연결되는 제3스위칭 트랜지스터와;

상기 제1스위칭트랜지스터와 제1노드 사이에 구성되는 제1커패시터와;

상기 구동전압원과 제1노드 사이에 구성되는 제2커패시터

를 포함하는 화소구조를 가지는 유기전계발광 디스플레이 장치

청구항 2.

청구항 제 1 항에 있어서,

상기 구동 트랜지스터와 제1, 제2, 제3트랜지스터는 각각 P-타입 박막 트랜지스터인 것을 특징으로 하는 유기전계발광 디스플레이 장치

청구항 3.

구동전압원에 연결되는 유기전계 발광소자와;

데이터라인과 스캔라인에 연결되는 제1스위칭 트랜지스터와;

상기 제1스위칭 트랜지스터와 제1노드를 형성하여 연결되고 상기 유기전계 발광소자와 연결되는 구동 트랜지스터와;

상기 제1노드와 구동 트랜지스터에 연결되고 구동신호에 의해 구동되는 제2스위칭 트랜지스터와;

상기 제1노드 및 상기 구동 트랜지스터와 기저전압원에 연결되는 제3스위칭 트랜지스터와;

상기 제1스위칭트랜지스터와 제1노드 사이에 구성되는 제1커패시터와;

상기 유기전계 발광소자와 제1노드 사이에 구성되는 제2커패시터

를 포함하는 화소구조를 가지는 유기전계발광 디스플레이 장치

청구항 4.

청구항 제 3 항에 있어서,

상기 구동 트랜지스터와 제1, 제2, 제3트랜지스터는 각각 P-타입 박막 트랜지스터인 것을 특징으로 하는 유기전계발광 디스플레이 장치

청구항 5.

기저전압원에 연결되는 유기전계 발광소자와;

데이터라인과 스캔라인에 연결되는 제1스위칭 트랜지스터와;

구동전압원에 연결되고 상기 제1스위칭 트랜지스터와 제1노드를 형성하여 연결되는 구동 트랜지스터와;

상기 제1노드와 구동 트랜지스터에 연결되고 구동신호에 따라 구동되는 제2스위칭 트랜지스터와;

상기 제1노드 및 상기 구동 트랜지스터와 유기전계 발광소자에 연결되는 제3스위칭 트랜지스터와;

상기 제1스위칭트랜지스터와 제1노드 사이에 구성되는 제1커패시터와;

상기 유기전계 발광소자와 제1노드 사이에 구성되는 제2커패시터

를 포함하는 화소구조를 가지는 유기전계발광 디스플레이 장치

청구항 6.

청구항 제 5 항에 있어서,

상기 구동 트랜지스터와 제1, 제2, 제3트랜지스터는 각각 N-타입 박막 트랜지스터인 것을 특징으로 하는 유기전계발광 디스플레이 장치

청구항 7.

구동전압원에 연결되는 유기전계 발광소자와;

데이터라인과 스캔라인에 연결되는 제1스위칭 트랜지스터와;

상기 제1스위칭 트랜지스터와 제1노드를 형성하며 연결되고 상기 유기전계 발광소자와 연결되는 구동 트랜지스터와;

상기 제1노드와 구동 트랜지스터에 연결되고 구동신호에 따라 구동되는 제2스위칭 트랜지스터와;

상기 제1노드 및 상기 구동 트랜지스터와 기저전압원에 연결되는 제3스위칭 트랜지스터와;

상기 제1스위칭트랜지스터와 제1노드 사이에 구성되는 제1커패시터와;

상기 제3스위칭 트랜지스터와 제1노드 사이에 구성되는 제2커패시터

를 포함하는 화소구조를 가지는 유기전계발광 디스플레이 장치

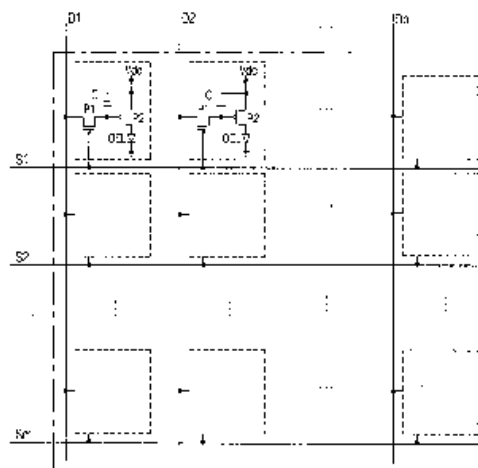
청구항 8.

청구항 제 7 항에 있어서,

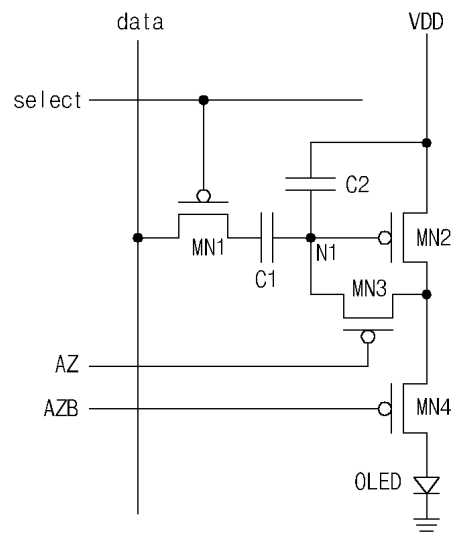
상기 구동 트랜지스터와 제1, 제2, 제3트랜지스터는 각각 N-타입 박막 트랜지스터인 것을 특징으로 하는 유기전계발광 디스플레이 장치

도면

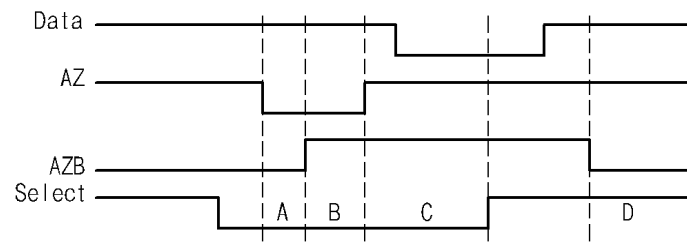
도면1



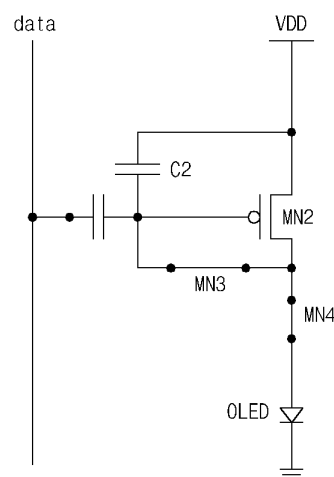
도면2



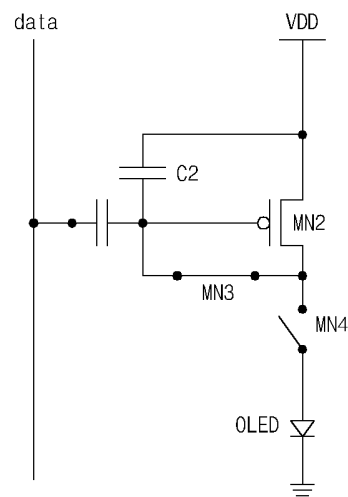
도면3



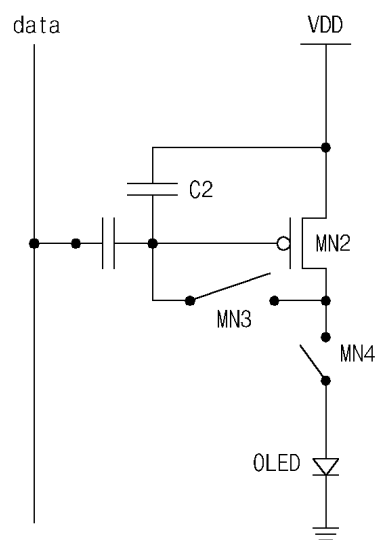
도면4a



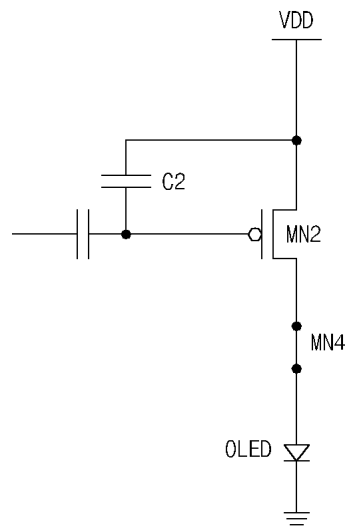
도면4b



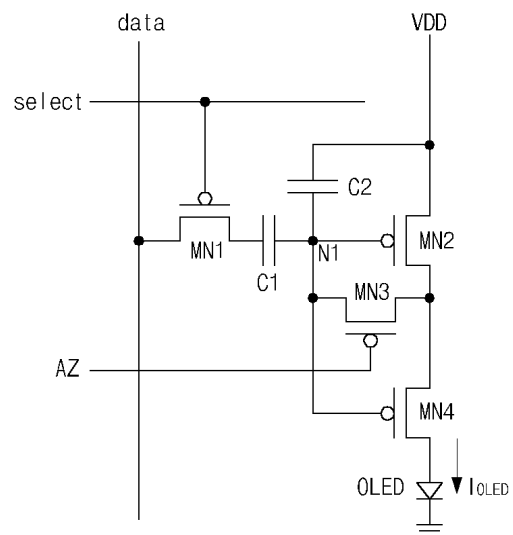
도면4c



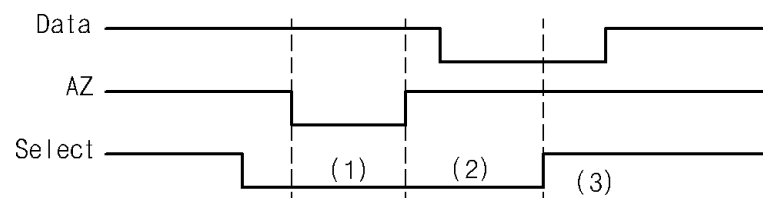
도면4d



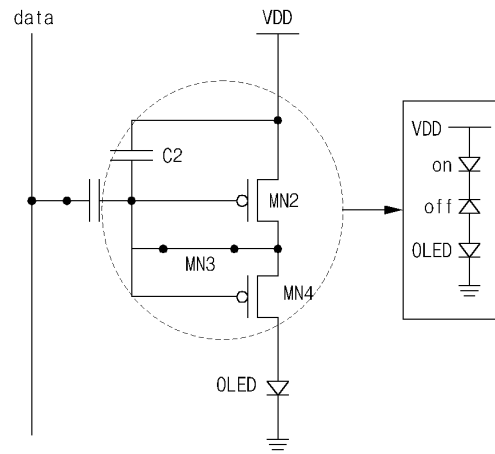
도면5



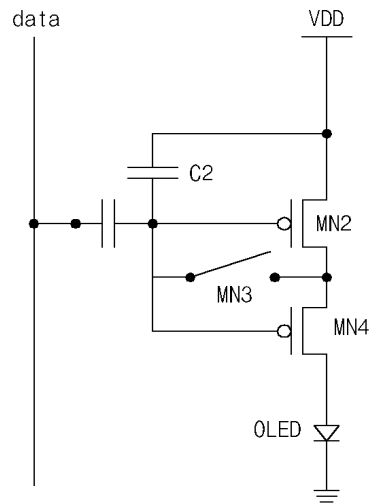
도면6



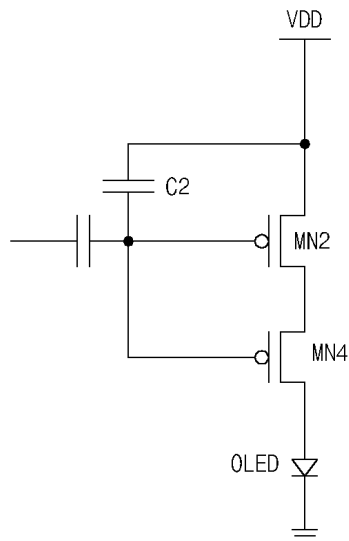
도면7a



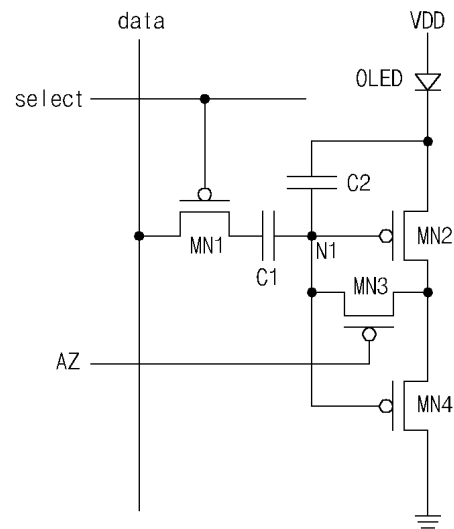
도면7b



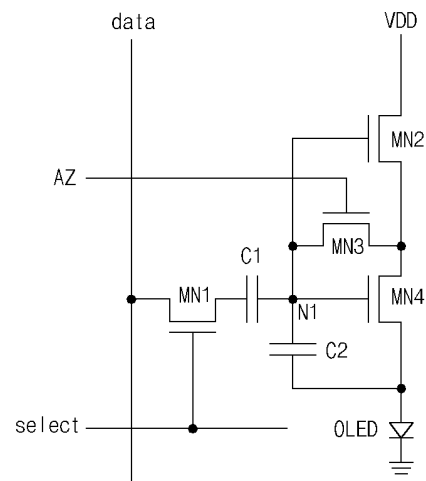
도면7c



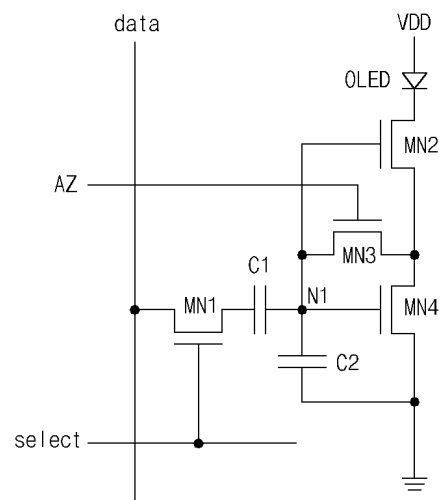
도면8



도면9



도면10



专利名称(译)	电压补偿驱动有源矩阵有机电致发光显示装置		
公开(公告)号	KR1020050117368A	公开(公告)日	2005-12-14
申请号	KR1020040042666	申请日	2004-06-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH DUHWAN 오두환 CHUNG HOONJU 정훈주		
发明人	오두환 정훈주		
IPC分类号	G09G3/30 H05B33/08		
CPC分类号	Y02B20/346 Y02B20/343		
其他公开文献	KR101053863B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种电压补偿驱动型有源矩阵有机电致发光显示装置，用于容易地确保像素的孔径比，并通过减少输入信号线的数量来简化驱动电路的组成。

