

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/30

(11) 공개번호 10-2005-0105534
(43) 공개일자 2005년11월04일

(21) 출원번호 10-2004-0030539
(22) 출원일자 2004년04월30일

(71) 출원인 매그나칩 반도체 유한회사
충북 청주시 흥덕구 향정동 1

(72) 발명자 김정민
충청북도청주시흥덕구향정동하이닉스남자기숙사929호

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 유기전계 발광표시장치

요약

본 발명은 문턱전압과 이동도편차를 보상하고 개구율을 향상시킬 수 있는 유기전계 발광표시장치에 관한 것이다.

본 발명의 유기전계 발광표시장치는 다수의 화소가 매트릭스 형태로 배열되는 유기전계 발광표시장치에 있어서, 각 화소는 게이트에 스캔신호가 제공되고 소오스에 데이터신호가 제공되는 제1스위칭 트랜지스터; 상기 제1스위칭 트랜지스터의 드레인에 게이트가 연결되고 소오스에 소정의 제1전압이 제공되는 구동 트랜지스터; 상기 구동 트랜지스터의 게이트와 소오스간에 연결되는 스토리지 캐패시터와; 상기 구동 트랜지스터의 게이트와 드레인에 드레인과 소오스가 연결되고 게이트에 제어신호가 제공되는 제2스위칭 트랜지스터; 및 상기 구동 트랜지스터의 드레인에 애노드전극이 연결되며 캐소드전극에 소정의 제2전압이 제공되는 EL소자를 구비한다.

대표도

도 1

색인어

액티브, 매트릭스, 유기전계, 발광표시장치

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 문턱전압 보상수단을 구비한 화소의 구조도,

도 2는 본 발명의 유기전계 발광표시장치에 있어서, 공통전압 드라이버의 상세구성도,

도 3은 본 발명의 유기전계 발광표시장치의 구성도,

도 4는 본 발명의 유기전계 발광표시장치에 있어서, 전류싱크시 구동 트랜지스터의 동작상태를 나타낸 도면,

도 5는 본 발명의 유기전계 발광표시장치에 있어서, 하나의 화소와 소오스 드라이버의 구성도,

도 6은 본 발명의 유기전계 발광표시장치의 동작과형도,

도면의 주요부분에 대한 부호의 설명

100 : 화소부 200 : 공통전압 드라이버회로

300 : 스캔드라이버회로 400 : 소오스 드라이버회로

11, 12 : 스위칭 트랜지스터 13 : 스토리지 캐패시터

14 : 구동 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 유기전계 발광표시장치에 관한 것으로서, 보다 구체적으로는 문턱전압의 편차를 보상하고 개구율을 증가시킬 수 있는 액티브 매트릭스 유기전계 발광표시장치(AMOLED)에 관한 것이다.

통상적으로, 유기전계 발광표시장치는 각 화소가 매트릭스형태로 배열되어 2개의 박막 트랜지스터와 하나의 캐패시터로 구성되어 있다. 각 화소의 구동 박막 트랜지스터는 공정변수로 인하여 문턱전압(V_{th})의 편차가 발생하였다. 종래에는 구동 트랜지스터에 문턱전압보상용 박막 트랜지스터를 연결구성하여 문턱전압의 편차를 보상하였다. 이와 같이 문턱전압을 보상하기 위해서는, 각 화소가 4개 이상의 박막 트랜지스터와 하나 이상의 캐패시터가 요구되고, 박막 트랜지스터를 스위칭하기 위한 선택신호를 제공하기 위한 다수의 신호라인이 요구되기 때문에 개구율이 감소하는 문제점이 있었다.

유기전계 발광표시장치를 구동하는 방법으로는 전압 프로그래밍방식과 전류 프로그래밍방식이 있다. 전압 프로그래밍방식의 유기전계 발광표시장치에서는, 구동 트랜지스터의 문턱전압을 보상하기 위하여, 구동 박막 트랜지스터에 문턱전압보상용 박막 트랜지스터를 연결하여 데이터전압을 $V_{data}-V_{th}$ 의 형태로 만들어 주었다. 따라서, EL소자를 통해서 흐르는 전류는 수학식1과 같이 표현된다.

수학식 1

$$ID = 1/2 * \beta (V_{SG} - V_{TH})^2 = 1/2 * \beta (V_{DD} - V_{data} + V_{TH} - V_{TH})^2 = 1/2 * \beta (V_{DD} - V_{data})^2$$

그러므로, EL소자를 구동하는 구동 트랜지스터를 통해 EL소자로 흐르는 전류(ID)는 수학식1로부터 구동트랜지스터의 문턱전압(V_{th})에 관계하지 않으므로, 각 화소마다 공정변수에 의한 문턱전압의 편차를 보상할 수 있었다. 그러나, 종래의 전압 프로그래밍방식은 구동트랜지스터의 문턱전압의 편차는 보상할 수 있었으나, 이동도의 편차는 보상할 수 없는 문제점이 있었다.

한편, 전류프로그래밍방식의 경우 전류 소오스로부터 구동전류를 구동 트랜지스터로 제공하고, 구동 트랜지스터를 통해 흐르는 전류에 대한 구동트랜지스터의 게이트-소오스간의 전압(V_{gs})을 스토리지 캐패시터에 제공하여 문턱전압과 이동도의 편차를 보상하였다. 그러나, 전류프로그래밍방식의 경우 저전류를 사용하는 경우에는 스토리지 캐패시터에 충전하는 데 많은 시간이 소요되는 문제점이 있었다.

상기한 바와같이 유기전계 발광표시장치에서는 적은 수의 박막 트랜지스터를 사용하여 개구율을 향상시키고, 문턱전압 뿐만 아니라 이동도의 편차를 보상하여야 하며, 문턱전압과 이동도의 편차보상이 동작시간동안 이루어져야 하는 것이 요구되었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 문턱전압과 이동도의 편차를 보상하고 개구율과 동작속도를 개선시킬 수 있는 유기전계 발광표시장치를 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명은 다수의 화소가 매트릭스 형태로 배열되는 유기전계 발광표시장치에 있어서, 각 화소는 게이트에 스캔신호가 제공되고 소오스에 데이터신호가 제공되는 제1스위칭 트랜지스터; 상기 제1스위칭 트랜지스터의 드레인에 게이트가 연결되고 소오스에 소정의 제1전압이 제공되는 구동 트랜지스터; 상기 구동 트랜지스터의 게이트와 소오스간에 연결되는 스토리지 캐패시터; 상기 구동 트랜지스터의 게이트와 드레인에 드레인과 소오스가 연결되고 게이트에 제어신호가 제공되는 제2스위칭 트랜지스터; 상기 구동 트랜지스터의 드레인에 애노드전극이 연결되며 캐소드 전극에 소정의 제2전압이 제공되는 EL소자를 구비하는 유기전계 발광표시장치를 제공하는 것을 특징으로 한다.

본 발명의 실시예에 있어서, 상기 EL소자의 캐소드전극은 스캐닝구간에는 접지레벨이 되고, 비스캐닝구간에는 제1전압과 동일한 레벨의 공통전압이 제공된다.

본 발명의 실시예에 있어서, 상기 다수의 화소중 동일한 스캔라인에 연결된 화소의 EL소자의 캐소드전극에는 스캐닝구간동안 제1전압과 동일한 레벨의 공통전압이 인가되고, 비스캐닝구간동안에는 접지레벨의 전압이 인가되어 동일한 스캔라인에 연결된 화소는 모두 동일한 전류가 흐르도록 한다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예를 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 실시예에 따른 액티브 매트릭스 유기전계 발광표시장치의 구성도를 도시한 것으로서, 하나의 화소에 대하여 도시한 것이다.

도 1을 참조하면, 본 발명의 실시예에 따른 액티브 매트릭스 유기전계 발광표시장치에 있어서, 각 화소(10)는 2개의 스위칭 트랜지스터(11), (12)와 하나의 구동 트랜지스터(14), 하나의 캐패시터(13)와 하나의 EL소자(15)를 구비한다. 제1스위칭 트랜지스터(11)는 게이트에 스캔신호(SCAN)가 인가되고, 소오스에 데이터전압(Vdata)가 제공되며, 드레인이 구동 트랜지스터(14)의 게이트에 제공된다. 제2스위칭 트랜지스터(12)는 게이트에 제어신호(A1)가 제공되며 드레인과 소오스가 구동 트랜지스터(14)의 게이트와 드레인에 연결된다.

스토리지 캐패시터(13)는 구동 트랜지스터(14)의 게이트와 소오스 사이에 연결된다. 구동 트랜지스터(14)는 소오스에 전압(VOUT)이 제공되고, 게이트에 제1스위칭 트랜지스터(11)를 통해 데이터신호(Vdata)가 제공되며, 드레인에 EL소자(15)의 애노드가 연결된다. EL소자(15)의 캐소드전극에는 공통전압(Vcom)이 제공된다.

도 2는 도 1의 각 화소에 공통전압(Vcom)을 제공하기 위한 공통전압 드라이버의 상세도를 도시한 것이다.

도 2를 참조하면, 공통전압 드라이버(20)는 비반전단자에 전압(VOUT)이 제공되고 반전단자에 출력단이 연결되어 전압(VOUT)을 출력신호로 제공하는 연산증폭기(21)와, 게이트에 제공되는 스캔신호(SCAN)에 따라서 연산증폭기(21)의 출력(VOUT)을 출력단(Vcom)으로 스위칭하기 위한 NMOS 트랜지스터(22)와, 스캔신호(SCAN)에 따라서 출력단(Vcom)을 접지레벨로 만들어 주기위한 스위치(23)를 구비한다.

상기한 바와같은 구성을 갖는 화소(10)의 동작을 도 12를 참조하여 설명하면 다음과 같다.

스캔신호(SCAN)가 하이레벨로 되어 스캐닝구간이 아닌 경우에는, NMOS 트랜지스터(22)가 온되고 스위치(23)되므로 공통전압 드라이버(20)의 연산증폭기(21)를 통해 제공되는 전압(VOUT)이 NMOS 트랜지스터(22)를 통해 출력단(Vcom)으로 제공된다. 따라서, 공통전압 드라이버(20)는 화소(10)로 공통전압(Vcom)을 제공한다.

이때, 화소(10)의 제1스위칭 트랜지스터(11)가 오프되고 제어신호(A1)에 의해 제2스위칭 트랜지스터(12)도 턴오프되며, EL소자(15)의 캐소드전극으로 공통전압 즉 VOUT 전압이 제공되므로, EL소자(15)를 통해 전류가 흐르지 않게 된다.

한편, 스캔신호(SCAN)가 로우레벨로 되는 스캐닝구간에서는, NMOS 트랜지스터(22)는 턴오프되고 스위치(23)가 턴온되므로 공통전압 드라이버(20)는 출력단(Vcom)을 접지레벨로 만들어준다. 따라서, EL소자(15)의 캐소드전극은 접지레벨로 된다.

이때, 스캔신호(SCAN)에 의해 제1스위칭트랜지스터(11)가 턴온되고 스캐닝구간동안 제어신호(A1)가 로우레벨로 될 때 제2스위칭 트랜지스터(12)가 턴온되므로 구동 트랜지스터(14)를 통해 데이터신호(Vdata)에 대응하는 전류가 EL소자(15)로 흐르게 된다. 따라서, 도 4에 도시된 바와같이 하나의 공통라인에 연결된 화소(P1-P4)는 모두 동일한 전류가 흐르게 된다.

도 5는 본 발명의 실시예에 따른 유기전계 발광표시장치의 구성도를 도시한 것이다.

도 5를 참조하면, 본 발명의 유기전계 발광표시장치는 화소부(100), 상기 화소부(100)에 공통전압(Vcom)을 제공하기 위한 공통전압 드라이버회로(200), 상기 화소부(100)에 스캔신호(S1, S2, S3, ...)를 제공하기 위한 스캔드라이버회로(300), 상기 화소부(100)로 데이터신호(Vdata)를 제공하기 위한 소오스 드라이버회로(400)를 구비한다.

화소부(100)는 다수의 화소(P1, P2, P3, ...)가 매트릭스 형태로 배열되고, 각 화소(P1, P2, P3, ...)는 도 1에 도시된 바와같이 구성된다. 각 화소(P1, P2, P3, ...)에는 스캔드라이버회로(300)로부터 스캔신호(S1, S2, S3, ...)가 제공되고, 공통전압 드라이버회로(200)로부터 공통전압(Vcom)이 제공되고, 소오스 드라이버회로(400)로부터 데이터신호(Vdata)가 제공된다. 공통전압 드라이버회로(200)는 공통전압라인에 도 2에 도시된 바와같은 공통전압 드라이버(20)가 각각 배열되어 각 공통전압라인으로 공통전압(Vcom)을 제공한다. 따라서, 하나의 공통라인에 연결된 다수의 화소는 스캐닝구간동안 모두 동일한 전류가 흐르게 된다.

도 5는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 하나의 화소와 상기 화소에 데이터신호를 제공하는 소오스 드라이버회로를 도시한 것이다.

도 5를 참조하면, 소오스 드라이버회로는 제1스위칭 트랜지스터(11)의 소오스와 접지사이에 연결되는 NMOS 트랜지스터(NM1), (NM2)와, 전원전압(V_{EE})와 접지사이에 직렬연결된 PMOS 트랜지스터(P1M1-PM4)와, 노드(V_{x2})의 전위를 출력버퍼(OB)의 비반전입력으로 전달하기 위한 전달게이트(TR1)과, 데이터신호(Vdata)를 전달하기 위한 제2전달게이트(TR2)와, 상기 제2전달게이트(TR2)를 통해 전달되는 데이터신호(Vdata)를 저장하기 위한 캐패시터(C1)와, 상기 캐패시터(C1)와 접지사이에 연결된 NMOS 트랜지스터(NM3)와, 상기 출력버퍼(OB)의 출력을 상기 노드(V_{x1})으로 전달하기 위한 제3전달게이트(TR3)를 구비한다.

상기한 바와같은 구성을 갖는 유기전계 발광표시장치의 동작을 도 6의 동작과형도를 참조하여 설명하면 다음과 같다.

스캐닝구간동안 제어신호(A1)에 의해 문턱전압 보상을 위한 제2스위칭 트랜지스터(12)가 턴온되고 공통전압 드라이버(20)에 의해 EL소자(15)의 캐소드전극이 으로 접지레벨로 되면, 도 4에 도시된 바와같이 구동전류가 흐르는데, 이때의 전류는 NMOS 트랜지스터(NM2)의 게이트에 제공되는 바이어스신호(biasn)에 의해 결정되며, 최대전류(I_{max})와 동일하게 되도록 한다.

구동 트랜지스터(14)를 통해 흐르는 전류는 노드(V_{x1})의 전압을 결정하는데, 상기 전압 V_{x1}은 구동 트랜지스터의 이동도와 문턱전압에 대한 정보를 갖는다. 전압(V_{x1})은 PMOS 트랜지스터(PM1)의 게이트로 제공되어 소오스 팔로우(source follow)형태로 캐패시터(C1)에 충전된다. 이때, PMOS 트랜지스터(PM2), (PM3) 그리고 NMOS 트랜지스터(NM3)는 제어신호(Ch2, Ch2b)에 의해 온된다.

캐패시터(C1)의 충전동작이 완료되면, PMOS 트랜지스터(PM2), (PM3)과 NMOS 트랜지스터(NM3)는 오프되고, 제어신호(ch4, ch4b)에 의해 전달게이트(TR2)를 통해 데이터신호(Vdata)가 전달된다. 이후, NMOS트랜지스터(NM1)와 제1스위칭 트랜지스터(11)가 턴오프되고, 출력버퍼(OB)의 출력신호는 제어신호(ch5, ch5b)에 의해 전달게이트(TR5)를 통해 화소(P1)로 제공된다.

이때, 데이터 보상에 대한 동작을 수식으로 표현하면 하기와 같다.

최대전류(I_{max})는 아래 수학식2와 같다

수학식 2

$$I_{\max} = \frac{\beta + \Delta\beta}{2} (V_{OUT} - V_{\max} - |V_{thp}|)^2$$

검출된 최대전압(V_{max})는 아래 수학식3과 같다.

수학식 3

$$V_{\max} = V_{OUT} - \sqrt{\frac{2I_{\max}}{\beta + \Delta\beta}} - |V_{thp}|$$

$$V_{\max} = V_{x1}$$

검출된 최대전압과 데이터신호(V_{data}) 입력시 각 화소의 전류(I_{pixel})은 아래 수학식4와 같다.

수학식 4

$$I_{pixel} = \frac{\beta + \Delta\beta}{2} (V_{OUT} - V_{x1} - V_{data} - |V_{thp}|)^2$$

$$= \frac{\beta + \Delta\beta}{2} \left(\sqrt{\frac{2I_{\max}}{\beta + \Delta\beta}} - V_{data} \right)^2$$

$$= \left(\sqrt{I_{\max}} - \sqrt{\frac{\beta + \Delta\beta}{2}} \times V_{data} \right)^2 \leftarrow \left(V_{data} = \sqrt{\frac{2}{\beta}} \frac{\sqrt{I_{\max}}}{n} \right)$$

이때, V_{data} 는 만들고자 하는 데이터전압으로, n에 따라 그레이레벨이 변화된다.

본 발명의 실시예에서, 출력버퍼(OB)는 오프셋이 보정된 상태이고, V_{data} 는 패널의 평균값의 beta 값을 넣어주면 된다. 상기한 바와같이 전압구동방식으로 데이터충전에 따른 속도향상 및 정확도를 향상시킬 수 있다. 스위칭라인의 수가 감소하므로 기생적으로 생기는 파라미터들을 감소시킬 수 있다.

하기의 (표)는 본원 발명에서와 같이 데이터신호(V_{data})를 인가하는 경우 이동도 편차가 있는 경우와 없는 경우의 전류 편차를 나타낸 것이다. 하기의 (표)로부터 이동도가 변화하는 경우에도 전류의 편차가 작음을 알 수 있다. 그러므로, 구동 전류를 수μA가 아닌 mV정도로 인가가 가능하다.

(표 1)

	n	전류편차조정(8비트)	편차
이동도 편차가 있는 경우(β+0)	197.9894	197.9848*10nA/256 =7.7339nA	0%
이동도 편차가 없는 경우(β+Δ β)	197.40398	197.40398*10nA/256 =7.7111nA	100-(7.7111nA/7.7338nA)*100=293.52E-3%

상기 (표)에서 n은 수열로 나열하여 구한 것이며, 데이터신호 인가시의 기준은 8비트 그레이기준으로 최대전류는 2μA이고, 한 그레이당 전류편차가 10nA이다.

발명의 효과

상기한 바와같은 본 발명의 유기전계 발광표시장치에 따르면, 적은수의 박막 트랜지스터의 사용에 따라 개구율을 증가시키고 이동도와 문턱전압의 편차를 보정할 수 있으며, 전압구동방식에 따라 충전시간을 감소시킬 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

다수의 화소가 매트릭스 형태로 배열되는 유기전계 발광표시장치에 있어서,

각 화소는 게이트에 스캔신호가 제공되고 소오스에 데이터신호가 제공되는 제1스위칭 트랜지스터;

상기 제1스위칭 트랜지스터의 드레인에 게이트가 연결되고 소오스에 소정의 제1전압이 제공되는 구동 트랜지스터;

상기 구동 트랜지스터의 게이트와 소오스간에 연결되는 스토리지 캐패시터;

상기 구동 트랜지스터의 게이트와 드레인에 드레인과 소오스가 연결되고 게이트에 제어신호가 제공되는 제2스위칭 트랜지스터; 및

상기 구동 트랜지스터의 드레인에 애노드전극이 연결되며 캐소드전극에 소정의 제2전압이 제공되는 EL소자를 구비하는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 EL소자의 캐소드전극은 스캐닝구간에는 접지레벨이 되고, 비스캐닝구간에는 제1전압과 동일한 레벨의 공통전압이 제공되는 것을 특징으로 하는 유기전계 발광표시장치.

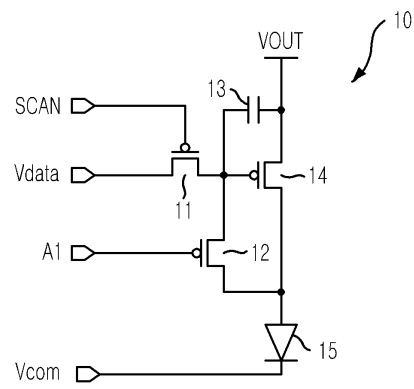
청구항 3.

제 1 항에 있어서,

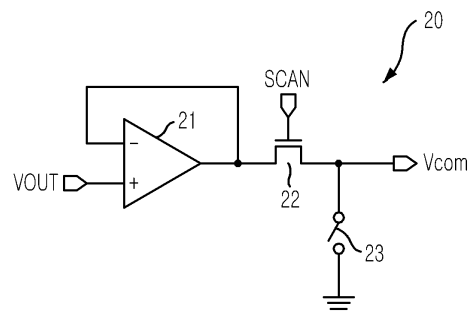
상기 다수의 화소중 동일한 스캔라인에 연결된 화소의 EL소자의 캐소드전극에는 스캐닝구간동안 제1전압과 동일한 레벨의 전압이 인가되고, 비스캐닝구간동안에는 접지레벨의 전압이 인가되어 동일한 스캔라인에 연결된 화소는 모두 동일한 전류가 흐르도록 하는 것을 특징으로 하는 유기전계 발광표시장치.

도면

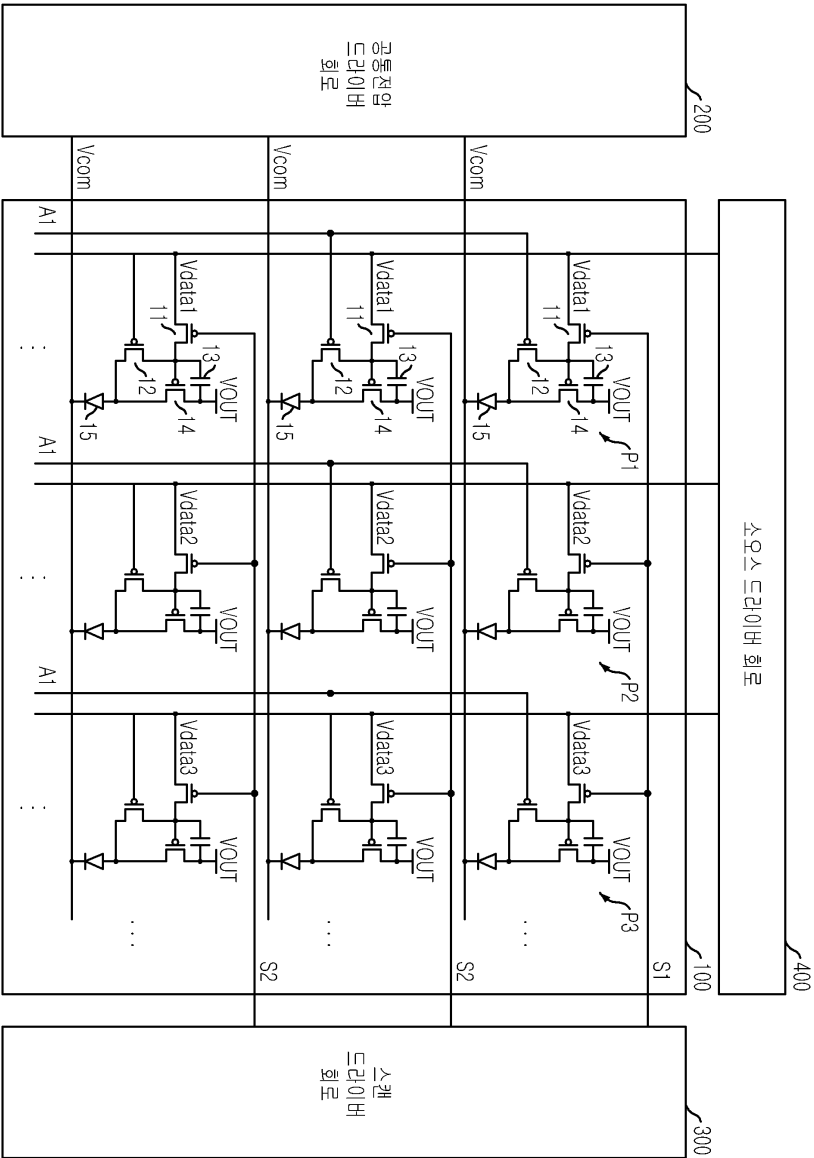
도면1



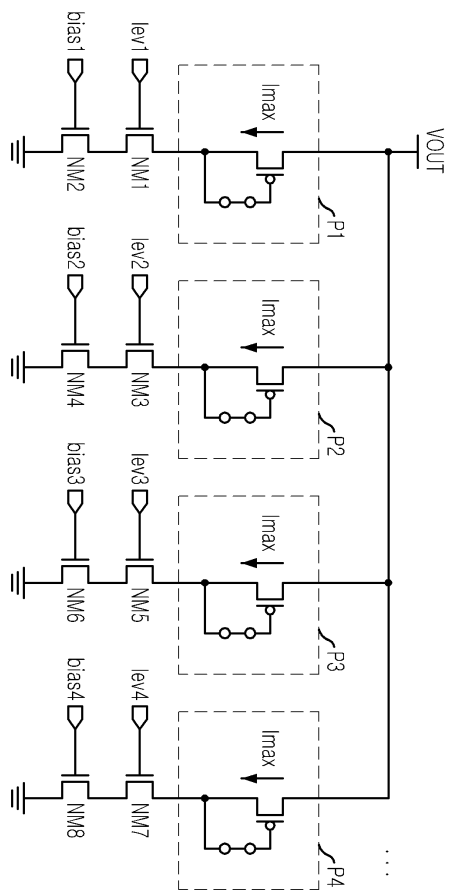
도면2



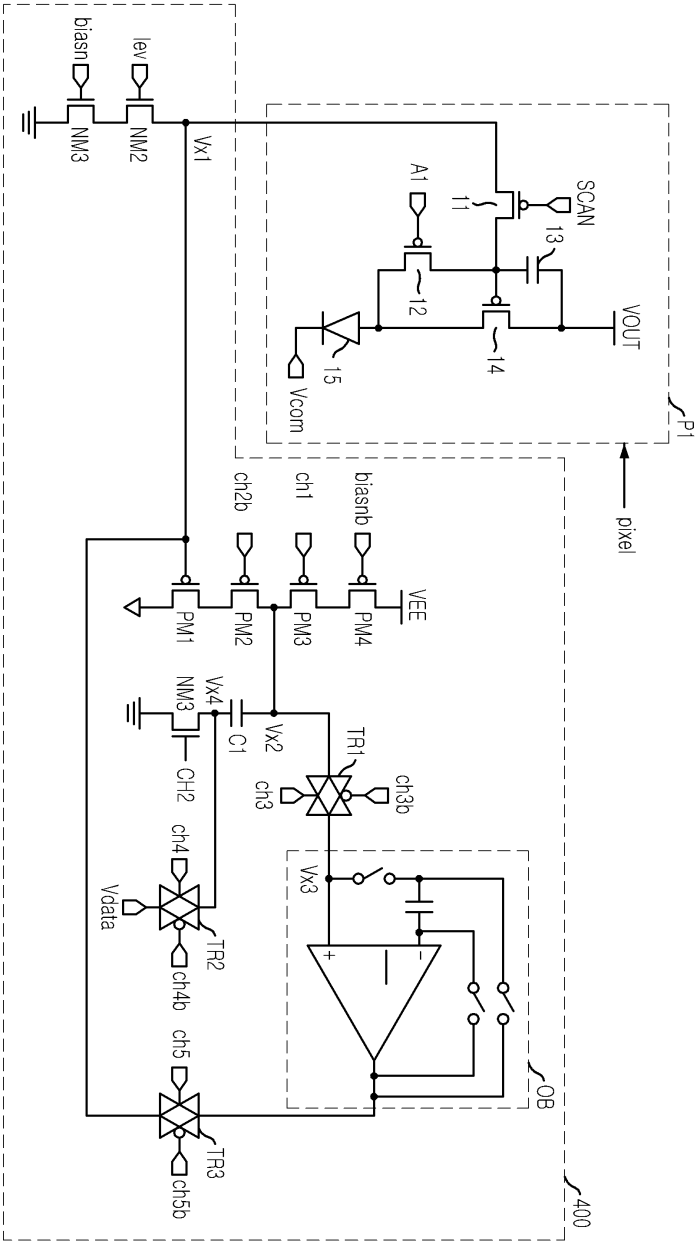
도면3



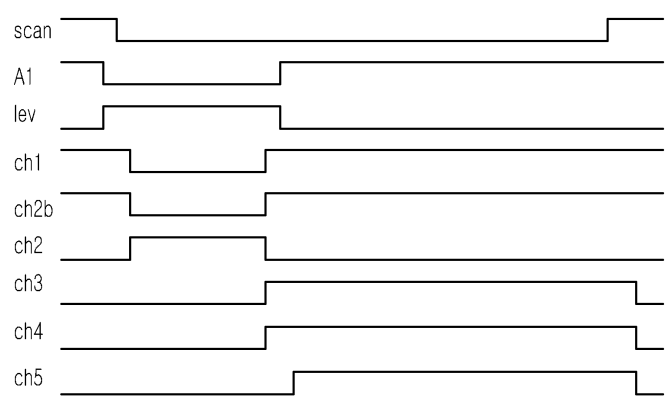
도면4



도면5



도면6



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020050105534A	公开(公告)日	2005-11-04
申请号	KR1020040030539	申请日	2004-04-30
[标]申请(专利权)人(译)	美格纳半导体有限公司		
申请(专利权)人(译)	MagnaChip公司半导体有限公司		
当前申请(专利权)人(译)	MagnaChip公司半导体有限公司		
[标]发明人	KIM JEONGMIN		
发明人	KIM,JEONGMIN		
IPC分类号	G09G3/30		
CPC分类号	B65D77/0433 B65D81/3453 B65D2581/3402		
代理人(译)	郑某, 洪SIK KIM JONGSUN 金泰HUN		
其他公开文献	KR101073007B1		
外部链接	Espacenet		

摘要(译)

有机发光显示器技术领域本发明涉及一种能够补偿阈值电压和迁移率偏差并改善孔径比的有机发光显示器。根据本发明的有机发光显示装置是有机发光显示装置，其中多个像素以矩阵排列，其中每个像素在其栅极处提供有扫描信号第一开关晶体管，数据信号提供源;一种驱动晶体管，具有连接到第一开关晶体管的漏极的栅极和提供有预定第一电压的源极;存储电容器，连接在驱动晶体管的栅极和源极之间;驱动晶体管第二开关晶体管，具有连接到栅极和漏极的漏极和源极以及提供给栅极的控制信号;并且EL元件具有连接到驱动晶体管的漏极的阳极和提供给阴极的预定第二电压。1 指数方面 有源，矩阵，有机场，发光显示器

