(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
G09G 3/30

(11) 공개번호 특2003-0037392
(43) 공개일자 2003년05월14일

(21) 출원번호 10-2001-0068394
(22) 출원일자 2001년11월03일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이한상
서울특별시관악구신림1동1608-9202호

박준규
서울특별시관악구신림1동1630-17번지

김창연
서울특별시영등포구신길3동364건영아파트라동203호

(74) 대리인 김영호

심사청구 : 없음

(54) 일렉트로 루미네센스 패널의 구동 장치 및 방법

요약

본 발명은 2 게이트라인을 가지는 일렉트로 루미네센스 패널의 구동장치에서 게이트 라인의 신호지연으로 인한 화질 저하를 방지하도록 한 일렉트로 루미네센스 패널의 구동 장치 및 방법에 관한 것이다.

본 발명에 따른 일렉트로 루미네센스 패널의 구동방법은 제1 및 제2 게이트라인들과, 상기 제1 및 제2 게이트라인들과 교차되게 마련되어진 데이터 라인들과, 상기 제1 및 제2 게이트라인들과 데이터 라인들의 교차부 각각에 설치되어진 일렉트로 루미네센스 셀들로 구성되는 일렉트로 루미네센스 패널의 구동방법에 있어서, 제1 및 제2 게이트라인들에 펄스 형태의 스캐닝 신호를 제공하는 단계와, 제1 및 제2 게이트라인들에 인가되는 펄스 형태의 스캐닝 신호의 턴 오프 시점을 달리하는 단계와, 제2 게이트라인에 턴오프시 인가되는 스캐닝 신호는 구형파 이외의 펄스 형태로 인가되는 단계를 포함하는 것을 특징으로 한다.

본 발명에 의하면, 2 게이트라인 구조를 가지는 일렉트로 루미네센스 패널에서 2 게이트 라인에 연결된 스위치 소자의 턴 온/오프 시간을 다르게 제어함으로서 신호 지연에 따른 화질 저하를 방지함과 동시에 턴오프시 제2 게이트 라인의 게이트 출력 펄스에 변조를 가함으로써 차징 인젝션 효과로 인한 화질저하가 되는 것을 방지할 수 있다.

대표도

도 7

명세서

도면의 간단한 설명

도 1은 종래의 일렉트로 루미네센스 패널을 개략적으로 도시하는 도면.

도 2는 도 1에 도시된 화소 소자를 상세히 나타내는 회로도.

도 3a 및 도 3b는 도 2에 도시된 구동회로에서 스토리지 캐패시터에 충전된 게이트 신호파형을 나타내는 도면.

도 4는 종래기술에 따른 2 게이트 라인을 갖는 화소 구조를 나타내는 도면.

도 5는 도 4에 도시된 구동회로에서 제1 및 제2 게이트 라인에 인가되는 게이트 입력펄스를 나타내는 도면.

도 6a 및 도 6b는 도 5의 게이트 입력제어펄스에 따른 구동회로를 개략적으로 나타내는 도면.

도 7은 본 발명에 따른 EL 표시패널 구동장치를 개략적으로 도시한 블록도.

도 8은 도 7에 도시된 화소 소자를 상세히 나타내는 회로도.

도 9는 도 7에서의 구동장치에 따른 EL 패널 내 제1 및 제2 게이트라인에 인가되는 게이트 출력신호 파형을 나타내는 도면.

도 10은 도 9의 제2 게이트 입력신호가 인가됨을 상세히 설명하기 위한 구동 장치를 상세히 나타내는 도면.

도 11은 도 10에서의 구동신호 및 게이트 라인 입력신호를 나타내는 도면.

도 12는 본 발명에 제2 실시예에 따른 EL 표시패널 구동장치를 개략적으로 도시한 블록도.

도 13은 도 12에서의 구동장치에 따른 EL 패널 내 제1 및 제2 게이트라인에 인가되는 게이트 출력신호 파형을 나타내는 도면.

도 14는 도 13의 제2 게이트 입력신호가 인가됨을 상세히 설명하기 위한 구동장치를 상세히 나타내는 도면.

도 15는 도 14에서의 구동신호 및 게이트 라인 입력신호를 나타내는 도면.

도 16a 및 도 16b는 본 발명의 제3 실시예에 따른 EL 패널 내 제1 및 제2 게이트라인에 인가되는 게이트 출력신호 파형을 나타내는 도면.

<도면의 주요 부분에 대한 부호의 간단한 설명>

10,36,56 : EL 패널 12,32,52 : 게이트 드라이버

14,34,54 : 데이터 드라이버 16,20,42 : EL셀 구동회로

30,50 : 타이밍 컨트롤러 38,58 : 게이트 변조 제어부

40 : 아날로그 멀티플렉서 60 : RC 지연부

44a,44b,64a,64b : 레벨 쉬프터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 패널에 관한 것으로, 특히 2 게이트라인을 가지는 일렉트로 루미네센스 패널에서 게

이트 라인의 신호지연으로 인한 화질저하를 방지하도록 한 일렉트로 루미네센스 패널의 구동 장치 및 방법에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display : 이하 'LCD'라 함), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 함) 및 일렉트로 루미네센스(Electro Luminescence : 이하 'EL'라 함) 표시장치 등이 있다.

이와 같은 평판표시장치의 표시품질을 높이고 대화면화를 시도하는 연구들이 활발히 진행되고 있다. 이들 중 EL소자는 스스로 발광하는 자발광소자이다.

이러한, EL 표시소자는 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써 화상 또는 영상을 표시하게 되며, 직류 저전압으로 구동이 가능하고 응답속도가 빠르다.

EL 패널은 도 1과 같이 유리 기판(10) 상에 서로 교차되게 배열되어진 게이트 라인들(GL1 내지 GLm) 및 데이터 라인(DL1 내지 DLn)과, 게이트 라인들(GL1 내지 GLm)과 데이터 라인(DL1 내지 DLn)의 교차부들 각각에 배열되어진 화소 소자들(PE)을 구비한다.

화소 소자들(PE) 각각은 게이트 라인들(GL1 내지 GLn)의 게이트 신호들이 인에이블될 때에 구동되어 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여, 게이트 드라이버(12)가 게이트 라인들(GL1 내지 GLm)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL1 내지 DLn)에 접속되게 된다. 게이트 드라이버(12)는 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동시키게 된다. 데이터 드라이버(14)는 데이터 라인들(DL1 내지 DLn)을 통해 화소들(PE)에 화소신호를 공급하게 된다.

이와 같이, 게이트 드라이버(12) 및 데이터 드라이버(14)에 의해 구동되는 화소 소자들(PE)은 도 2에 도시된 바와 같이 기저전압라인(GND)에 접속되어진 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(16)로 구성된다.

도 2는 도 1의 화소 소자(PE)를 도시한 종래기술에 따른 회로도로서, 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 적용된 구동회로로 4개의 TFT(T1, T2, T3, T4)로 구성된다.

도 2를 참조하면, 화소 소자(PE)는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(16)를 구비한다.

EL 셀 구동회로(16)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1,T2)와; 데이터 라인(DL) 및 게이트 라인(GL)에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 게이트 라인(GL) 및 제3 PMOS TFT(T3)에 접속되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

이의 동작을 살펴보면, 게이트 라인(GL)에 로우(LOW) 입력신호가 입력되면 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)이 턴-온 된다. 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)가 턴-온 되면 데이터 라인(DL)으로부터 스캔신호와 동기되게 입력되는 일정한 크기를 가진 비디오 신호가 제3 PMOS TFT(T3)와 제4 PMOS TFT(T4)를 통하여 캐패시터(Cst)에 충전된다.

캐패시터(Cst)는 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압(VDD)에 접속되어 게이트 라인(GL)의 로우입력시간동안 데이터 라인(DL)으로부터 공급되는 비디오 신호를 충전한다.

캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다. 또한 이러한 구조에서도 RGB 등의 각 비디오신호가 입력되는 만큼 각 화상신호를 입력하는 데이터 라인(DL)의 수가 구비되어야 한다.

1 프레임 동안 홀드된 후 캐패시터(Cst)에 충전된 비디오 신호는 EL셀(OLED)에 공급되어 표시패널 상에 영상을 표시하게 된다.

도 3a 및 도 3b는 도 2에 도시된 구동회로에서 스토리지 캐패시터(Cst)에 충 전된 게이트 출력신호 파형을 나타내는 도면으로서, 데이터 드라이버(14)를 통하여 유리기판(10)의 화소들에 출력되었을 때 게이트 드라이버(12), 일렉트로 루미네센스 패널에 형성된 게이트 라인(GL)의 저항 및 정전용량에 의해 신호지연현상이 발생되게 된다. 이로써 영상 신호의 샘플링이 늦게 이루어지는 쪽에서는 신호지연이 커져서 게이트 출력신호 파형의 왜곡이 생겨 화소에 충분한 신호가 인가되지 못하게 되어 화질이 저하되는 문제점이 발생하게 된다.

도 3a는 도 1에서의 게이트 드라이버(12)로부터 가까운 화소의 게이트 출력신호 파형을 나타낸 것으로서, 신호지연 현상이 없는 상태를 도시한 것으로 완전한 구형파를 나타낸다. 그러나, 게이트 드라이버(12)로부터 멀리 떨어진 화소에는 게이트 라인 신호지연에 의해 도 3b와 같은 왜곡된 게이트 출력신호 파형이 인가된다. 이로 인해 제3 PMOS TFT(T3)의 온-전류(On-Current)가 줄어들어 스토리지 캐패시터(Cst)에 저장되어 있던 전압이 바뀌게 된다. 또한 게이트 출력신호가 턴온에서 턴오프로 변할 때 차징 인젝션(Charge Injection)에 의해 스토리지 캐패시터(Cst)의 전압이 바뀌게 되는 문제점이 있다.

도 4는 종래기술에 따른 2 게이트 라인을 갖는 화소 구조를 나타내는 도면이다.

도 4를 참조하면, 화소 소자(PE)는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(20)를 구비한다.

EL 셀 구동회로(20)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성 하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 데이터 라인(DL) 및 제1 게이트 라인(GL1)에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 제2 게이트 라인(GL2) 및 제3 PMOS TFT(T3)에 접속되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

도 5는 도 4에 도시된 구동회로에서 제1 및 제2 게이트 라인에 인가되는 게이트 입력펄스를 나타내는 도면이고, 도 6a 및 도 6b는 도 5의 게이트 입력제어펄스에 따른 구동회로를 개략적으로 나타내는 도면이다.

도 5를 참조하면, 제1 및 제2 게이트 라인(GL1, GL2)에 인가되는 게이트 라인 입력펄스는 게이트 턴온시 동시에 로우입력신호가 인가된다. 로우입력신호가 입력되면 제3 및 제4 PMOS TFT(T3, T4)가 턴온되어, 데이터 라인(DL)을 통한 비디오 신호가 제3 및 제4 PMOS TFT(T3, T4)를 통하여 스토리지 캐패시터(Cst)에 충전된다. 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다.

이후 제4 PMOS TFT(T4)의 턴오프 즉, 하이입력신호 인가시점을 제3 PMOS TFT(T3)보다 선행되게 한다. 이는 제4 PMOS TFT(T4)를 미리 하이 임피던스 상태로 만들어 화소전압(Vpixel)이 데이터 전압(Vdata)으로 유지될 수 있게 한다. 이는 제4 PMOS TFT(T4)의 턴오프 후 소정시간 제3 PMOS TFT(T3)을 턴오프시키더라도, 이미 제4 PMOS TFT(T4)가 턴오프 상태이므로 제1 PMOS TFT(T1) 드레인 방향의 드레인전압(Vdrain)이 전압공급라인(VDD)으로부터의 공급전압(VDD)으로 상승되어도 화소전압에 영향을 미치지 않게 된다.

그러나, 이 경우에도 제4 PMOS TFT(T4)를 턴오프시 갑작스레 턴오프 시키게 되면, 하이입력신호와 로우입력신호의 전압차에 따른 차징 인젝션(Charging Injection) 효과로 인하여 화질에 영향을 주게 되는 문제점이 있게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 2게이트라인 및 4 TFT구조를 가지는 일렉트로 루미네센스 패널에서 제1 게이트 라인 및 제2 게이트라인에 인가되는 신호의 턴-온/오프 시간을 조절함과 아울러 제2 게이트라인의 게이트 출력신호 파형의 턴오프시 변조를 가함으로써 게이트 라인의 신호지연 및 차징 인젝션 현상으로 인한 화질저하를 방지하도록 한 일렉트로 루미네센스 패널의 구동장치 및 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 일렉트로 루미네센스 패널의 구동 방법은 제1 및 제2 게이트라인들과, 상기 제1 및 제2 게이트라인들과 교차되게 마련되어진 데이터 라인들과, 상기 제1 및 제2 게이트라인들과 데이터 라인들 의 교차부 각각에 설치되어진 일렉트로 루미네센스 셀들로 구성되는 일렉트로 루미네센스 패널의 구동방법에 있어서, 상기 제1 및 제2 게이트라인들에 펄스 형태의 스캐닝 신호를 제공하는 단계와, 상기 제1 및 제2 게이트라인

들에 인가되는 펄스 형태의 스캐닝 신호의 턴오프 시점을 달리하는 단계와, 상기 제2 게이트라인에 턴오프시 인가되는 스캐닝 신호는 구형파 이외의 펄스 형태로 인가되는 단계를 포함하는 것을 특징으로 한다.

본 발명에서 제2 게이트라인에 인가되는 스캐닝 신호의 턴오프 시점은 상기 제1 게이트라인에 인가되는 스캐닝 신호의 턴오프 시점보다 빠른 것을 특징으로 한다.

본 발명에서 제2 게이트라인에 턴오프시 인가되는 스캐닝 신호는 계단형 또는 슬로프형 중 어느 하나의 펄스 형태로 출력되는 것을 특징으로 한다.

본 발명에 따른 일렉트로 루미네센스 패널의 구동장치는 m개의 제1 및 제2 게이트라인들과 n개의 데이터라인들의 교차부마다 형성된 m×n개의 일렉트로 루미네센스 화소소자들을 구비하는 일렉트로-루미네센스 표시패널과; 상기 데이터라인들을 구동하기 위한 데이터 드라이버와; 상기 제1 및 제2 게이트라인들을 각각 구동하기 위한 제1 및 제2 게이트 드라이버와; 상기 데이터 드라이버에 상기 게이트라인들의 구동순서에 따라 재배열된 데이터신호와 함께 데이터제어신호들을 공급함과 아울러, 상기 제1 및 제2 게이트 드라이버에 스타트펄스와 클럭신호를 포함하는 게이트 제어신호들을 공급하는 타이밍 컨트롤러와; 상기 타이밍 컨트롤러와 제2 게이트 드라이버 사이에 상기 제2 게이트라인의 구동에 적합한 게이트로우전압을 선 택하여 인가되게 하는 아날로그 멀티플렉서와, 상기 타이밍 컨트롤러와 아날로그 멀티플렉서 사이에 연결되어 상기 아날로그 멀티플렉서의 스위치 동작을 제어하는 선택신호를 공급하는 게이트 변조 제어부를 구비하는 것을 특징으로 한다.

본 발명에서 아날로그 멀티플렉서 및 제2 게이트 드라이버 사이에 접속되어 상기 제1 및 제2 게이트 드라이버 내에서 구동에 적합한 레벨 쉬프팅하기 위한 게이트하이전압, 제1 및 제2 게이트로우전압을 생성하는 직류/직류 컨버터를 추가로 구비하는 것을 특징으로 한다.

본 발명에서의 게이트 변조 제어부는 상기 타이밍 컨트롤러 내에 포함되는 것을 특징으로 한다.

본 발명에서의 아날로그 멀티플렉서는 상기 게이트 변조 제어부로부터의 제어신호에 의해 제1 및 제2 게이트로우전압을 선택적으로 상기 제2 게이트 드라이버에 인가되는 것을 특징으로 한다.

본 발명에서의 일렉트로 루미네센스 화소 소자들은 기저전압라인에 접속되어 빛을 방사하는 일렉트로 루미네센스 셀과, 상기 일렉트로 루미네센스 셀들 각각에 설치되어 상기 데이터 라인 상의 신호에 응답하여 상기 일렉트로 루미네센스 셀에서 방사되는 광량을 제어하는 셀 구동수단들을 구비하는 것을 특징으로 한다.

본 발명에 따른 다른 일렉트로 루미네센스 패널의 구동장치는 m개의 제1 및 제2 게이트라인들과 n개의 데이터라인들의 교차부마다 형성된 m×n개의 일렉트로-루미네센스 화소소자들을 구비하는 일렉트로-루미네센스 표시패널과; 상기 데이터라인들을 구동하기 위한 데이터 드라이버와; 상기 제1 및 제2 게이트라인들을 각각 구동하기 위한 제1 및 제2 게이트 드라이버와; 상기 데이터 드라이버에 상기 게이트라인들의 구동순서에 따라 재배열된 데이터신호와 함께 데이터제어신호들을 공급함과 아울러, 상기 제1 및 제2 게이트 드라이버에 스타트펄스와 클럭신호를 포함하는 게이트제어신호들을 공급하는 타이밍 컨트롤러와; 상기 타이밍 컨트롤러와 제2 게이트 드라이버 사이에 접속되어 상기 제2 게이트라인의 구동에 적합한 게이트로우전압으로 변환되도록 하는 지연회로부와, 상기 타이밍 컨트롤러와 지연회로부 사이에 연결되어 상기 지연회로부를 제어하는 선택신호를 공급하는 게이트 변조 제어부를 구비하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 7 내지 도 15를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 7은 본 발명의 제1 실시예에 따른 EL 표시패널 구동장치를 개략적으로 도시한 블록도이다.

도 7을 참조하면, EL 표시패널 구동장치는 제1 및 제2 게이트 라인(GL1내지GLm, GL1'내지GLm') 및 데이터 라인(DL)의 교차부들 각각에 배열되어진 화소들(PE)을 구비하는 EL 표시패널(36)과, EL 표시패널(36)의 제1 및 제2 게이트 라인들(GL, GL')을 구동하는 게이트 드라이버(32)와, EL 표시패널(36)의 데이터라인들(DL)을 구동하는 데이터 드라이버(34)와, 게이트 드라이버(32)와 데이터 드라이버(34)를 제어하기 위한 타이밍 컨트롤러(30)를 구비한다.

화소들(PE) 각각은 게이트 라인들(GL, GL')의 게이트 신호들이 인에이블될 때에 구동되어 데이터라인(DL) 상의 화소신호의 크기에 상응하는 빛을 발생하게 된다.

타이밍 컨트롤러(30)는 게이트 드라이버(32)에 게이트제어신호들(GCS)를 공급함과 아울러 데이터 드라이버(34)에 데이터들과 함께 제어신호들을 공급한다.

또한 타이밍 컨트롤러(30)와 게이트 드라이버(32) 사이에 제2 게이트라인들(GL')을 순차적으로 턴-온 상태에서 턴-오프시 게이트 드라이버(32)로부터 출력되는 게이터 출력펄스가 변조되도록 외부로부터의 제1 및 제2 로우 출력전압(Vgl1, Vgl2)을 선택적으로 출력시키는 아날로그 멀티플렉서(MULTIPLEXER ; 이하 'MUX'라 함, 40)와, 아날로그 MUX(40)의 스위칭 동작을 하도록 제어신호를 인가하는 게이트 변조 제어부(38)를 추가로 구비한다. 이 경우 게이트 변조 제어부(38)는 타이밍 컨트롤러(30)에 포함되어 구동되어질 수 있다.

게이트 드라이버(32)는 타이밍 컨트롤러(30)로부터의 게이트제어신호들(GCS), 즉 스타트펄스와 클럭신호에 응답하여 게이트라인들(GL, GL')을 순차적으로 인에블시키는 스캔펄스(SP)를 공급한다. 이를 위하여, 게이트 드라이버(32)는 타이밍 컨트롤러(30)로부터의 스타트펄스를 쉬프팅시키기 위한 다수개의 쉬프터 레지스터들(도시하지 않음)과, 쉬프터 레지스터들 각각에서 출력되는 스캔신호를 EL 표시패널(36)의 게이트라인들(GL,GL')을 구동하기에 적합한 전압으로 레벨쉬프팅시키기 위한 다수개의 레벨쉬프터들을 구비한다. 쉬프터 레지스터들과 레벨쉬프터들은 일대일로 대응되어 접속되고, 레벨쉬프터들 각각의 출력단은 EL 표시패널(36)의 게이트라인들(GL) 각각에 접속된다. 쉬프터 레지스터들은 타이밍 컨트롤러(30)에서 공통적으로 입력되는 클럭신호들을 이용하여 첫째단의 쉬프터 레지스터에 스타트펄스를 순차적으로 쉬프트시키면서 레벨쉬프터들을 경유하여 게이트라인들(GL,GL')에 공급한다. 이에 따라, EL 표시패널(36)에 m개의 게이트라인들(GL. GL')이 배치되는 경우 게이트 드라이버(32)에는 그 m개의 게이트라인들(GL, GL') 각각에 접속되어질 m개의 쉬프터레지스터들과, m개의 레벨쉬프터들이 필요하게 된다.

데이터 드라이버(34)는 타이밍 컨트롤러(30)에서 공급되는 제어신호들에 응답하여 타이밍 컨트롤러(30)의 데이터신호를 데이터라인들(DL)을 통해 화소들(PE)에 공급하게 된다. 이 경우, 데이터 드라이버(34)는 게이트 드라이버(32)에서 게이트라인들(GL) 각각을 구동하는 스캔기간마다 1수평라인분씩의 데이터를 데이터라인들(DL)에 공급하게 된다.

이와 같이, 게이트 드라이버(32) 및 데이터 드라이버(34)에 의해 구동되는 화소들(PE)은 도 8에 도시된 바와 같이 공급전압원(VDD)에 접속된 EL셀(OLED)과, 이 EL셀(OLED)을 구동하기 위한 셀 구동회로(42)로 구성된다.

EL 셀 구동회로(42)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 제2 PMOS TFT(T2), 데이터 라인(DL) 및 제1 게이트 라인들(GL)에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 제2 게이트 라인(GL') 및 제3 PMOS TFT(T3)에 접속되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

도 9는 도 8에서의 구동장치에 따른 제1 및 제2 게이트라인의 공급펄스를 나타내는 도면이다.

도 9를 참조하면, 제1 및 제2 게이트 라인(GL, GL')에 인가되는 게이트 입력펄스는 게이트 턴온시 동시에 로우입력신호가 인가된다. 로우입력신호가 입력되면 제3 및 제4 PMOS TFT(T3, T4)가 턴온되어, 데이터 라인(DL)을 통한 비디오 신호가 제3 및 제4 PMOS TFT(T3, T4)를 통하여 스토리지 캐패시터(Cst)에 충전된다. 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다.

이후 제4 PMOS TFT(T4)의 턴오프 즉, 하이입력신호 인가시점을 제3 PMOS TFT(T3)보다 선행되도록 한다. 제4 PMOS TFT(T4)에 하이 입력신호에 계단파 형태의 게이트 펄스변조를 주게 된다. 게이트 라인 입력펄스는 보통 -12V 12V 내에서 구동되는 데, 먼저 제4 PMOS TFT(T4)에 로우입력펄스 입력시 -12V가 소정시간 인가된 후 -12V 12V 사이의 미리 설정된 전압으로 펄스가 인가되도록 한다. 이 경우 -12V 12V 사이의 설정된 전압을 거쳐 하이 입력펄스로 인가함으로써 로우 및 하이입력신호의 전압차에 따른 차징 인젝션 효과를 줄일 수 있게 된다.

이는 제4 PMOS TFT(T4)를 미리 하이 임피던스 상태로 만들어 화소전압이 데이터 전압으로 유지될 수 있게 한다. 이는 제4 PMOS TFT(T4)의 턴오프 후 소정시 간 후 제3 PMOS TFT(T3)을 턴오프시키더라도, 이미 제4 PMOS TFT(T4)가 턴오프 상태이므로 제1 PMOS TFT(T1) 드레인 방향의 드레인전압이 전압공급라인(VDD)으로부터의 공급전압으로 상승되어도 화소전압에 영향을 미치지 않게 된다.

도 10은 도 9의 제2 게이트 입력신호가 인가됨을 상세히 설명하기 위한 구동장치를 상세히 나타내는 도면이다. 도 11은 도 10에서의 구동신호 및 게이트 라인 입력신호를 나타내는 도면이다.

도 10 및 도 11을 참조하면, 제2 게이트 입력신호 구동장치는 게이트 드라이버(32) 내의 쉬프터 레지스터들 각각에서 출력되는 게이트 입력신호를 EL 표시패널(36)의 게이트라인들(GL')을 구동하기에 적합한 전압으로 레벨쉬프팅시키

기 위한 다수개의 레벨쉬프터(44a,44b)와, 변조된 제2 게이트 입력신호와 같이 게이트 출력신호의 로우입력신호를 레벨 쉬프팅시키기 위해 외부의 DC/DC 컨버터(도시하지 않음)로부터의 전압을 선택하기 위한 아날로그 MUX(40)와, 아날로그 MUX(40)의 스위칭 동작을 제어하기 위한 게이트 변조 제어부(38)를 구비한다.

이의 동작을 설명하면, 게이트 변조 제어부(38)로부터 'L' 신호가 아날로그 MUX(40)에 입력되면, 아날로그 MUX(40)는 DC/DC 컨버터로부터의 제1 게이트로우전압(Vgl1)이 게이트 드라이버(32) 내의 레벨 쉬프터(44b)에 입력되도록 스위칭된다. 또한 'H' 신호가 아날로그 MUX(40)에 입력되면, 아날로그 MUX(40)는 제2 게이트로우전압(Vgl2)이 레벨 쉬프터(44b)에 입력되도록 스위칭된다. 이 때 제1 게이트로우전압(Vgl1)은 -12V 이고, 제2 게이트로우전압(Vgl2)은 -12V와 12V 사이의 미리 설정된 전압(nV)이다.

도 12는 본 발명에 제2 실시예에 따른 EL 표시패널 구동장치를 개략적으로 도시한 블록도이다.

도 12를 참조하면, EL 표시패널 구동장치는 제1 및 제2 게이트 라인(GL1 GLm, GL1' GLm') 및 데이터 라인(DL)의 교차부들 각각에 배열되어진 화소들(PE)을 구비하는 EL 표시패널(56)과, EL 표시패널(56)의 제1 및 제2 게이트 라인들(GL, GL')을 구동하는 게이트 드라이버(52)와, EL 표시패널(56)의 데이터라인들(DL)을 구동하는 데이터 드라이버(54)와, 게이트 드라이버(52)와 데이터 드라이버(54)를 제어하기 위한 타이밍 컨트롤러(50)를 구비한다.

화소들(PE) 각각은 게이트 라인들(GL, GL')의 게이트 신호들이 인에이블될 때에 구동되어 데이터라인(DL)상의 화소신호의 크기에 상응하는 빛을 발생하게 된다.

타이밍 컨트롤러(50)는 게이트 드라이버(52)에 게이트제어신호들(GCS)를 공급함과 아울러 데이터 드라이버(54)에 데이터들과 함께 제어신호들을 공급한다.

또한 타이밍 컨트롤러(50)와 게이트 드라이버(52) 사이에 제2 게이트라인들(GL')을 순차적으로 턴-온 상태에서 턴-오프시 게이트 드라이버(52)로부터 출력되는 게이트 라인 입력펄스가 서서히 상승되도록 인가하는 RC 지연회로부(60)와, RC 지연회로부(60)의 동작을 제어하는 제어신호를 인가하는 게이트 변조 제어부(58)를 추가로 구비한다. 이 경우 게이트 변조 제어부(58)는 타이밍 컨트롤러(50)에 포함되어 구동되어질 수 있다.

게이트 드라이버(52)는 타이밍 컨트롤러(50)로부터의 게이트제어신호들(GCS), 즉 스타트펄스와 클럭신호에 응답하여 게이트라인들(GL, GL')을 순차적으로 인에이블시키는 게이트 출력신호 펄스를 공급한다. 이를 위하여, 게이트 드라이버(52)는 타이밍 컨트롤러(50)로부터의 스타트펄스를 쉬프팅시키기 위한 다수개의 쉬프터 레지스터들(도시하지 않음)과, 쉬프터 레지스터들 각각에서 출력되는 스캔신호를 EL 표시패널(56)의 게이트라인들(GL, GL')을 구동하기에 적합한 전압으로 레벨쉬프팅시키기 위한 다수개의 레벨쉬프터들을 구비한다. 쉬프터 레지스터들과 레벨쉬프터들은 일대일로 대응되어 접속되고, 레벨쉬프터들 각각의 출력단은 EL 표시패널(56)의 게이트라인들(GL, GL') 각각에 접속된다. 쉬프터 레지스터들은 타이밍 컨트롤러(50)에서 공통적으로 입력되는 클럭신호들을 이용하여 첫째단의 쉬프터 레지스터에 스타트펄스를 순차적으로 쉬프트시키면서 레벨쉬프터들을 경유하여 게이트라인들(GL, GL')에 공급한다. 이에 따라, EL 표시패널(56)에 m개의 게이트라인들(GL, GL')이 배치되는 경우 게이트 드라이버(52)에는 그 m개의 게이트라인들(GL, GL') 각각에 접속되어질 m개의 쉬프터레지스터들과, m개의 레벨쉬프터들이 필요하게 된다.

데이터 드라이버(54)는 타이밍 컨트롤러(50)에서 공급되는 제어신호들에 응답하여 타이밍 컨트롤러(50)의 데이터신호를 데이터라인들(DL)을 통해 화소들(PE)에 공급하게 된다. 이 경우, 데이터 드라이버(54)는 게이트 드라이버(52)에서 게이트라인들(GL) 각각을 구동하는 주사기간마다 1수평라인분씩의 데이터를 데이터라인들(DL)에 공급하게 된다.

이와 같이, 게이트 드라이버(52) 및 데이터 드라이버(54)에 의해 구동되는 화소들(PE)은 도 8에 도시된 바와 같이 공급전압원(VDD)에 접속된 EL셀(OLED)과, 이 EL셀(OLED)을 구동하기 위한 셀 구동회로(42)로 구성된다.

EL 셀 구동회로(42)는 EL 셀(OLED), 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(T1, T2)와; 제2 PMOS TFT(T2), 데이터 라인(DL) 및 제1 게이트 라인들(GL)에 접속되어 게이트 라인(GL) 상의 신호에 응답되는 제3 PMOS TFT(T3)와; 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극, 제2 게이트 라인(GL') 및 제3 PMOS TFT(T3)에 접속되는 제4 PMOS TFT(T4); 제1 PMOS TFT(T1) 및 제2 PMOS TFT(T2)의 게이트 전극과 공급전압라인(VDD) 사이에 접속되어진 캐패시터(Cst)를 구비한다.

도 13은 도 12에서의 구동장치에 따른 EL 패널 내 제1 및 제2 게이트라인에 인가되는 게이트 출력신호 파형을 나타내는 도면이다.

도 13을 참조하면, 제1 및 제2 게이트 라인(GL, GL')에 인가되는 게이트 입력펄스는 게이트 턴온시 동시에 로우입력신호가 인가된다. 로우입력신호가 입력되면 제3 및 제4 PMOS TFT(T3, T4)가 턴온되어, 데이터 라인(DL)을 통한

비디오 신호가 제3 및 제4 PMOS TFT(T3, T4)를 통하여 스토리지 캐패시터(Cst)에 충전된다. 캐패시터(Cst)는 데이터라인(DL)으로부터 공급되어 충전된 비디오신호를 1 프레임 동안 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인(DL)에서 공급되는 비디오신호가 EL 셀(OLED)에 공급되는 것을 캐패시터(Cst)에 의해 유지하게 된다.

이후 제4 PMOS TFT(T4)의 턴오프 즉, 하이입력신호 인가시점을 제3 PMOS TFT(T3)보다 선행되도록 한다. 제4 PMOS TFT(T4)의 턴오프시 게이트 입력신호가 서서히 로우에서 하이로 상승되게 인가되도록 한다.

이는 제4 PMOS TFT(T4)를 서서히 하이 임피던스 상태로 만듦으로써 화소전압이 데이터전압으로 일정하게 유지될 수 있게 한다. 이는 제4 PMOS TFT(T4)의 턴오프 후 소정시간 후 제3 PMOS TFT(T3)을 턴오프시키더라도, 이미 제4 PMOS TFT(T4)가 턴오프 상태이므로 제1 PMOS TFT(T1) 드레인 방향의 드레인전압이 전압공급라인(VDD)으로부터의 공급전압(VDD)으로 상승되어도 화소전압에 영향을 미치지 않게 된다.

도 14는 도 13의 제2 게이트 입력신호가 인가됨을 상세히 설명하기 위한 구동장치를 상세히 나타내는 도면이다. 도 15는 도 14에서의 구동신호 및 게이트 라인 입력신호를 나타내는 도면이다.

도 14 및 도 15를 참조하면, 제2 게이트 입력신호 구동장치는 게이트 드라이버(52) 내의 쉬프터 레지스터들(도시하지 않음) 각각에서 출력되는 스캔신호를 EL 표시패널(56)의 게이트라인들(GL')을 구동하기에 적합한 전압으로 레벨쉬프팅시키기 위한 다수개의 레벨쉬프터(64a,64b)와, DC/DC 컨버터(도시하지 않음)로부터의 제1 및 제2 게이트로우전압(Vgl1, Vgl2)을 레벨 쉬프터(64a,64b)의 로우입력포트를 통하여 제2 게이트라인(GL')에 변조되게 인가하도록 제어하는 RC 지연회로부(60)와, RC 지연회로부(60)의 스위칭 동작을 제어하기 위한 게이트 변조 제어부(58)를 구비한다.

이의 동작을 설명하면, 게이트 변조 제어부(58)로부터 'L' 신호가 RC 지연회 로부(60)에 입력되면, RC 지연회로부(60)는 제1 게이트로우전압(Vgl1)이 게이트 드라이버(52) 내의 레벨 쉬프터(64b)에 입력되도록 스위칭된다. 또한 게이트 변조 제어부(58)로부터 'H' 신호일 경우 게이트 드라이버(52) 내 레벨 쉬프터에 인가되는 로우입력전압은 도 15에서와 같이 제1 게이트로우전압(Vgl1)에서 제2 게이트로우전압(Vgl2)으로 서서히 바뀌는 톱니형태를 나타나게 된다. 이 때 제1 게이트로우전압(Vgl1)에서 제2 게이트로우전압(Vgl2)으로 바뀌는 시간은 RC 지연회로부(60) 내의 RC 파라미터에 의해 조절된다.

도 16a 및 도 16b는 본 발명의 제3 실시예에 따른 EL 패널 내 제1 및 제2 게이트라인에 인가되는 게이트 출력신호 파형을 나타내는 도면으로서, 도 9 및 도 13에 도시된 게이트 출력신호 파형과 비교하여 제2 게이트 출력은 제1 게이트 출력보다 먼저 턴오프에서 턴온으로 변하게 된다. 이 경우에도 턴온시점만 다를 뿐 구동장치 및 방법에 대해서는 동일한 작용 및 효과를 얻을 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 일렉트로 루미네센스 패널의 구동방법은 2 게이트라인 구조를 가지는 일렉트로 루미네센스 패널에서 2 게이트 라인에 연결된 스위치 소자의 턴 온/오프 시간을 다르게 제어함으로서 신호 지연에 따른 화질 저하를 방지함과 동시에 턴오프시 제2 게이트 라인의 게이트 출력 펄스에 변조를 가함으로써 차징 인젝션 효과로 인한 화질저하가 되는 것을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하 는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

제1 및 제2 게이트라인들과, 상기 제1 및 제2 게이트라인들과 교차되게 마련되어진 데이터 라인들과, 상기 제1 및 제2 게이트라인들과 데이터 라인들의 교차부 각각에 설치되어진 일렉트로 루미네센스 셀들로 구성되는 일렉트로 루미네센스 패널의 구동방법에 있어서,

상기 제1 및 제2 게이트라인들에 펄스 형태의 스캐닝 신호를 제공하는 단계와,

상기 제1 및 제2 게이트라인들에 인가되는 펄스 형태의 스캐닝 신호의 턴오프 시점을 달리하는 단계와,

상기 제2 게이트라인에 턴오프시 인가되는 스캐닝 신호는 구형파 이외의 펄스 형태로 인가되는 단계를 포함하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

청구항 2.
제 1 항에 있어서,

상기 제2 게이트라인에 인가되는 스캐닝 신호의 턴오프 시점은 상기 제1 게이트라인에 인가되는 스캐닝 신호의 턴오프 시점보다 빠른 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

청구항 3.
제 1 항에 있어서,

상기 제2 게이트라인에 턴오프시 인가되는 스캐닝 신호는 계단형 또는 슬로프형 중 어느 하나의 펄스 형태로 출력되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

청구항 4.
제 1 항에 있어서,

상기 제1 및 제2 게이트라인들에 펄스 형태의 스캐닝 신호는 서로 다른 시점에 인가되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동방법.

청구항 5.
m개의 제1 및 제2 게이트라인들과 n개의 데이터라인들의 교차부마다 형성된 m×n개의 일렉트로 루미네센스 화소소자들을 구비하는 일렉트로-루미네센스 표시패널과;

상기 데이터라인들을 구동하기 위한 데이터 드라이버와;

상기 제1 및 제2 게이트라인들을 각각 구동하기 위한 제1 및 제2 게이트 드라이버와;

상기 데이터 드라이버에 상기 게이트라인들의 구동순서에 따라 재배열된 데이터신호와 함께 데이터제어신호들을 공급함과 아울러, 상기 제1 및 제2 게이트 드라이버에 스타트펄스와 클럭신호를 포함하는 게이트제어신호들을 공급하는 타이밍 컨트롤러와;

상기 타이밍 컨트롤러와 제2 게이트 드라이버 사이에 상기 제2 게이트라인의 구동에 적합한 게이트로우전압을 선택하여 인가되게 하는 아날로그 멀티플렉서와,

상기 타이밍 컨트롤러와 아날로그 멀티플렉서 사이에 연결되어 상기 아날로그 멀티플렉서의 스위치 동작을 제어하는 선택신호를 공급하는 게이트 변조 제어부를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

청구항 6.
제 5 항에 있어서,

상기 아날로그 멀티플렉서 및 제2 게이트 드라이버 사이에 접속되어 상기 제1 및 제2 게이트 드라이버 내에서 구동에 적합한 레벨 쉬프팅하기 위한 게이트하이전압, 제1 및 제2 게이트로우전압을 생성하는 직류/직류 컨버터를 추가로 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

청구항 7.
제 5 항에 있어서,

상기 게이트 변조 제어부는 상기 타이밍 컨트롤러 내에 포함되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

청구항 8.
제 6 항에 있어서,

상기 아날로그 멀티플렉서는 상기 게이트 변조 제어부로부터의 제어신호에 의해 제1 및 제2 게이트로우전압을 선택적으로 상기 제2 게이트 드라이버에 인가되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

청구항 9.
제 6 항에 있어서,

상기 일렉트로 루미네센스 화소 소자들은 기저전압라인에 접속되어 빛을 방사하는 일렉트로 루미네센스 셀과,

상기 일렉트로 루미네센스 셀들 각각에 설치되어 상기 데이터 라인 상의 신호에 응답하여 상기 일렉트로 루미네센스 셀에서 방사되는 광량을 제어하는 셀 구동수단들을 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

청구항 10.
제 9 항에 있어서,

상기 셀 구동수단은

상기 일렉트로 루미네센스 셀, 공급전압라인(VDD)에 전류 미러를 형성하게 접속되어 상기 화소전압 신호를 일렉트로 루미네센스 셀에 인가하게 하는 제1 및 제2 스위치 소자와;

상기 데이터 라인으로부터의 화소신호를 충전하여 그 충전되어진 화소신호를 상기 전류미러에 인가하는 전압 충전 소자와;

상기 데이터 라인과 제1 및 제2 스위치 소자의 게이트 전극 사이에 접속되어 상기 제1 게이트 라인 상의 신호에 응답하도록 하는 제3 스위치 소자와;

상기 제1 및 제2 스위치 소자의 게이트 전극, 제3 스위치 소자 및 전압 충전소자에 접속되어 상기 제2 게이트 라인 상의 신호에 응답하도록 하는 제4 스위치 소자를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

청구항 11.
m개의 제1 및 제2 게이트라인들과 n개의 데이터라인들의 교차부마다 형성된 m×n개의 일렉트로-루미네센스 화소소자들을 구비하는 일렉트로-루미네센스 표시패널과;

상기 데이터라인들을 구동하기 위한 데이터 드라이버와;

상기 제1 및 제2 게이트라인들을 각각 구동하기 위한 제1 및 제2 게이트 드라이버와;

상기 데이터 드라이버에 상기 게이트라인들의 구동순서에 따라 재배열된 데이터신호와 함께 데이터제어신호들을 공급함과 아울러, 상기 제1 및 제2 게이트 드라이버에 스타트펄스와 클럭신호를 포함하는 게이트제어신호들을 공급하는 타이밍 컨트롤러와;

상기 타이밍 컨트롤러와 제2 게이트 드라이버 사이에 접속되어 상기 제2 게이트라인의 구동에 적합한 게이트로우전압으로 변환되도록 하는 지연회로부와,

상기 타이밍 컨트롤러와 지연회로부 사이에 연결되어 상기 지연회로부를 제어하는 선택신호를 공급하는 게이트 변조 제어부를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

청구항 12.
제 11 항에 있어서,

상기 지연회로부 및 제2 게이트 드라이버 사이에 접속되어 상기 제1 및 제2 게이트 드라이버 내에서 구동에 적합한 레벨 쉬프팅하기 위한 게이트하이전압, 제1 및 제2 게이트로우전압을 생성하는 직류/직류 컨버터를 추가로 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

청구항 13.
제 11 항에 있어서,

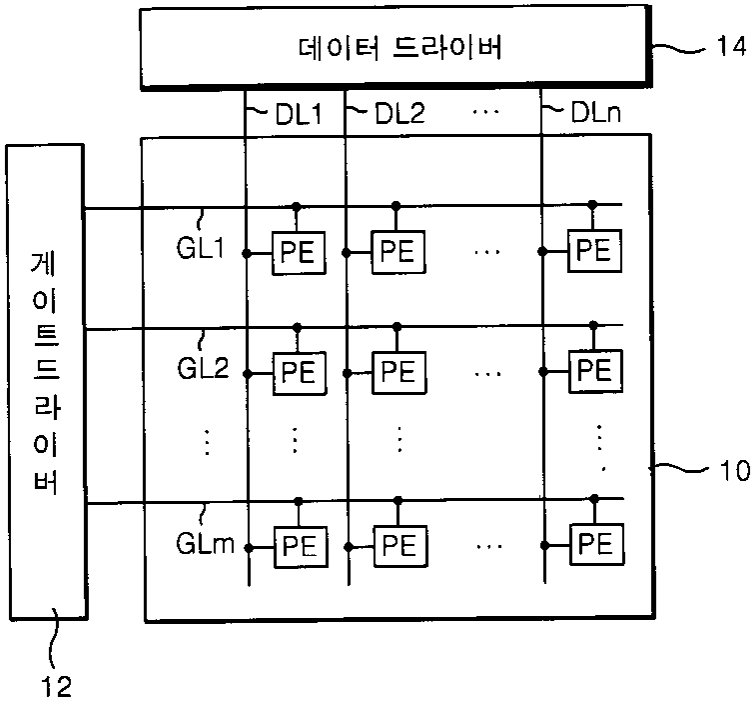
상기 게이트 변조 제어부는 상기 타이밍 컨트롤러 내에 포함되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

청구항 14.
제 11 항에 있어서,

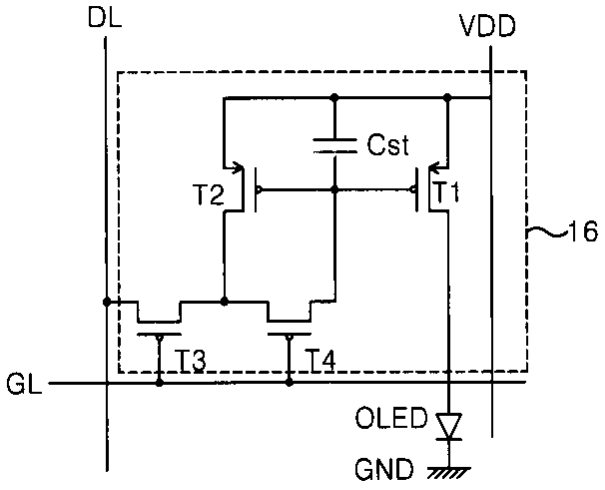
상기 지연회로부는 저항(R)과 캐패시터(C)의 RC지연회로로 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동장치.

도면

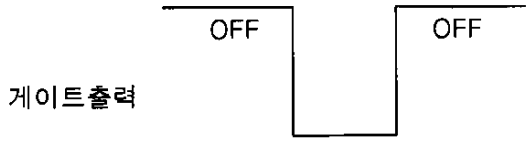
도면1



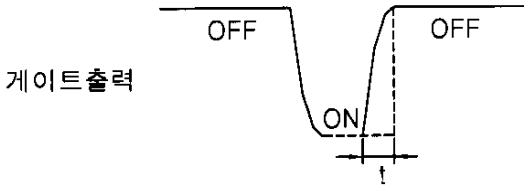
도면2



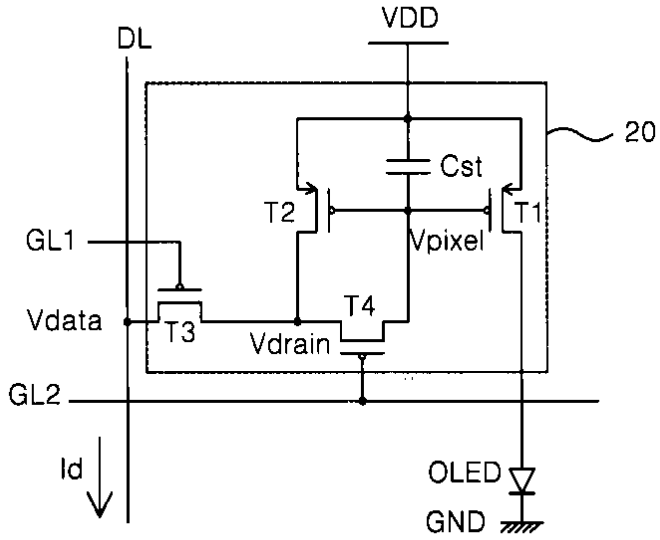
도면3a



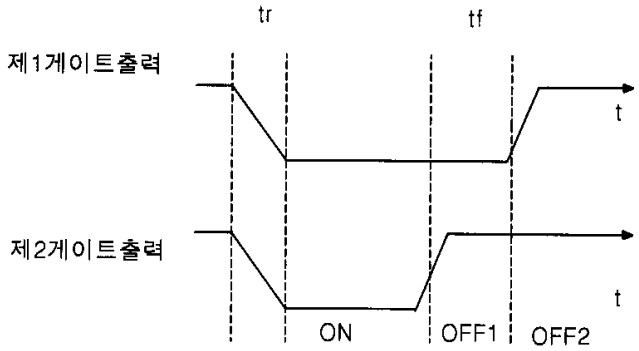
도면3b



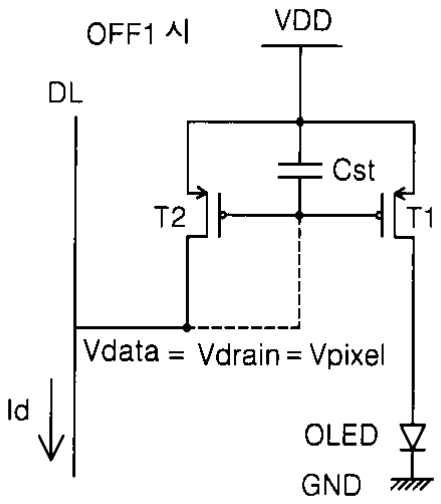
도면4



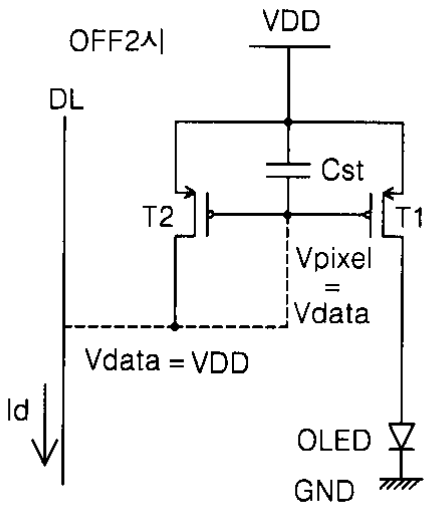
도면5



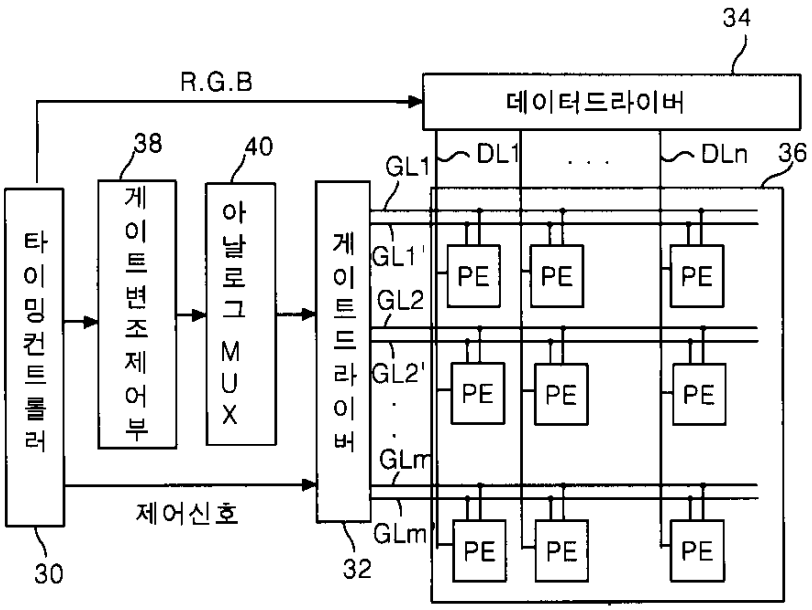
도면6a


OFF1 시
VDD
DL
Cst
T2
T1
Vdata = Vdrain = Vpixel
Id
OLED
GND

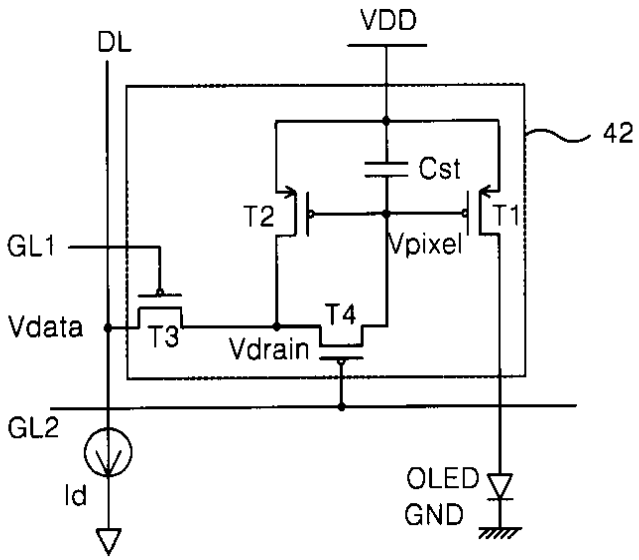
도면6b


OFF2시
VDD
DL
Cst
T2
T1
Vpixel
=
Vdata
Vdata = VDD
Id
OLED
GND

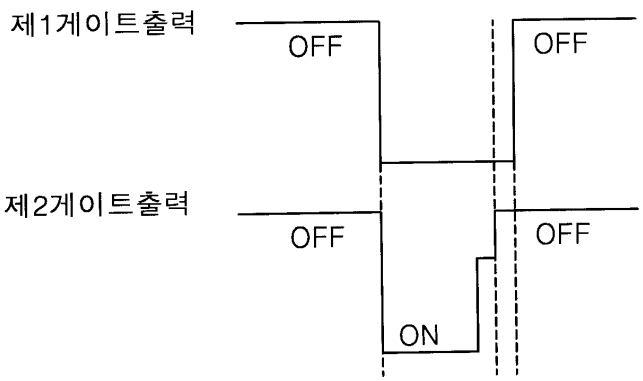
도면7


34
R.G.B
데이터드라이버
38
40
GL1
DL1
DLn
36
타이밍컨트롤러
게이트변조제어부
아날로그 MUX
게이트드라이버
GL1'
GL2
GL2'
GLm
PE
제어신호
30
32
GLm

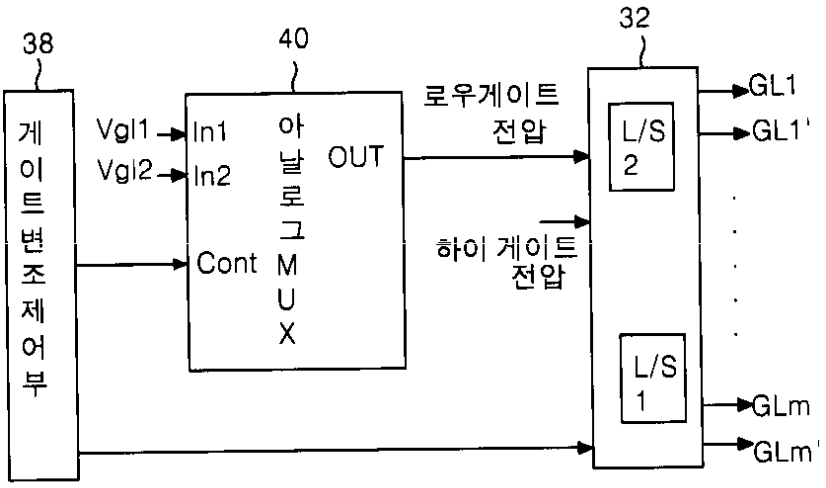
도면8


VDD
DL
42
Cst
T2
T1
GL1
Vpixel
Vdata
T3
T4
Vdrain
GL2
Id
OLED
GND

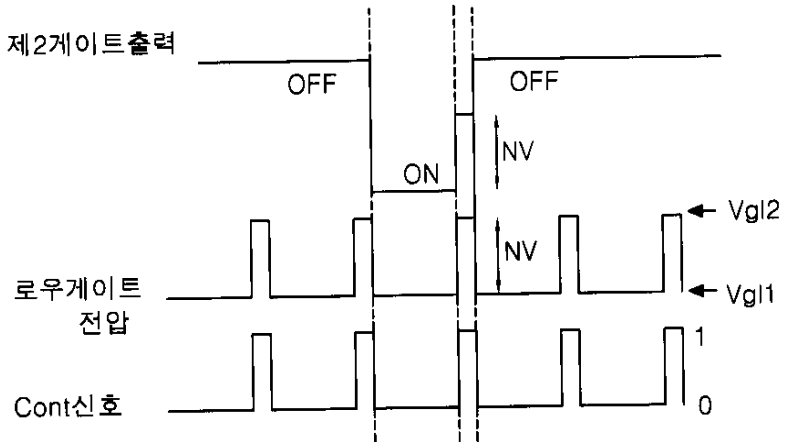
도면9


제1게이트출력
OFF
OFF
제2게이트출력
OFF
OFF
ON

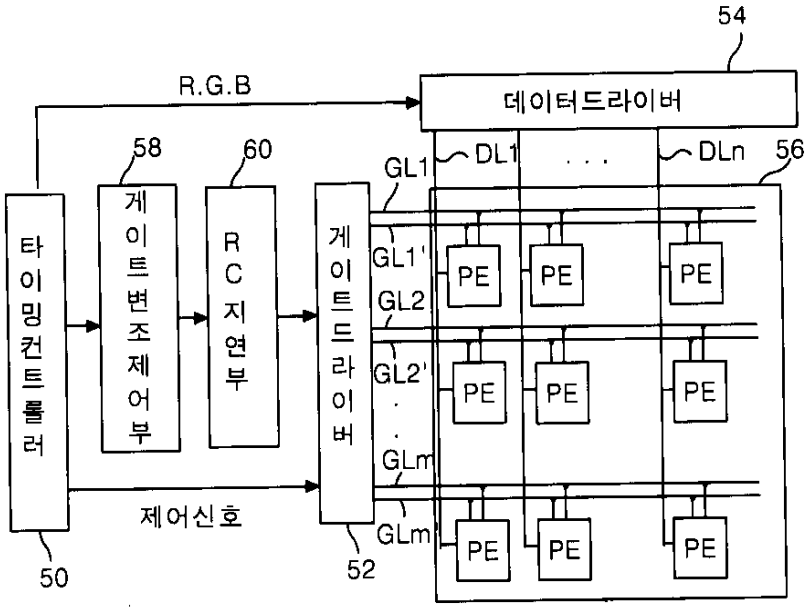
도면10



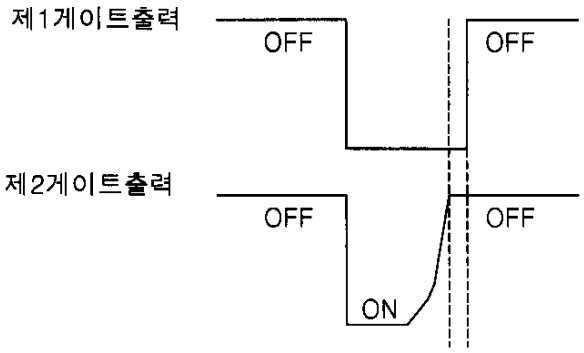
도면11



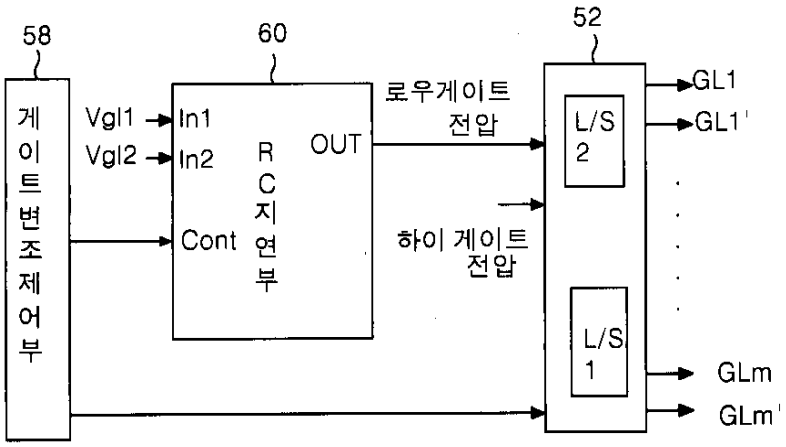
도면12



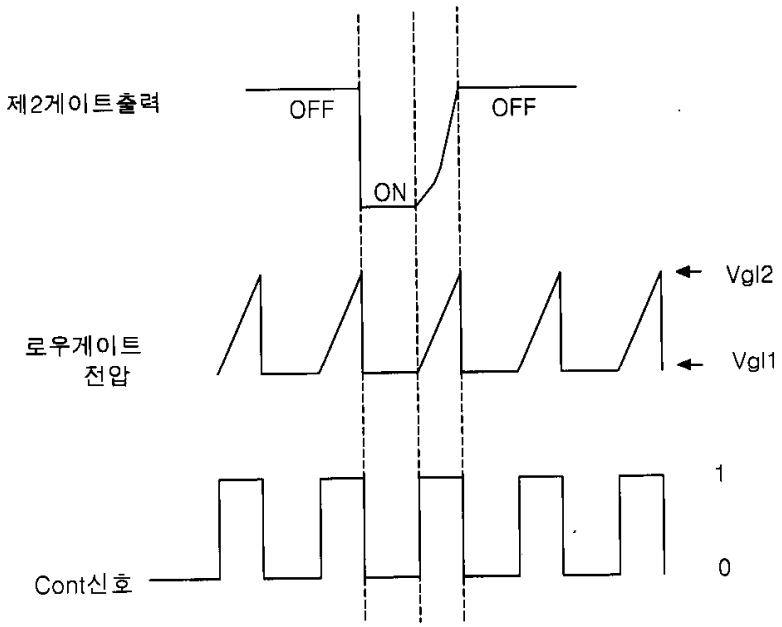
도면13



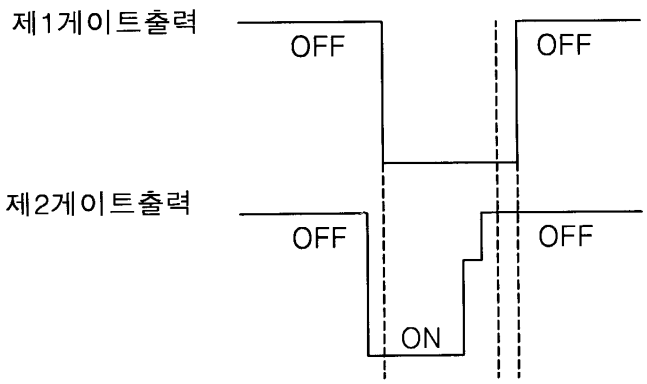
도면14



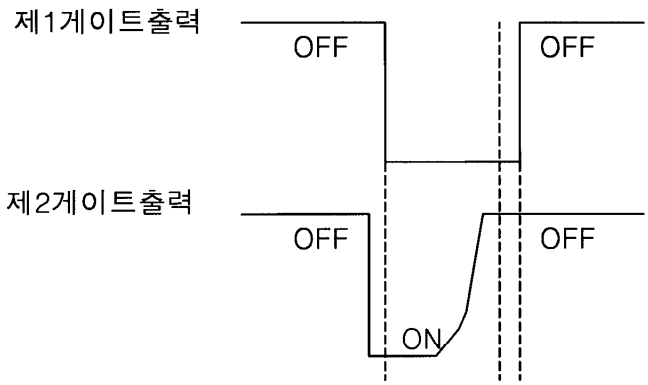
도면15



도면16a


제1게이트출력
OFF
OFF
제2게이트출력
OFF
OFF
ON

도면16b


제1게이트출력
OFF
OFF
제2게이트출력
OFF
OFF
ON

专利名称(译)	电致发光面板驱动装置和方法		
公开(公告)号	KR1020030037392A	公开(公告)日	2003-05-14
申请号	KR1020010068394	申请日	2001-11-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HANSANG 이한상 PARK JOON KYU 박준규 KIM CHANGYEON 김창연		
发明人	이한상 박준규 김창연		
IPC分类号	G09G3/30		
其他公开文献	KR100848954B1		
外部链接	Espacenet		

摘要(译)

本发明涉及到栅极线2的驱动装置和方法具有的场致发光面板驱动器4米的灯具电一个，以防止图像劣化感测面板由于来自栅极线的信号延迟。根据本发明的驱动电致发光面板的方法包括第一和第二栅极线，布置成与第一和第二栅极线交叉的数据线，和和在用于驱动电致发光由细胞的电致发光面板的方法被安装在每个数据线的交叉点，所述第一和第二栅极线提供脉冲式的扫描信号的步骤，第一和第二栅极线;关断到所述第二栅极线，其中，不同于脉冲形状的扫描信号的关断时间被施加到期间施加和扫描信号是不是方形波施加到脉冲形状之外的步骤而且，其特征在于。 根据本发明，当电致发光也否则根据由信号控制防止图像劣化延迟接通连接到所述感测面板的第二栅极线，并在同一时间开关元件的通/断时关断与权利要求2的第二栅线结构，通过调制栅极线的栅极输出脉冲，可以防止由于充电注入效应导致的图像质量的劣化。 7