



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월09일
(11) 등록번호 10-0946231
(24) 등록일자 2010년03월02일

(51) Int. Cl.
H05B 33/22 (2006.01) H05B 33/10 (2006.01)
H01L 27/00 (2006.01)
(21) 출원번호 10-2004-7014721
(22) 출원일자 2003년03월19일
심사청구일자 2008년03월14일
(85) 번역문제출일자 2004년09월17일
(65) 공개번호 10-2004-0093164
(43) 공개일자 2004년11월04일
(86) 국제출원번호 PCT/IB2003/000999
(87) 국제공개번호 WO 2003/079442
국제공개일자 2003년09월25일
(30) 우선권주장
0206551.4 2002년03월20일 영국(GB)
(뒷면에 계속)
(56) 선행기술조사문헌
EP1096568 A
US20006057647 A1
WO199943031 A1
전체 청구항 수 : 총 25 항

(73) 특허권자
코닌클리케 필립스 일렉트로닉스 엔.브이.
네덜란드왕국, 아인드호펜, 그로네보르스베그 1
(72) 발명자
헥터, 제이슨, 알.
네덜란드, 아아 아인드호펜 5656 프로프. 홀스트
란 6
영, 니젤, 디.
네덜란드, 아아 아인드호펜 5656 프로프. 홀스트
란 6
(뒷면에 계속)
(74) 대리인
문경진

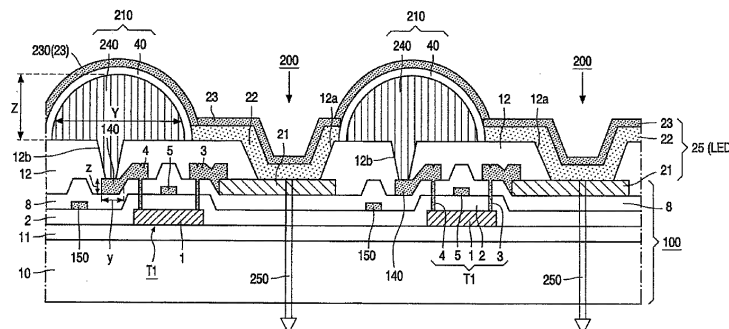
심사관 : 추장희

(54) 능동 매트릭스 전계 발광 디스플레이 디바이스, 및 그제조 방법

(57) 요약

물리적 배리어(210)는 특히 유기 반도체 물질로 된 LED(25)를 갖는 능동-매트릭스 전계 발광 디스플레이 디바이스의 회로 기판(100) 상의 이웃한 픽셀(200) 사이에 존재한다. 본 발명은, LED로부터 절연(400)되지만 기판(100) 내의 회로에 연결되는 금속 또는 다른 전기-전도성 물질(240)과 함께 이러한 배리어(210)를 형성한다. 이러한 전도성 배리어 물질(240)은, LED가 구동 요소(T1)에 의해 연결되는 구동 공급 라인(140, 240)의 적어도 일부분을 백업 또는 교체한다. 이는, 엄격히 구속되는, 회로 기판(100) 내로부터 라인 저항 및 연관된 전압 강하에 대한 문제를, 전도성 배리어 물질(240)이 더 낮은 저항을 제공할 수 있는 기판(100) 상의 픽셀 배리어(210)의 더 자유로운 환경으로 이동시킨다. 매우 큰 디스플레이는 이러한 복합 구동 공급 라인(140, 240)을 따라 낮은 전압 강하를 이용하여 만들어질 수 있다. 더욱이, 그 구조는, 전도성 배리어 물질(240)을 갖는 이러한 구동 공급 라인(140, 240)과, 전도성 배리어 물질(240) 위의 절연 코팅(40) 상에 연장하는 LED 상부 전극(23)의 다른 공급 라인(230) 사이에 평활화 커패시터(Cs)를 형성하도록 최적화될 수 있다.

대표도



(72) 발명자

피쉬, 데이비드, 에이.

네덜란드, 아아 아인드호펜 5656 프로프. 홀스트란
6

차일즈, 마크, 제이.

네덜란드, 아아 아인드호펜 5656 프로프. 홀스트란
6

(30) 우선권주장

0209557.8 2002년04월26일 영국(GB)

0216053.9 2002년07월11일 영국(GB)

특허청구의 범위

청구항 1

회로 기판을 포함하는 능동-매트릭스 전계 발광 디스플레이 디바이스로서, 상기 기판 상에 픽셀 어레이가 제공되고, 상기 어레이의 적어도 한 방향으로 이웃한 픽셀 사이에 물리적 배리어가 존재하고, 각 픽셀은 상기 회로 기판에서 직렬 구동 요소에 의해 공급 라인에 연결되는 전류-구동 전계 발광 요소를 포함하고, 상기 물리적 배리어는, 상기 전계 발광 요소로부터 절연되고 상기 공급 라인의 적어도 일부분을 제공하는 전기-전도성 물질로 부분적으로 이루어지고, 상기 전도성 배리어 물질은 상기 배리어와 상기 구동 요소 사이의 중간 절연층에서 접촉 윈도우를 통해 상기 픽셀의 각 구동 요소에 연결되는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 2

제 1항에 있어서, 절연 코팅은 상기 전도성 배리어 물질의 측면 및 상부 상에 연장하고, 추가 공급 라인은 상기 전계 발광 요소의 상부 전극을 포함하고, 상기 전도성 배리어 물질 위의 상기 절연 코팅의 층 위에서 연장하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 3

제 2항에 있어서, 상기 절연 코팅은, 상기 전도성 배리어 물질을 포함하는 상기 구동 공급 라인과, 상기 전계 발광 요소의 상부 전극을 포함하는 추가 공급 라인 사이에 평활 커패시터(smoothing capacitor)의 커패시터 유전체를 형성하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서, 각 픽셀은 상기 픽셀의 각 구동 요소에 대한 전극 연결과 상기 전도성 배리어 물질 사이에 각 접촉 윈도우를 갖는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 5

제 1항 내지 제 3항 중 어느 한 항에 있어서, 각 픽셀의 상기 구동 요소는 상기 전도성 배리어 물질에 연결되는 상기 접촉 윈도우에 위치한 각각의 전극을 갖는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 6

제 4항에 있어서, 상기 구동 요소의 대부분은 상기 전도성 배리어 물질 아래에 위치하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 7

제 1항 내지 제 3항 중 어느 한 항에 있어서, 각 픽셀은 주어진 전도 상태에서 상기 구동 요소를 유지시키는 유지 커패시터를 포함하고, 상기 전도성 배리어 물질은 상기 접촉 윈도우에서 상기 구동 요소의 노드 및 상기 유지 커패시터의 하나의 플레이트에 연결되는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 8

제 7항에 있어서, 상기 유지 커패시터의 대부분은 상기 전도성 배리어 물질 아래에 위치하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 9

제 7항에 있어서, 상기 유지 커패시터는, 상기 공급 라인 배리어에 횡단하여 연장하고 금속 코어 상의 유전 코팅 상의 금속 코팅을 포함하는 추가 배리어의 각각의 절연된 길이에 의해 형성되는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 10

제 4항에 있어서, 상기 구동 공급 라인을 따라, 상기 전도성 배리어 물질은 상기 구동 요소에 상기 전극 연결을

제공하는 전도체 층보다 2배 더 크고 20배 미만인 단면적을 갖는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 11

제 4항에 있어서, 상기 구동 공급 라인을 따라, 상기 전도성 배리어 물질은, 상기 구동 요소에 상기 전극 연결을 제공하는 전도체 층보다 2배 더 크고 10배 미만인 두께를 갖는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 12

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 물리적 배리어는 상기 전도성 배리어 물질(금속을 포함)로 이루어지는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 13

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 물리적 배리어는 상기 각 픽셀의 각 구동 요소에 대한 전극 연결에 연결되는 상기 전도성 배리어 물질의 연속 공급 라인으로서 전체 어레이를 가로질러 연장하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 14

제 1항 내지 제 3항 중 어느 한 항에 있어서, 픽셀 사이의 상기 물리적 배리어는 상기 어레이의 행 및 열 방향으로 전도성 배리어 물질의 네트워크로서 연장하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 15

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 전계발광 요소는 중간 절연 층에서 추가 윈도우에 존재하고, 상기 구동 요소와의 하부 전극 연결을 갖는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 16

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 구동 요소는 상기 전도성 배리어 물질과 상기 전계 발광 요소의 하부 전극 사이에 박막 트랜지스터의 주요 전류 경로를 연결시키는 소스 및 드레인 전극을 갖는 박막 트랜지스터인, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 17

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 픽셀의 구동 요소는 각 픽셀에 어드레싱하기 위해 어레이를 가로질러 연장하는 상기 회로 기관의 행 및 열 전도체에 연결되고, 상기 배리어를 포함하는 상기 공급 라인은 상기 행 또는 열 전도체에 평행하게 연장하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 18

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 픽셀의 구동 요소는, 각 픽셀에 어드레싱하기 위해 상기 어레이를 가로질러 연장하는 상기 회로 기관의 행 및 열 전도체에 연결되고, 전도성 물질의 추가 배리어는 상기 행 전도체에 평행하게 연장하고, 상기 구동 공급 라인의 적어도 일부분을 형성하는 상기 배리어로부터 절연되고, 상기 행 전도체를 따라 전압 강하를 감소시키기 위해 상기 회로 기관에서 상기 중간 절연층에서의 접촉 윈도우를 통해 상기 행 전도체에 연결되는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 19

제 1항 내지 제 3항 중 어느 한 항에 있어서, 각 전계 발광 요소는 상부 전극과 하부 전극 사이에 유기 반도체 물질의 발광 다이오드를 포함하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 20

제 1항 내지 제 3항 중 어느 한 항에 기재된 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법으로서,

(a) 픽셀의 각 구동 요소에 대한 전극 연결을 노출하기 위해 상기 회로 기관 상의 중간 절연 층에서 접촉 윈도우

우를 개방하는 단계와,

(b) 픽셀 영역에 인접한 물리적 배리어의 측면에서 절연을 갖는 회로 기판 상에 물리적 배리어를 형성하는 단계와,

(c) 상기 물리적 배리어 사이의 상기 픽셀 영역에 상기 전계 발광 요소를 제공하는 단계를 포함하며,

상기 전도성 배리어 물질은 상기 중간 절연층의 접촉 윈도우에서의 연결을 위해 전기-전도성 물질을 증착함으로써 제공되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

청구항 21

제 20항에 있어서, 상기 단계(b)는 상기 전기-전도성 물질의 코어로서 상기 물리적 배리어를 형성하는 단계와, 상기 전도성 배리어 물질의 측면 상에 절연 코팅을 증착하는 단계를 포함하는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

청구항 22

제 21항에 있어서, 상기 전도성 배리어 물질의 코어의 벌크는 도금에 의해 증착되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

청구항 23

제 21항에 있어서, 상기 전도성 배리어 물질은 알루미늄을 포함하고, 상기 절연 코팅은 양극 산화(anodisation)에 의해 상기 알루미늄 배리어 물질의 측면 상에 형성되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

청구항 24

제 20항에 있어서, 상기 단계(b)는 절연 물질로 이루어진 물리적 배리어를 형성하는 단계를 포함하되, 비아가 상기 중간 절연층의 접촉 윈도우에서 회로 요소와의 연결을 위해 상기 물리적 배리어를 관통하여 연장하며, 상기 전기-전도성 물질은 상기 물리적 배리어의 상부 및 상기 물리적 배리어를 관통하는 비아에서 전도성 코팅으로서 증착되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

청구항 25

제 24항에 있어서, 상기 전계 발광 요소의 물리적 배리어 및 상부 전극에 대한 전도성 코팅은 동시에 증착되고, 상기 물리적 배리어의 측면에서 돌출 형태의 새도우-마스크 효과에 의해 분리되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

명세서

기술 분야

[0001] 본 발명은 능동-매트릭스 전계 발광 디스플레이 디바이스에 관한 것으로, 특히 반도체 콘주게이트(conjugated) 중합체 또는 다른 유기 반도체 물질로 된 발광 다이오드를 이용하는 것이지만 여기에 한정되지 않는다. 본 발명은 또한 그러한 디바이스의 제조 방법에 관한 것이다.

배경 기술

[0002] 그러한 능동-매트릭스 전계 발광 디스플레이 디바이스가 알려져 있으며, 상기 디바이스는 회로 기판 상에 존재하는 픽셀 어레이를 포함하며, 여기서 각 픽셀은 일반적으로 유기 반도체 물질로 된 전류-구동 전계 발광 요소를 포함한다.

[0003] 많은 그러한 어레이에서, 절연 물질의 물리적 배리어는 어레이의 적어도 한 방향으로 이웃한 픽셀 사이에 존재한다. 그러한 배리어의 예는 공개된 영국 특허 출원 GB-A-2 347 017, 공개된 PCT 특허 출원 WO-A1-99/43031, 공개된 유럽 특허 출원 EP-A-0 895 219, EP-A-1 096 568, 및 EP-A-1 102 317에 주어지며, 이들 특허의 전체 내용은 본 명세서에 참고 문헌으로서 병합되어 있다.

[0004] 그러한 배리어는 예를 들어 "벽(wall)", "파티션(partition)", "뱅크(bank)", "리브(rib)", "분리기

(separator)", 또는 "댐(dam)"으로 종종 지칭된다. 인용된 참고 문헌에서 알 수 있듯이, 상기 배리어는 몇 가지 기능을 제공할 수 있다. 배리어는 제조시 개별적인 픽셀 및/또는 픽셀의 열의 전계 발광 층 및/또는 전극 층을 한정하는데 사용될 수 있다. 따라서, 예를 들어 배리어는 칼라 디스플레이의 적색, 녹색 및 청색 픽셀에 대해 잉크젯 프린팅 될 수 있거나 단색 디스플레이를 위해 스핀-코팅될 수 있는 컨주게이트 중합체 물질의 픽셀 오버플로우(overflow)를 방지한다. 제조된 디바이스에서의 배리어는 픽셀의 잘-한정된 광학 분리를 제공할 수 있다. 배리어는 또한 전계 발광 요소의 공통 상부 전극의 저항(이에 따라 양단의 전압 강하)을 감소시키기 위한 보조 배선으로서 전도성 물질(전계 발광 요소의 상부 전극 물질과 같은)을 운반 또는 포함할 수 있다.

[0005] 능동-매트릭스 디스플레이 디바이스의 각 전계 발광 요소는 어레이의 2개의 전압 공급 라인 사이의 구동 요소(일반적으로 박막 트랜지스터, 이후에 "TFT"로 지칭됨)와 직렬로 연결된다. 이들 2개의 공급 라인은 일반적으로 전력 공급 라인 및 접지 라인(또한 "복귀 라인"으로 지칭됨)이다. 일반적으로 LED와 같은 전계 발광 요소로부터의 광 방출은 각 구동 요소 TFT에 의해 변경된 바와 같이 상기 전계 발광 요소에 흐르는 전류 흐름에 의해 제어된다. 전계 발광 요소가 직렬의 구동 요소에 의해 연결되는 공급 라인은 픽셀의 "구동 공급 라인" 또는 "구동 라인" 또는 "전류 구동 라인"이라 불릴 수 있다. 이들 2개의 공급 라인을 따르는 전압 강하는 개별적인 픽셀에 대한 부정확한 구동 전류를 야기할 수 있다. 이는 디스플레이의 중심에 있는 픽셀로부터 방사 세기에서의 감소(즉 이미지의 페이딩(fading))를 초래할 수 있다. 더욱이, 대형 디스플레이의 경우, 그 효과는 너무 나빠서, 그 중심에서 어떠한 방출도 발생하지 않아, 허용가능한 디스플레이 크기를 한정시킨다.

[0006] 픽셀의 행에 대한 그러한 전압 강하 및/또는 그 효과를 감소시키기 위한 몇가지 방법이 제안되었다. 따라서, 라인의 폭을 테이퍼링함으로써 라인을 따라 전압 강하를 감소시키기 위한 공개된 미국 특허 출원 US-A1-2001/0007413(필립스 관리 번호: PHGB000001)에 알려져 있다. 공개된 PCT 특허 출원 WO-A1-01/01383 및 WO-A1-01/01384(필립스 관리 번호: PHB34350 및 PHB34351)는, 여러 값이 각 픽셀에 대한 구동 신호를 정정하도록 생성되는 다른 방법을 채택한다. US-A1-2001/0007413, WO-A1-01/01383 및 WO-A1-01/01384의 전체 내용은 참고 문헌으로 본 명세서에 또한 병합되어 있다.

발명의 상세한 설명

[0007] 본 발명의 목적은, 구동 공급 라인을 따라 그러한 전압 강하를 감시시키고, 디바이스 구조, 레이아웃 및 전자장치를 크게 복잡하게 하지 않는 방식으로 감소시키는 것이다.

[0008] 본 발명의 하나의 양상에 따라, 청구항 1의 특징을 갖는 능동-매트릭스 전계 발광 디스플레이 디바이스가 제공된다.

[0009] 본 발명에 따라, 픽셀 사이의 물리적 배리어는 부분적 및/또는 주로 전기-전도성 물질(일반적으로 금속)로 이루어져 있는데, 상기 전기 전도성 물질은 전계 발광 요소로부터 절연되고, 구동 공급 라인의 적어도 일부분을 제공한다. 이러한 전도성 배리어 물질은 배리어의 전도성 코어를 형성할 수 있다. 기판에서의 픽셀 배리어와 구동 요소 사이의 접촉 윈도우(contact window){이후에 "비아(via)"로 지칭됨}를 통해 회로 기판, 각 구동 요소를 위한 전극 연결에 연결된다. 따라서, 라인 저항 및 연관된 전압 강하에 대한 문제는 회로 기판(심하게 제약된) 내로부터 기판(전도성 배리어 물질이 더 낮은 저항을 제공할 수 있는) 상의 픽셀 배리어의 훨씬 더 자유로운 환경으로 전달된다.

[0010] 이러한 수단에 의해, 구동 공급 라인을 따른 전기 저항(결과로서 전압 강하)은 예를 들어 구동 요소의 박막 전극 라인인, 회로 기판 내의 전도체 층에 비해 크게 감소될 수 있다. 따라서, 이러한 구동 라인을 따라, 전도성 배리어 물질은 회로 기판에서의 얇은 전도체 층의 단면적보다 일반적으로 더 넓은(예를 들어 적어도 2배만큼, 또는 심지어 적어도 10배 더 큰) 단면적을 갖는다. 이와 같이, 저항(심지어 긴 라인에 대한)은 낮을 수 있고, 매우 큰 전계 발광 디스플레이는 본 발명에 따라 구성될 수 있다. 더 작은 디스플레이에서조차, 화질은 본 발명에 따라 전도성 배리어 물질의 사용에 의해 향상될 수 있다.

[0011] 픽셀당 하나의 비아를 제공함으로써, 회로 기판 상의 전도 물질의 연속적인 배리어 라인은 회로 기판 내에 이전에 병합된 구동 라인을 대체하는데 사용될 수 있다. 이는 픽셀 애퍼처에서의 증가를 허용한다. 전도성 배리어 라인 자체는 어레이의 열 또는 행 전도체 라인과 간단히 중첩될 수 있다. 대안적으로, 전도성 배리어 물질의 라인(또는 개별적인 길이)은 회로 기판의 구동 라인의 해당 길이를 백업(backup)하는데 사용될 수 있다. 이러한 대안은 비아의 수 및 위치에서 더 큰 선택을 제공한다.

[0012] 본 발명에 따른 그러한 디바이스 구조의 설계는 전계 발광 요소의 2개의 전압 공급 라인 사이의 평활화(smoothing) 커패시터를 포함하도록 또한 최적화될 수 있다. 전계 발광 요소로부터 전도성 배리어 물질의 절연

은 이러한 평활화 커패시터의 커패시터 유전체를 형성할 수 있다. 이러한 절연은 전도성 배리어 물질의 측면 및 상부 상의 코팅 형태로 이루어질 수 있다. 일반적으로, 상기 다른 공급 라인(전계 발광 요소의 상부 전극에 대한)은 전도성 배리어 물질의 상부 위의 이러한 절연 코팅 상에서 연장될 수 있다. 따라서, 전원용 평활화 커패시터는 전도성 배리어 물질을 포함하는 구동 라인과 전계 발광 요소의 상부 전극을 포함하는 추가 공급 라인 사이에서 쉽게 실현될 수 있다.

- [0013] 물리적 배리어가 어레이의 행 및 열 방향 양쪽 모두에서의 픽셀 사이에 전도성 배리어 물질의 네트워크로서 연장하는 것이 유리하다. 그러한 전도성 배리어 물질의 네트워크는 어레이를 가로지르는 구동 라인 영역 사이의 저항을 감시시키는 작용을 할 수 있다. 또한 전계 발광 요소의 전원에 대한 평활화 커패시터의 커패시턴스 값을 결정할 때의 설계 옵션을 제공할 수 있다.
- [0014] 그러나, 물리적 배리어는 어레이의 단 한 방향으로, 예를 들어 열 또는 행 방향으로 픽셀 사이에서 연장될 수 있다. 이러한 경우에, 전도성 배리어 물질의 추가 절연된 배리어는 상이한 목적을 위해 예를 들어 행 또는 열 라인을 백업하기 위해 횡방향으로 제공될 수 있다. 이러한 추가 절연된 배리어는 또한 추가 성분, 예를 들어 각 픽셀에서의 유지 커패시터를 형성하도록 구성될 수 있다.
- [0015] 본 발명의 다른 양상에 따라, 제 1 양상에 따라 그러한 능동-매트릭스 전계 발광 디스플레이 디바이스의 유리한 제조 방법을 또한 제공된다. 상기 방법은,
- [0016] (a) 픽셀의 적어도 몇몇의 각 구동 요소에 대한 전극 연결을 노출하기 위해 회로 기판 상에 중간 절연층에서 접착 윈도우를 개방하는 단계와,
- [0017] (b) 픽셀 영역에 인접한 물리적 배리어의 적어도 측면에서의 절연으로 회로 기판 상에 물리적 배리어를 형성하는 단계와,
- [0018] (c) 물리적 배리어 사이에서 픽셀 영역의 전계 발광 요소를 제공하는 단계를
- [0019] 포함하며,
- [0020] 전도성 배리어 물질은 중간 절연 층의 접착 윈도우에서의 적어도 연결을 위해 전기-전도성 물질을 증착함으로써 제공된다.
- [0021] 배리어 물질(들)을 증착하고 형성하며, 전도성 배리어 물질을 절연시키기 위해 다양한 방법이 유리하게 사용될 수 있다.
- [0022] 본 발명에 따라 다양하게 유리한 특징 및 특징-조합은 첨부된 청구항에 설명된다. 이러한 특징 및 다른 특징은 첨부된 도면을 참조하여 예로서 이제 설명되는 본 발명의 실시예에 도시된다.

실시예

- [0036] 모든 도면은 도식적이라는 것을 주지해야 한다. 이들 도면의 부분에 대한 상대적인 치수 및 비율은 도면에서의 명백함 및 편리함을 위해 크기면에서 확대되거나 축소된 것으로 도시된다. 일반적으로 동일한 참조번호는 변형된 상이한 실시예에서 대응하거나 유사한 특징으로 언급하는데 사용된다.
- [0037] 도 1 내지 도 4의 실시예
- [0038] 도 1의 능동-매트릭스 전계 발광 디스플레이 디바이스는 회로 기판(100) 상의 픽셀(200) 어레이를 포함한다. 각 픽셀(200)은 회로 기판(100)에서 전류-제어 직렬 구동 요소(T1)(1 내지 5)에 의해 공급 라인(140, 240)에 연결되는 전류-구동 전계 발광 요소(25)(21, 22, 23)를 포함한다. 일반적으로 TFT인 이러한 직렬 요소(T1)는 전계 발광 요소(25)(21, 22, 23)를 통하는 전류를 제어한다. 이후에 설명되는 바와 같이, 디스플레이는 본 발명에 따라 전도성 배리어 물질(240)을 이용하여 이들 전류 구동 라인(140, 240)의 구조로 인해 면적이 매우 커질 수 있다. 본 발명에 따른 구동 공급 라인(140, 240)의 이러한 구성과 별도로, 디스플레이는 예를 들어 전술한 배경 참조 문헌에서와 같이 알려진 디바이스 기술 및 회로 기술을 이용하여 구성될 수 있다.
- [0039] 따라서, 일반적으로 전계 발광 요소(25)는 하부 전극(21)과 상부 전극(23) 사이에 유기 반도체 물질(22)의 발광 다이오드(LED)를 포함한다. 바람직한 특정 실시예에서, 반도체 컨จู게이트 중합체는 전계 발광 물질(22)에 사용될 수 있다. 기판(100)을 통해 광(250)을 방출하는 LED에 대해, 하부 전극(21)은 인듐 주석 산화물(ITO)의 애노드일 수 있고, 상부 전극(23)은 예를 들어 칼슘 및 알루미늄을 포함하는 캐소드일 수 있다. 도 1은, 하부 전극(21)이 회로 기판(100)에서 박막으로서 형성되는 LED 구조를 도시한다. 후속-증착된 유기 반도체 물질(22)은 기

관(100)의 박막 구조 위에 연장하는 평면 절연층(12)(예를 들어 질화 규소로 이루어짐)에서의 윈도우(12a)에서 이러한 박막 전극층(21)과 접촉한다.

- [0040] 도 1 및 도 3에 도시된 바와 같이, LED(25) 및 구동 요소(T1)는 한 쌍의 전압 공급 라인(140, 240 및 230) 사이에 직렬로 연결된다. 라인(140, 240){이로부터 구동 요소(T1)는 LED 연결을 제어하고, 이에 따라 전류 흐름을 제어한다}은 구동 라인으로 지칭된다. 다른 라인(230)은 LED(25)에 직접 연결된다. 따라서, 도 1의 특정 실시예에서, 라인(230)은 픽셀(200)의 상부 전극(23)의 공통 연장부로서 형성된다. 도 3의 회로 구성에서, 라인(230)은 접지되고 복귀 라인을 형성하는 반면, 전압(Vdd)은 전력 공급 라인으로서 라인(140, 240)에 인가된다.
- [0041] 일반적으로 직렬 구동 요소(T1)는 기관(100) 내에 박막 회로의 부분으로서 형성되는 TFT를 포함한다. 기관(100)은, 예를 들어 이산화 규소로 된 절연 표면-버퍼 층(11)이 위에 증착되는 절연 유리 베이스(10)를 가질 수 있다. 박막 회로는 알려진 방식으로 층(11) 상에 구축된다. 따라서, TFT(T1) 외에, 일반적으로 회로 기관(100)은 예를 들어 도 3에 도시된 바와 같이 박막 요소(T2, Ch, 140, 150 및 160)를 갖는 다른 구동 및 매트릭스 어드레싱 회로를 포함한다. 도 3이 예로서 하나의 특정 픽셀 회로 구성을 도시하는 것을 이해해야 한다. 다른 픽셀 회로 구성은 능동 매트릭스 전계 발광 디스플레이 디바이스에 대해 알려져 있다. 본 발명이 디바이스의 특정 픽셀 회로 구성과 상관없이 그러한 디바이스의 픽셀 배리어에 적용될 수 있음을 쉽게 이해해야 한다.
- [0042] 도 3에 도시된 바와 같이, 픽셀 회로는 행(어드레싱) 전도체(150)와 열(데이터) 전도체(160)의 횡방향 세트 사이에 어드레싱 TFT(T2)를 포함하며, 이들 모두는 기관(100) 위에 형성된다. 픽셀의 각 행은 관련 행 전도체(150){이에 따라 상기 행의 픽셀의 어드레싱 TFT(T2)의 게이트}에 인가되는 선택 신호에 의해 프레임 기간에 다시 어드레싱된다. 이러한 신호는 어드레싱 TFT(T2)를 턴 온하여, 열 전도체(160)로부터 각 데이터 신호로 상기 행의 픽셀을 로딩한다. 이들 데이터 신호는 각 픽셀의 개별적인 구동 TFT(T1)의 게이트에 인가된다. 구동 TFT(T1)의 결과적인 전도 상태를 유지하기 위해, 이러한 데이터 신호는 게이트(5)와 구동 라인(140, 240) 사이에 결합되는 유지 커패시터(Ch)에 의해 게이트(5) 상에 유지된다. 따라서, 각 픽셀(200)의 LED(25)를 통하는 구동 전류는, 이전 어드레스 기간 동안 인가된 구동 신호에 기초하고 연관된 커패시터(Ch) 상에 전압으로서 저장되는 구동 TFT(T1)에 의해 제어된다. 도 3의 특정 예에서, T1은 P-채널 TFT로서 도시되는 반면, T2는 N-채널 TFT로서 도시된다.
- [0043] 이러한 회로는 알려진 박막 기술로 구성될 수 있다. 도 1은 P-채널 TFT(T1)를 도시하는데, 상기 P-채널 TFT는 능동 반도체 층(1)(일반적으로 폴리실리콘으로 이루어짐)과, 게이트 유전 층(2)(일반적으로 이산화 규소로 이루어짐)과, 게이트 전극(5)(일반적으로 알루미늄 또는 폴리실리콘으로 이루어짐)과, 오버라잉(overlying) 절연 층(들)(2 및 8)에서 윈도우(비아)를 통해 반도체 층(1)의 P-형 도핑된 소스 및 드레인 영역과 접촉하는 금속 전극(3 및 4)(일반적으로 알루미늄으로 이루어짐)을 포함한다. 상부 레벨에서 이들 금속 전극(3 및 4)의 확장은 TFT 전극(3)과 LED의 하부 전극(21) 사이의 상호 연결을 형성하고, 구동 라인(140, 240)의 적어도 연결 영역(140)을 형성한다. 특정 레이아웃 실시예(도 2와 같은)에서, 행의 금속 전극(4)의 이러한 연장은 상기 행에 대한 연속적인 라인(140)을 형성할 수 있다. 도 1은 어드레스 라인(150)에 대한 단면을 또한 도시하는데, 상기 어드레스 라인은 예를 들어 알루미늄 또는 폴리실리콘일 수 있고, TFT 게이트(5)와 동일한 층으로부터 형성될 수 있다.
- [0044] 유지 커패시터(Ch)는 유사하게 알려진 방식으로 회로 기관(100) 내의 박막 구조로서 형성될 수 있다. 따라서, 도 4는 박막 전도성 플레이트(105) 상의 박막 유전체(2)상의 박막 전도체 플레이트(155)를 포함하는 그러한 커패시터(Ch)를 도시한다.
- [0045] 알려진 디바이스에서도와 같이, 본 발명에 따른 도 1 내지 도 4의 디바이스(들)는 어레이의 적어도 한 방향으로 이웃한 픽셀의 적어도 몇몇 사이에 물리적 배리어(210)를 포함한다. 이러한 배리어(210)는 또한 예를 들어 "벽", "파티션", "뱅크", "리브", "분리기", 또는 "댐"으로 지칭될 수 있다. 특정한 디바이스 실시예 및 그 제조에 따라, 알려진 방식으로, 예를 들어,
- [0046] - 반도체 중합체 층(22)을 제공할 동안, 개별적인 픽셀(200) 및/또는 픽셀(200)의 열의 각 영역 사이의 중합체 용액의 분리 및 오버플로우 방지하고,
- [0047] - 개별적인 픽셀(200) 및/또는 픽셀(200)의 열에 대해 반도체 중합체 또는 다른 전계 발광 층(22)의 한정에서 기관 표면상에 자가-패터닝 능력을 제공하고{및 아마 예를 들어 상부 전극(23)의 개별적인 하부 층인, 픽셀을 위한 개별적인 전극의 자가-분리};
- [0048] - 적어도 유기 반도체 물질(22) 및/또는 전극 물질의 증착 동안 기관 표면에 걸쳐 마스크를 위한 스페이서(spacer)의 역할을 하고,

- [0049] - 광(250)이 상부를 통해 방출될 때{하부 기관(100) 대신, 또는 이와 함께}, 어레이에서 픽셀(200)의 잘-한정된 광 분리를 위한 불투명 배리어(210)를 형성하는데 사용될 수 있다.
- [0050] 이러한 알려진 방식에서 특정 용도가 무엇이든, 본 발명의 실시예에서 물리적 배리어(210)는 특수한 방식으로 구성되고 사용된다. 따라서, 본 발명에 따라 제공되는 픽셀 배리어(210)는 주로 전기-전도성 물질(240)로 이루어지는데, 상기 전기-전도성 물질(240)은 LED(25)로부터 절연되고 구동 라인(140, 240)의 적어도 일부분을 제공한다. 배리어(210)는 바람직하게 금속(매우 낮은 저항을 위한, 예를 들어 알루미늄 또는 구리 또는 니켈 또는 은)인 전도 물질(240)의 벌크 또는 코어를 포함한다. 접촉 윈도우(12b)는 배리어(210)와 기관 회로 사이에 중간 절연 층(12)에 존재한다. 전도성 배리어 물질(240)은 이들 윈도우(12b)에 의해 제공된 비아에서 픽셀(200)의 적어도 몇몇의 각 구동 요소(T1)에 대한 전극 연결부(4, 140)에 연결된다. 도 1에 도시된 바와 같이, 소스 및 드레인 전극은 구동 라인의 전도성 배리어 물질(240)과 LED(25)의 하부 전극(21) 사이에 전류-제어 구동 TFT(T1)의 주요 전류 경로를 연결한다.
- [0051] 전도성 배리어 물질(240)을 갖는 이들 구동 라인 연결{및/또는 구동 라인(140, 240)의 복합 특성}은 어레이를 가로질러 연장할 때 라인(140, 240)을 따르는 전압 강하를 감소시키는 작용을 한다. 그 결과, 디스플레이는 예를 들어 폭이 적어도 1미터(즉 30인치)로 면적이 매우 크게 제작될 수 있다. 본 발명이 나타나기 전에, 전도 발광 상태에서 전류를 도통시킬 때 구동 라인을 따르는 전압 에러로 인해 능동-매트릭스 전계 발광 디스플레이를 매우 크게 만드는 것은 어렵다(아마 심지어 불가능하다). 그러나, 본 발명은 화질을 향상시키기 위해 더 작은 디스플레이에서의 장점으로 또한 사용될 수 있다.
- [0052] 따라서, 라인(140, 240)을 따라, 전도성 배리어 물질(240)은 구동 요소(T1)에 전극 연결(4, 140)을 제공하는 전도체 층보다 적어도 2배(아마 심지어 크기순으로) 더 큰 단면적을 갖는다. 일반적으로, 전도성 배리어 물질(240)은 회로 기관(100)에서 이러한 전도체 층(140)의 두께(z)보다 2 이상(예를 들어 적어도 5배)의 인자인 두께(Z)를 가질 수 있다. 특정 예에서, Z는 z에 대한 $0.5\mu\text{m}$ 또는 그 미만과 비교하여 $2\mu\text{m}$ 내지 $5\mu\text{m}$ 일 수 있다. 일반적으로, 전도성 배리어 물질(240)은 전도체 층(140)의 라인 폭(y)과 동일한 폭(또는 심지어 적어도 2배)인 라인 폭(Y)을 가질 수 있다. 특수한 예에서, Y는 y에 대한 $10\mu\text{m}$ 과 비교하여 $20\mu\text{m}$ 일 수 있다.
- [0053] 공급 라인(230, 140, 240)에 대한 전압 변동의 효과를 감소시키기 위해 이러한 디바이스 구조에 존재하는 다른 특징을 주의하는 것이 중요하다. 따라서, 평활화 커패시터(Cs)는 구동 라인(140, 240){전도성 배리어 물질(240)을 포함}과 추가 공급 라인(230){LED(25)의 상부 전극(23)과 연관됨} 사이에 형성된다. 도 1에 도시된 바와 같이, 전도성 배리어 물질(240)의 측면 및 상부는 절연 층(40)으로 코팅된다. 이러한 절연 코팅(40)의 두께 및 유전 특성은 평활화 커패시터(Cs)의 커패시터 유전체를 형성하도록 선택될 수 있다. 커패시터(Cs)의 다른 플레이트는 공급 라인(230){LED 상부 전극(23)을 포함 및/또는 연결}에 의해 형성되는데, 상기 공급 라인(230)은 전도성 배리어 물질(240)의 상부 위의 이러한 절연 코팅(40) 상에 연장한다. 일반적으로, 이러한 절연 코팅(40)은 이산화 규소 또는 질화 규소 또는 산화 알루미늄으로 이루어질 수 있고, 두께가 10nm(나노미터) 내지 $0.5\mu\text{m}$ (마이크로미터)이다.
- [0054] 도 2의 레이아웃 실시예
- [0055] 도 2의 특정 레이아웃 예에서, 픽셀 행의 TFT 전극(4)의 연장은 상기 행에 대한 연속 라인(140)을 형성한다. 이러한 라인(140)은 배리어(210)(240,40)에 평행하게 연장한다. 이러한 배리어(210)(도 2에서 점선으로 도시됨)는 기관(100)의 어드레스 (행) 전도체(150)에 평행하게 연장한다.
- [0056] 도 2에 도시된 바와 같이, 배리어(210)(240,40)가 하나 이상의 라인{도 2에서 라인(140 및 150)과 같은}에 평행하게 연장할 때, 이들 라인은 배리어(120)에 의해 완전히 중첩될 수 있다. 더욱이, 도 2의 배리어(210)(240,40)의 폭(Y)은 너무 커서, 라인(140 및 150) 모두 중첩된다. 그럼에도 불구하고, 도 3의 박막 픽셀 회로는 빗금친 회로 영역(120)에 의해 도시된 바와 같이 픽셀 영역에 약간 침해될 것이다.
- [0057] 전도성 배리어 물질(240)은 비아(12b)에서 구동 요소(T1)의 노드 및 유지 커패시터(Ch)의 하나의 플레이트에 연결된다. 도 2는, 각 픽셀(200)이 픽셀의 각 구동 요소(T1)에 대한 전극 연결(140,4)과 전도성 배리어 물질(240) 사이에 각 비아(12b)를 갖는 실시예를 도시한다.
- [0058] 도 1 및 도 2에서, 구동 요소(T1)의 적어도 대부분은 전도성 배리어 물질(240) 아래에 위치한다. 전도성 배리어 물질(240)의 폭(Y) 및 길이는, 예를 들어 도 2 및 도 4에서 유지 커패시터(Ch)의 적어도 대부분이 전도성 배리어 물질(240) 아래에 위치하도록 한다. 각 픽셀의 구동 요소(T1)는 비아(12b)에 위치한 각 전극(4)을 가질 수 있고 및/또는 각 커패시터 플레이트(155)는 비아(12b)에 위치할 수 있다.

- [0059] 도 2 레이아웃의 각 배리어(210)(240,40)는 전체 어레이를 가로질러 연장할 수 있다. 따라서, 각 픽셀(200)의 각 구동 요소(T1)에 대한 전극 연결(4,140)에 연결되는 전도성 배리어 물질(240)의 연속적인 공급 라인을 형성할 수 있다. 이 경우에, 라인(140)과 평행할 수 있다. 그러나, 전도성 배리어 물질(240)의 라인 저항이 충분히 낮다면, 기판 전도체 라인(140)을 간단히 교체할 수 있다. 따라서, TFT 전극(4)의 연장부(140)가 연속적인 라인을 형성할 필요가 없고, 픽셀 애퍼처에서의 증가는 대부분의 픽셀 영역에서 라인(140)의 길이를 생략함으로써 달성될 수 있다.
- [0060] 도 5의 레이아웃 실시예
- [0061] 도 5의 특수한 레이아웃 예는 도 2의 변형이다. 이러한 변형에서, 배리어(210)(240,40)는 어레이의 행 및 열 방향으로 연장한다. 따라서, 이러한 특정한 실시예에서, 배리어(210)(240,40)는 행 및 열 방향으로 전도성 배리어 물질(240)의 네트워크를 형성하기 위해 픽셀 사이에 상호 연결된다.
- [0062] 분리된 병렬 라인과 비교하여, 전도성 배리어 물질(240)의 네트워크를 채택할 때 여러 가지 잠재적인 장점이 있다. 따라서, 전도성 배리어 물질(240)의 네트워크는 효과적으로 애퍼처 형성 시트 전도체이며, 여기서 임의의 2개의 지점 사이의 저항은 도 2 레이아웃에서보다 더 낮다. 이는 또한 LED(25)에 전원용 평활화 커패시터(Cs)의 커패시턴스 값을 결정할 때 설계 옵션을 제공할 수 있다.
- [0063] 도 6 및 도 7의 레이아웃 실시예
- [0064] 어드레싱 (행) 라인(150)을 따라 전압 강하의 감소는 또한 큰 어레이에서 바람직하다. 도 6 및 도 7은, 배리어(210){즉 주로 전도체 배리어 물질(240)로 이루어짐}과 동일한 구성으로 이루어진 추가 배리어(210c)가 이를 위해 어떻게 사용될 수 있는지를 도시한다. 도 6 및 도 7의 특정 레이아웃 예는 도 2의 변형으로서 제공된다. 각 경우에, 구동 라인(140, 240)의 적어도 낮은 저항부(240)를 제공하는 픽셀 배리어(210)는 또한 디바이스에 유지된다.
- [0065] 전도성 물질(240)의 추가 배리어(210c)는 도 6 및 도 7에 도시된 바와 같이 행 전도체(150)에 평행하게 연장한다. 상기 배리어는 행 전도체(150)를 따라 전압 강하를 감소시키기 위해 중간 절연 층(12)에서의 추가 비아(12c)에서 회로 기판(100)에서의 행 전도체(150)에 연결된다. 이와 같이, 이러한 추가 배리어(210c)는 그 저항을 감소시키기 위해 행 라인(150)의 부분을 백업한다. 상기 추가 배리어는 구동 라인(140, 240)의 적어도 부분을 형성하는 배리어(210)로부터 절연된다.
- [0066] 도 6의 변형에서, 행 라인(150)을 백업하는 추가 배리어(210c)는 구동 라인(140, 240)의 적어도 낮은 저항부(240)를 제공하는 배리어(210)에 평행하게 연장한다. 따라서, 이러한 배리어(210 및 210c)는 어레이의 픽셀(200) 사이에 동일한 방향으로 연장한다.
- [0067] 도 7의 변형에서, 배리어(210)는 열 전도체(160)에 평행하게 연장한다. 배리어는 도 8에서와 같이 라인(140)을 교체하는 연속적인 낮은 저항 구동 라인(240)을 제공한다. 그러한 변형은 행 라인(150)에 대한 추가 배리어(210c)를 포함하지 않고도 도 1 내지 도 4의 디스플레이 디바이스에 대해 이루어질 수 있다. 그러나, 도 7은 행 라인(150)을 백업하기 위해 추가 배리어(210c)를 포함하는 레이아웃을 도시한다. 이 실시예에서, 추가 배리어(210c)는 구동 라인(140, 240)의 배리어(210)에 가로질러 연장한다. 따라서, 배리어(210)는 어레이의 한 방향으로 연장하고, 배리어(210c)는 횡방향으로 연장한다. 배리어(120 및 120c)는 이에 따라 어레이의 픽셀 사이에 네트워크를 형성한다. 그러나, 도 5와 달리, 네트워크의 횡방향{배리어(210c)}의 전도성 배리어 물질(240)은 다른 방향의 전도성 배리어{배리어(210)}로부터 절연된다.
- [0068] 도 8의 회로 실시예
- [0069] 도 2와 관련하여 전술한 바와 같이, TFT 전극(4)의 연장부(140)는, 배리어(210)(240,40) 자체가 전도성 배리어 물질(240)의 연속 라인을 제공할 때 연속 라인을 형성할 필요가 없다. 따라서, 전도성 배리어 물질(240)의 연속 라인은 회로 기판(100)의 라인(140)을 교체할 수 있다. 그러한 시나리오는 도 8의 회로도에도 도시된다. 전도성 배리어 물질(240)의 연속 라인은 행의 모든 각 픽셀(200)의 각 구동 요소(T1) 및 유지 커패시터(Ch)에 대한 전극 연결(140)에 연결된다. 픽셀(200) 각각에는 전극 연결(140)과 전도성 배리어 물질(240) 사이의 각 비아(12b)가 제공된다.
- [0070] 도 9의 회로 실시예
- [0071] 도 1 내지 도 8을 참조하여 지금까지 설명된 실시예에서, 라인(230)은 접지되어 복귀 라인을 형성하는 반면, 전압(Vdd)은 전력 공급 라인으로서 라인(140, 240)에 인가된다. 도 9는, 라인(140, 240){전도성 배리어 물질(24

0)을 포함}이 접지되어 복귀 라인을 형성하는 대안적인 구성을 도시한다. 이 경우에, 구동 전압(Vdd)은 라인(230){LED(25)의 상부 전극(23)을 포함하거나 연결됨}에 인가된다. 따라서, 라인(230)은 이제 전력 공급 라인이 된다.

[0072] 더욱이, LED(25)의 상부 전극(23)은 이제 애노드 물질로 이루어지는 반면, 하부 전극(23)은 캐소드 물질로 형성된다. 그러한 디스플레이는 예를 들어 기관(100)을 통해서보다는 상부 표면을 통해 광(250)을 방출한다. 발광층(22)은 예를 들어 분자(작은 분자) 유기 반도체 물질로 이루어질 수 있거나, 반도체 중합체로 이루어질 수 있다.

[0073] 그러나, 이전 실시예에서와 같이, 전도성 배리어 물질(240)은 구동 라인의 부분, 즉 LED(25)가 구동 요소(T1)를 통해 연결되는 라인의 부분을 형성한다.

[0074] 도 10 내지 도 12의 프로세스 실시예

[0075] 구동 라인(140, 240)의 구성과 별도로, 본 발명에 따른 능동-매트릭스 전계 발광 디스플레이 디바이스는 예를 들어 인용된 배경 참고 문헌에서와 같이 알려진 디바이스 기술 및 회로 기술을 이용하여 구성될 수 있다.

[0076] 도 10 내지 도 12는 특정 제조 실시예에서 새로운 프로세스 단계를 도시한다. 상부 평면 절연층(12)(예를 들어 절화 규소로 이루어짐)을 갖는 박막 회로 기관(100)은 알려진 방식으로 제조된다. 접촉 윈도우(비아(12a, 12b, 12c, 등)와 같은)는 알려진 방식으로, 예를 들어 포토리소그래픽 마스크 및 에칭에 의해 층(12)에서 개방된다. 그러나, 본 발명에 따른 디바이스를 제조하기 위해, 이들 비아의 패턴은 픽셀(200)의 적어도 일부분에 대해 각 구동 요소(T1)의 전극 연결(140, 4)을 노출하는 비아(12b)를 포함한다. 결과적인 구조는 도 10에 도시되어 있다.

[0077] 이 후에, 배리어(210)에 대한 전기-전도성 물질은 적어도 비아(12a, 12b, 12c 등)에서 절연층(12) 상에 증착된다. 배리어(210)에 대한 원하는 레이아웃(예를 들어 도 2, 도 5, 도 6, 또는 도 7에서와 같이)은 알려진 마스크 기술을 이용하여 얻어진다. 도 11은, 전도성 배리어 물질(예를 들어 구리 또는 니켈 또는 은)의 적어도 벌크(bulk)(240b)가 도금에 의해 증착되는 실시예를 도시한다. 이 경우에, 예를 들어 구리 또는 니켈 또는 은으로 이루어진 얇은 시드 층(240a)은 먼저 절연층(12) 및 비아(12a, 12b, 12c 등) 위에 증착되고, 배리어 레이아웃 패턴은 포토리소그래픽 마스크로 한정되고, 그 다음에 전도성 배리어 물질의 벌크(240b)는 원하는 두께(Z)로 도금된다. 결과적인 구조는 도 11에 도시되어 있다.

[0078] 그 다음에, CVD(화학 증기 증착)를 이용하여, 절연 물질(예를 들어 이산화 규소 또는 절화 규소)은 절연 코팅(40)에 대해 증착된다. 증착된 물질은 알려진 포토리소그래픽 마스크 및 에칭 기술을 이용하여 패터닝함으로써 전도성 배리어 물질의 측면 및 상부에 남아있다. 결과적인 구조는 도 12에 도시되어 있다.

[0079] 이 후에, 제조는 알려진 방식으로 계속된다. 따라서, 예를 들어 컨주게이트 중합체 물질은 픽셀(200)에 대해 잉크젯 프린팅 또는 스핀-코팅될 수 있다. 절연 코팅(40)을 갖는 배리어(240, 40)는 알려진 방식으로 사용될 수 있어서, 물리적 배리어(240, 40)에서의 픽셀 영역으로부터 중합체 오버플로우를 방지할 수 있다. 이 후에 상부 전극 물질(23, 230)이 증착될 수 있다.

[0080] 도 13의 변형된 프로세스 실시예

[0081] 이러한 실시예는 픽셀 영역에 인접한 배리어(210)의 적어도 측면에 절연 코팅(40)을 제공하기 위한 양극 산화(anodisation)(증착 대신) 처리를 이용한다. 일반적으로, 전도성 배리어 물질(240)은 알루미늄을 포함할 수 있다. 증착된 알루미늄의 원하는 레이아웃 패턴(예를 들어 도 2, 도 5, 도 6 또는 도 7에서와 같이)은 알려진 포토리소그래픽 마스크 및 에칭 기술을 이용하여 한정될 수 있다. 도 13은 알루미늄 배리어 패턴(240)의 상부 상에 유지된 포토리소그래픽적으로 한정된 에칭제-마스크(44)를 도시한다.

[0082] 그 다음에, 산화 알루미늄으로 된 양극 절연 코팅은 알려진 양극 산화 기술을 이용하여 알루미늄 배리어 물질(240)의 적어도 측면 상에 형성된다. 따라서, 이러한 코팅(40)에 대한 레이아웃을 한정하기 위해 어떠한 여분의 마스크도 필요하지 않다.

[0083] 마스크(44)가 이러한 양극 산화 이전에 제거되면, 양극 코팅은 알루미늄 배리어 패턴(240)의 측면 및 상부 모두에 형성된다. 그러나, 도 13은, 마스크(44)가 이러한 양극 산화 동안 유지되어, 양극 코팅이 알루미늄 배리어 패턴(240)의 측면에만 형성되는 일례를 도시한다. 배리어(210)(240, 40)의 상부 위에 연장하는 공급 라인(230)을 갖는 디바이스에서, 절연 중합체, 또는 예를 들어 이산화 규소 또는 절화 규소로 된 마스크(44)는 제조된 디바

이스에 유지될 수 있다.

- [0084] 도 14의 대안적인 전도성 배리어 실시예
- [0085] 지금까지 설명된 실시예에서, 배리어(210)는 주로 전도성 물질(240)로 이루어지는 것으로 도시된다. 도 14는, 배리어(210)가 주로 절연 물질(244)로 이루어지는 변형된 실시예를 도시한다. 이 경우에, 비아(244b)는 절연 물질(244)을 통해 회로 기판(100)에서의 TFT(T1)의 전극 영역(140, 4)에 에칭되거나 뚫려진다(milled). 금속 코팅(240)은 절연 배리어(210)의 상부 및 이를 통과하는 비아(244b)에서 연장하는 전도성 배리어 물질을 제공한다. 이러한 금속 코팅(240)은 박막 구동 공급 라인(140)을 백업하거나 교체한다.
- [0086] 회로 기판(100)은 도 10을 참조하여 전술한 바와 같이 평면 층(12) 및 비아(12a 및 12b)와 함께 형성될 수 있다. 도 14의 절연 벌크 물질(244)은 비아(244b)와 함께 그 위에 형성된다. 그 다음에, 이러한 배리어(210)의 금속 코팅(240)은 자가-정렬 방식으로 LED(25)의 상부 전극(23)의 주요 부분과 동시에 형성될 수 있다. 따라서, 금속 층은 도 14에 도시된 바와 같이 배리어(210)의 측면에서 돌출 형태의 새도우-마스킹 효과에 의해 분리되는 금속 코팅(240) 및 전극(23)에 대해 동시에 증착될 수 있다.
- [0087] 도 15의 다중 전도체 배리어 실시예
- [0088] 도 15는 2개의 나란한 배리어(210 및 210x)의 합성물을 도시하며, 각각은 각 코팅(40, 40x)으로 절연된 금속 코어(240, 240x)를 포함한다. 이러한 나란한 다중 전도체 배리어 구조(210, 210x)는 다양한 방식으로 설계되고 사용될 수 있다.
- [0089] 하나의 형태에서, 예를 들어 금속 코어(240 및 240x)는, 예를 들어 도 6의 나란한 배리어 라인(140 및 150)의 단면으로서 각각 평행한 구동 및 어드레싱 라인(140 및 150)을 형성(또는 백업)할 수 있다.
- [0090] 다른 형태에서, 예를 들어 배리어(210x) 중 하나는 추가 성분, 예를 들어 도 17을 참조하여 아래에 설명되는 커패시터를 제공하는 절연된 부분으로 분리될 수 있다.
- [0091] 도 16 및 도 17의 다중 전도체 배리어 실시예
- [0092] 도 16의 실시예는, 구동 라인 배리어(210, 140)에 횡방향으로 연장하는 절연된 배리어 길이(210c)를 갖는다는 점에서 도 7과 유사하다. 이러한 횡방향 배리어(210c)는 도 7을 참조하여 이미 설명된 바와 같이 라인(150)을 백업할 수 있다. 그러나, 상기 횡방향 배리어는 다른 목적을 위해 구성되고 사용될 수 있다.
- [0093] 따라서, 예를 들어 횡방향 배리어(210c)는 자체적으로 도 17과 같은 다중 전도체 구조를 가질 수 있다. 이러한 배리어 실시예는, 기판(100)에서 4 또는 5 등과 같은 회로 요소와 연결되고 그 위에 절연 코팅(40c)을 갖는 주요 전도성 배리어 물질로서 금속 코어(240c)를 포함한다. 그러나, 도 17의 실시예는 추가적으로 코어(240c)의 상부 및 측면 위에 절연 코팅(40c) 상에 존재하는 금속 코팅(240d)을 포함한다. 이러한 금속 코팅(240d)은 예를 들어 요소(6, 5, 4 등)와 같은 기판(100)의 다른 회로 요소에 연결된다.
- [0094] 도 17의 이러한 배리어 구조는 전술한 것보다 더 융통성이 있다. 상기 배리어 구조는 금속 코어(240c) 및 금속 코팅(240d)으로 하여금 다른 목적을 위해, 예를 들어 상이한 라인(140, 150 또는 160)을 백업 또는 심지어 교체하여, 그 라인 저항을 감소시키기 위해 사용되도록 한다. 금속 코팅(240d)은 코어 라인(240c) 상의 신호를 위한 동축 차폐의 역할을 할 수 있다. 대안적으로, 금속 코팅(240d)은, 특정 연결 또는 성분이 예를 들어 개별적인 픽셀 또는 서브 픽셀에서 요구되는 배리어(210c)를 따라 특정 위치에 배치될 수 있다.
- [0095] 차폐 대신에, 배리어(210c)에 대한 이러한 다중 전도체 구조(240c, 240d)는 2개의 라인, 예를 들어 백업 또는 교체 배리어 라인(140){코어(240c) 포함}과 백업 또는 교체 배리어 라인(150){코팅(240d)을 포함}을 중첩하는데 사용될 것이다. 그러나, 이 경우에, 절연 코팅(40c)의 두께 및 유전 특성은 이들 라인(140 및 150) 사이의 기생 커패시턴스 및 커플링(coupling)을 감소시키도록 선택될 필요가 있다.
- [0096] 특히 도 17의 다중 전도체 구조(240c, 240d)가 커패시터 유전체(40c)를 갖는 커패시터를 형성하도록 설계되는 실시예가 중요하다. 따라서, 금속 코어(240c), 절연 코팅(40c) 및 금속 코팅(240d)의 분리된 및/또는 절연된 길이는 기판 회로 요소(4, 5, 등) 사이에 연결된 커패시터를 함께 형성할 것이다.
- [0097] 그러한 커패시터는 예를 들어 공급 라인(140){TFT(T1)의 주요 전극 라인(4)}과 TFT(T2)의 게이트 라인(5){TFT(T1)의 주요 전극 라인(3)} 사이에 연결되는 각 픽셀(200) 각각에 대한 개별적인 유지 커패시터(Ch)를 제공하도록 설계될 것이다. 도 16은 이러한 유지 커패시터 배리어(210c, Ch)를 갖는 적합한 픽셀 레이아웃을 도시한다.

- [0098] 도 17의 커패시터 구조(240c, 40c, 240d)는 심지어 예를 들어 도 1에서의 구조(240, 40, 230)에 의해 제공되는 것 대신 또는 그 외에 평활화 커패시터를 형성하기 위해 라인(230 및 240) 사이에 연결될 수 있다.
- [0099] 지금까지 설명된 실시예에서, 전도성 배리어 물질(240)은 두꺼운 불투명 금속, 예를 들어 알루미늄, 구리, 니켈 또는 은이다. 그러나, 다른 전도성 물질(240), 예를 들어 금속 실리사이드(silicide) 또는 (덜 유리하게는) 축소-도핑된(degenerately-doped) 폴리실리콘이 사용될 수 있으며, 이들 모두는 표면-산화되어, 절연 코팅(40)을 형성한다. 투명 배리어(210)가 필요하다면, ITO는 전도성 배리어 물질(240)에 사용될 수 있다.
- [0100] 본 개시를 읽음으로써, 다른 변경 및 변형은 당업자에게 명백할 것이다. 그러한 변경 및 변형은, 이미 종래 기술(예를 들어 언급된 배경 참고 문헌)에 알려져 있고 본 명세서에 이미 설명된 특징 대신 또는 그 외에 사용될 수 있는 등가물 및 다른 특징을 포함할 것이다.
- [0101] 청구항이 본 출원서에서 특징의 특정 조합에 정형화되었을지라도, 본 발명의 개시의 범주가, 임의의 청구항에서 현재 청구된 것과 동일한 발명에 관한 것 인지의 여부, 및 본 발명이 해결한 것과 동일한 기술적 문제를 일부 또는 모두를 완회시키는 지의 여부에 관계없이 본 명세서에서 명백히 또는 함축적으로 개시된 특징의 임의의 새로운 특징 또는 임의의 새로운 조합, 또는 이들의 일반화를 또한 포함한다는 것을 이해할 수 있다.
- [0102] 본 출원인은, 이로써, 본 출원 또는 그로부터 파생된 임의의 추가 출원을 실행하는 중에, 그러한 특징들 및/또는 그러한 특징들의 조합에 새로운 청구항들이 형성될 수 있음을 공지한다.

산업상 이용 가능성

- [0103] 상술한 바와 같이, 본 발명은 능동-매트릭스 전계 발광 디스플레이 디바이스에 관한 것으로, 특히 반도체 콘주게이트(conjugated) 중합체 또는 다른 유기 반도체 물질로 된 발광 다이오드를 이용하는 것이지만 여기에 한정되지 않는다. 본 발명은 또한 그러한 디바이스의 제조 방법 등에 이용된다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 하나의 특정 실시예로서 능동-매트릭스 전계 발광 디스플레이 디바이스(구동 라인의 적어도 부분을 형성하는 전도성 배리어를 구비함)의 픽셀 어레이 및 회로 기관의 부분 단면도.
- [0024] 도 2는, 도 1의 단면이 도 2의 라인 I-I을 따라 취한 도면으로서, 4개의 픽셀 영역의 평면도(본 발명에 따라 그러한 디바이스의 전도성 배리어에 대한 레이아웃 특징의 특정 예를 도시함).
- [0025] 도 3은 본 발명에 따라 그러한 디바이스의 그러한 4개의 픽셀 영역을 도시한 회로도.
- [0026] 도 4는 본 발명에 따라 능동-매트릭스 디스플레이 디바이스의 동일하고 및/또는 다른 실시예에서 유지 커패시터를 통해 픽셀 어레이 및 회로 기관의 부분의 단면도.
- [0027] 도 5는 도 2와 유사하지만, 본 발명에 따라 추가 디바이스 실시예의 구동 라인의 전도성 배리어에 대한 네트워크 레이아웃 특징의 일례를 도시한 평면도.
- [0028] 도 6 및 도 7은, 도 2와 유사하지만, 행 전도체 및 구동 라인을 위한 백업으로, 본 발명에 따른 다른 디바이스의 전도성 배리어에 대한 상이한 레이아웃 특징의 2가지 예를 도시한 평면도.
- [0029] 도 8 및 도 9는 본 발명에 따른 2개의 추가 디바이스의 픽셀 영역의 2개의 변형된 픽셀-구동 구성에 대한 회로도.
- [0030] 도 10 내지 도 12는 본 발명에 따른 하나의 특정 실시예로 제조시 스테이지에서 도 1의 단면과 같은 디바이스 부분을 도시한 단면도.
- [0031] 도 13은 또한 본 발명에 따른 구동 라인의 전도성 배리어의 절연에서의 변형을 도시한, 도 12 스테이지에서의 디바이스 부분의 단면도.
- [0032] 도 14는 본 발명에 따른 구동 라인의 적어도 부분을 형성하기 위해 금속 코팅을 이용하여 전도성 배리어 구조의 다른 실시예를 도시한 단면도.
- [0033] 도 15는 각각 본 발명의 상이한 실시예에 사용될 수 있는 전도성 배리어 물질을 갖는 나란한 배리어를 도시한

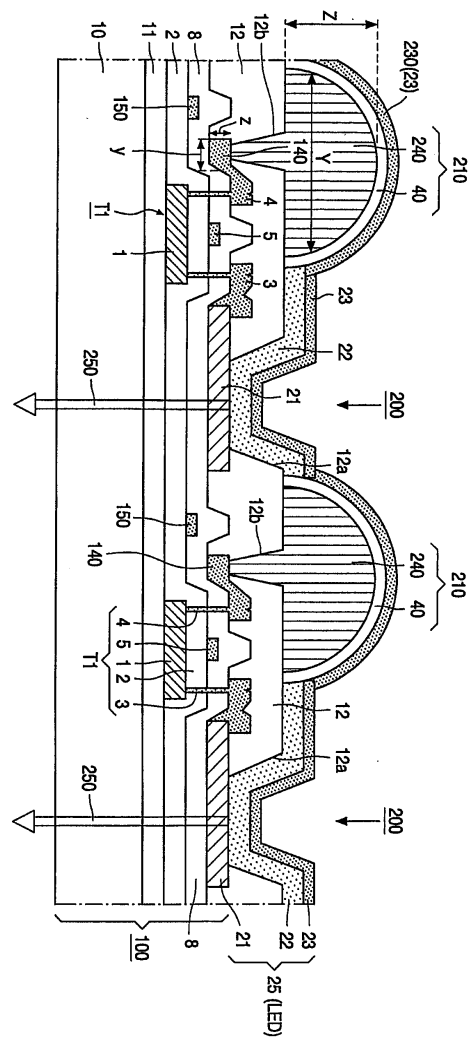
단면도.

도 16은 본 발명의 상이한 실시예에 사용될 수 있는 횡방향 다중 배리어 레이아웃 특징을 도시한 평면도.

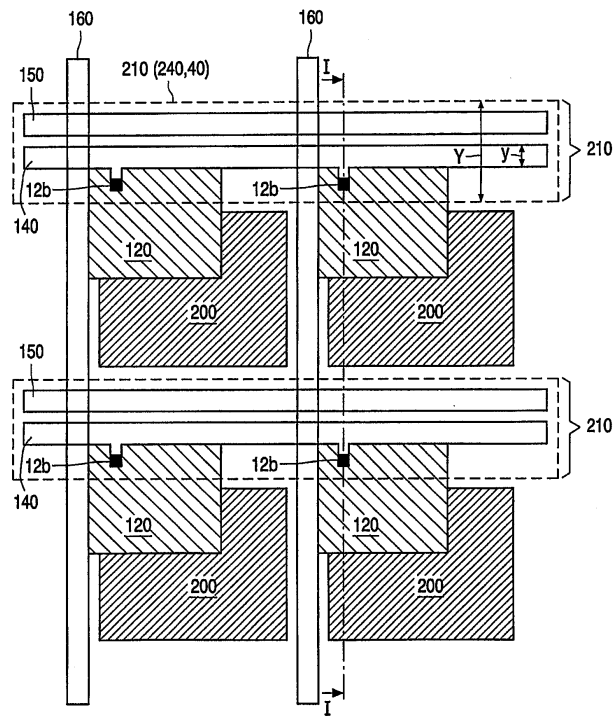
도 17은 본 발명의 상이한 실시예에 사용될 수 있는 다중 전도성 부품을 갖는 배리어 실시예를 도시한 단면도.

도면

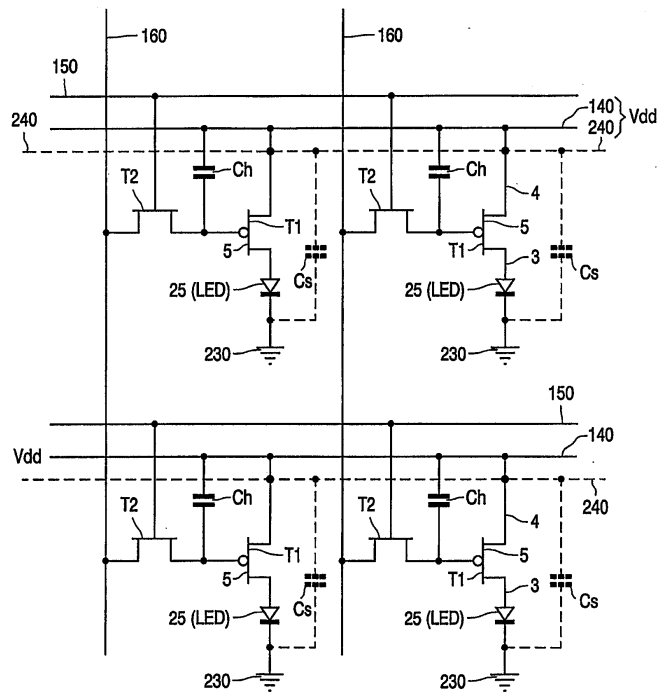
도면1



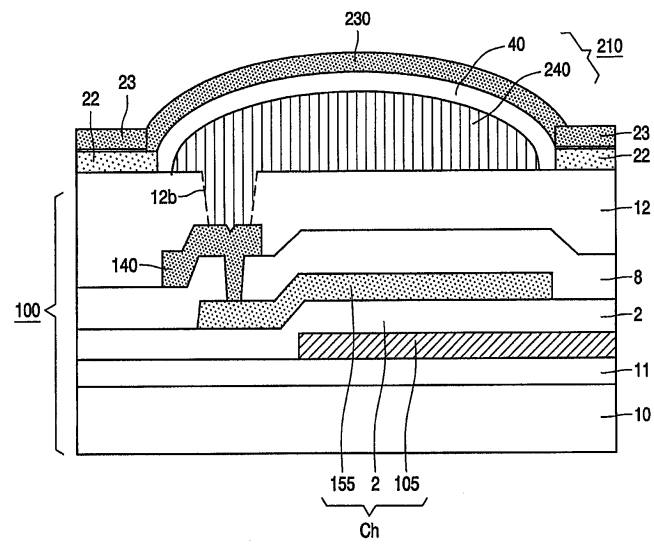
도면2



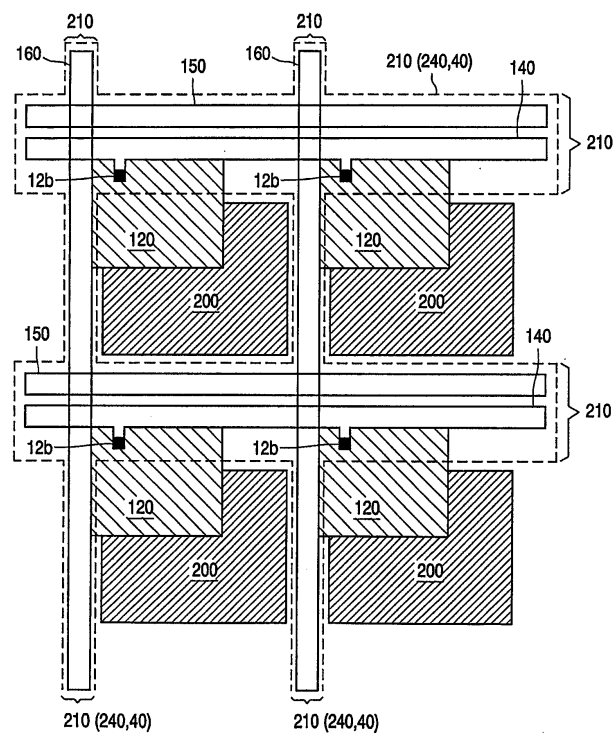
도면3



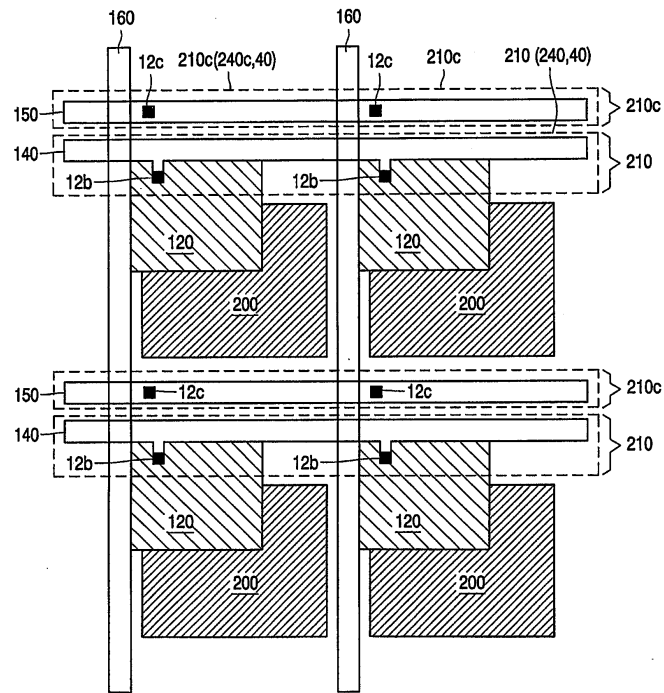
도면4



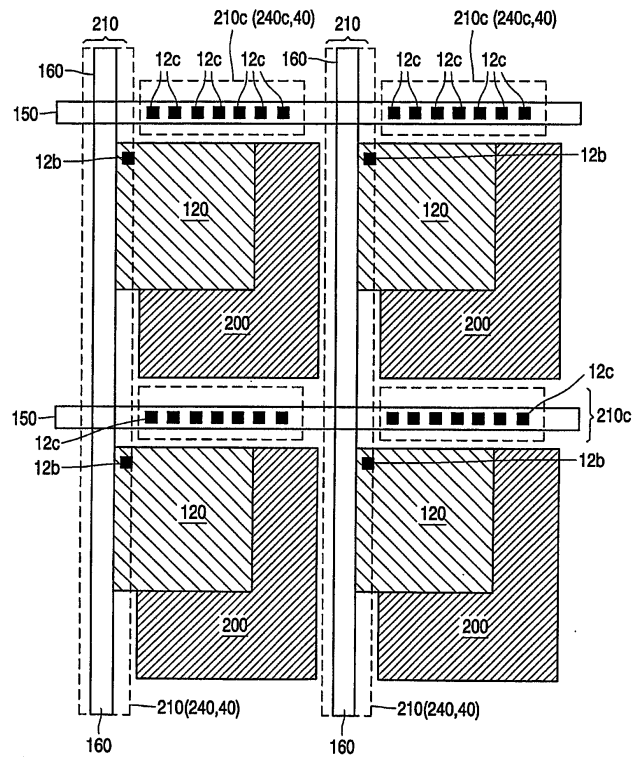
도면5



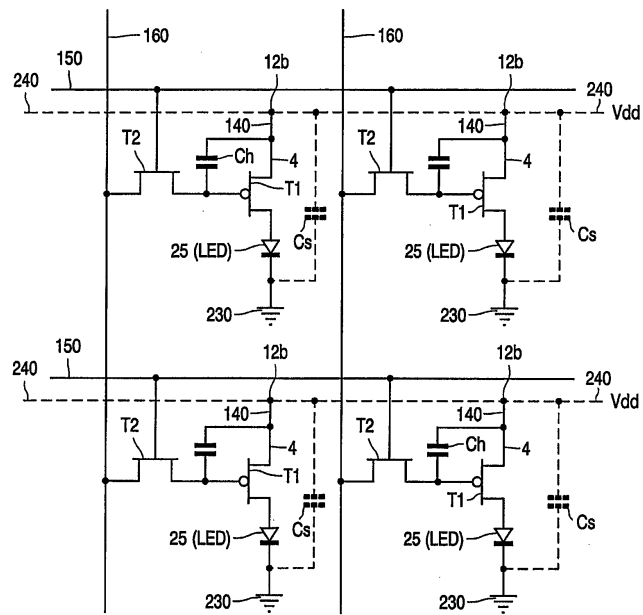
도면6



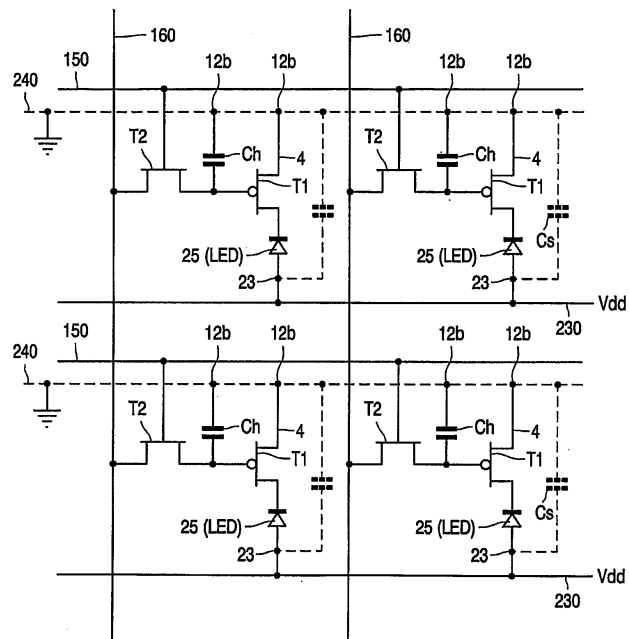
도면7



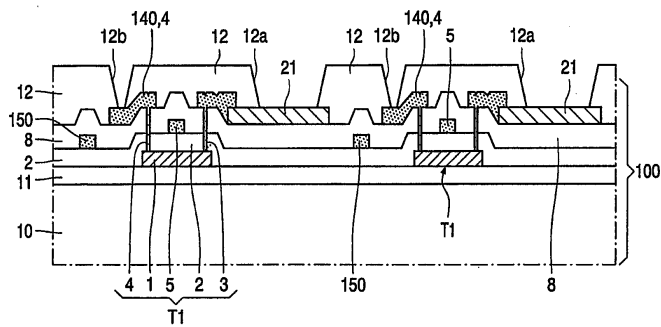
도면8



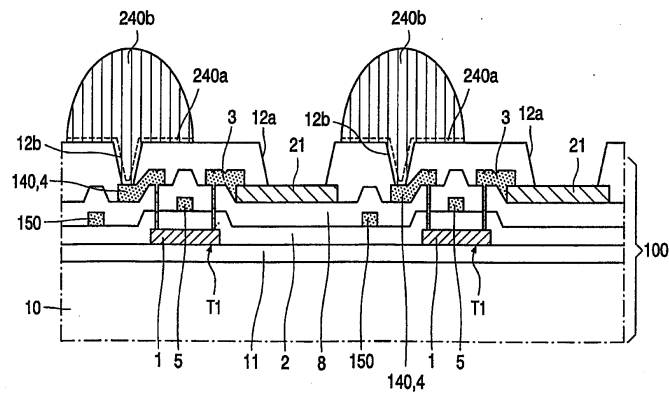
도면9



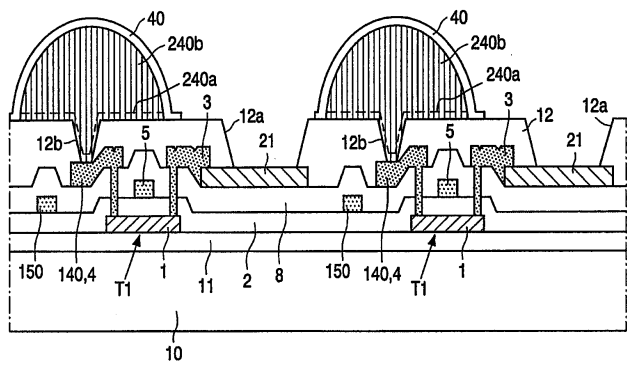
도면10



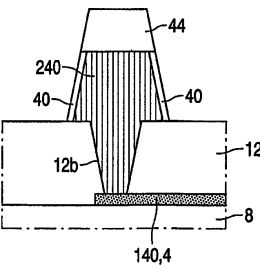
도면11



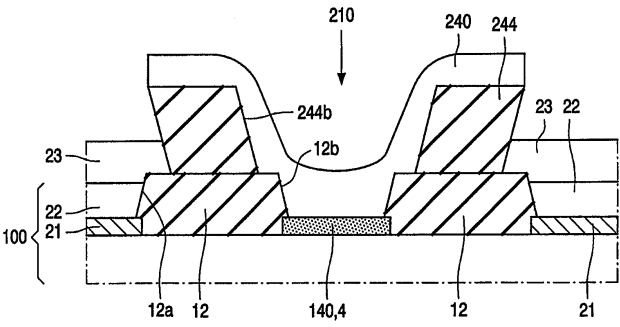
도면12



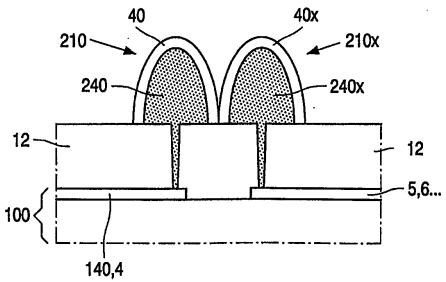
도면13



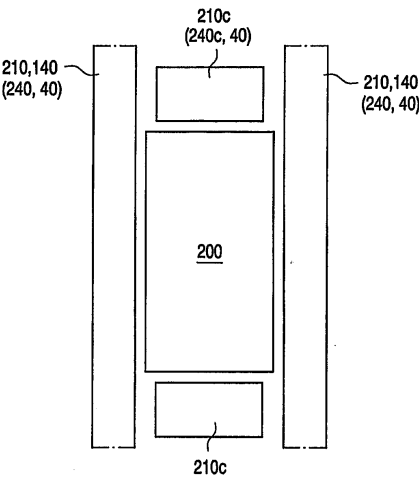
도면14



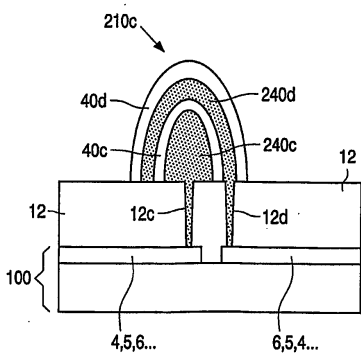
도면15



도면16



도면17



专利名称(译)	有源矩阵电致发光显示装置及其制造方法		
公开(公告)号	KR100946231B1	公开(公告)日	2010-03-09
申请号	KR1020047014721	申请日	2003-03-19
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	HECTOR JASON R 헥터제이슨알 YOUNG NIGEL D 영니겔디 FISH DAVID A 피쉬데이비드에이 CHILDS MARK J 차일즈마크제이		
发明人	헥터,제이슨,알. 영,니겔,디. 피쉬,데이비드,에이. 차일즈,마크,제이.		
IPC分类号	H05B33/22 H05B33/10 H01L27/00 G09G3/10 H01L29/786 H01L51/50 H05B33/12 H05B33/14		
CPC分类号	H01L27/3276 H01L27/3246		
代理人(译)	文京的		
优先权	2002016053 2002-07-11 GB 2002009557 2002-04-26 GB 2002006551 2002-03-20 GB		
其他公开文献	KR1020040093164A		
外部链接	Espacenet		

摘要(译)

物理屏障 (210) 存在于有源矩阵电致发光显示装置的电路基板 (100) 上的相邻像素 (200) 之间, 特别是有机半导体材料的LED (25)。本发明利用金属或其他导电材料 (240) 形成这些屏障 (210), 其与LED绝缘 (40) 但连接到基板 (100) 内的电路。该导电阻挡材料 (240) 通过驱动元件T1备份或替换LED连接到的驱动供应线 (140,240) 的至少一部分。这将线路电阻和相关电压降的问题从电路基板 (100) 内严格限制, 转移到基板 (100) 上的像素屏障 (210) 的更自由的环境中, 其中导电屏障材料 (240) 可以提供更低的阻力。可以使用该复合驱动电源线 (140,240) 的低压降制作非常大的显示器。此外, 可以优化该结构以在该驱动电源线 (140,240) 与其导电阻挡材料 (240) 之间形成平滑电容器 (Cs), 并且LED上电极 (23) 的另一电源线 (230) 在其上延伸。绝缘涂层 (40) 位于导电阻挡材料 (240) 的顶部。©KIPO和WIPO 2007

