



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/22 (2006.01) H05B 33/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월17일 10-0708856 2007년04월11일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0112882 2005년11월24일 2005년11월24일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	오상헌 경기 용인시 기흥읍 공세리 428-5
(74) 대리인	유미특허법인

(56) 선행기술조사문헌 KR1020030049385 A KR1020050028803 A * 심사관에 의하여 인용된 문헌	KR1020030054777 A
--	-------------------

심사관 : 손희수

전체 청구항 수 : 총 13 항

(54) 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 파티클에 의한 암점 불량을 방지할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공한다.

본 발명에 따른 유기 발광 표시 장치는, 기관, 기관 위에 형성되는 평탄화막, 평탄화막 위에 순차적으로 형성되는 제1 전극, 유기 발광층, 및 제2 전극을 포함하는 발광 소자, 및 유기 발광층이 위치하는 개구부를 구비하며 제1 전극 및 평탄화막 위에 형성되는 화소 정의막을 포함하고, 평탄화막이 제1 전극의 가장자리 부분에 대응하여 저부에서 상부로 갈수록 폭이 감소하는 홈을 구비한다.

대표도

도 3

특허청구의 범위

청구항 1.

기관;  
상기 기관 위에 형성되는 평탄화막;  
상기 평탄화막 위에 순차적으로 형성되는 제1 전극, 유기 발광층, 및 제2 전극을 포함하는 발광 소자; 및  
상기 유기 발광층이 위치하는 개구부를 구비하며 상기 제1 전극 및 상기 평탄화막 위에 형성되는 화소 정의막을 포함하고,  
상기 평탄화막이 상기 제1 전극의 가장자리 부분에 대응하여 저부에서 상부로 갈수록 폭이 감소하는 홈을 구비하는 유기 발광 표시 장치.

## 청구항 2.

제1 항에 있어서,  
상기 제1 전극이 은(Ag) 또는 은(Ag)-합금을 포함하는 유기 발광 표시 장치.

## 청구항 3.

제2 항에 있어서,  
상기 제1 전극이 ITO/Ag/ITO 또는 ITO/Ag 합금/ITO를 포함하는 유기 발광 표시 장치.

## 청구항 4.

제1 항에 있어서,  
상기 화소 정의막이 상기 홈에 매립되는 유기 발광 표시 장치.

## 청구항 5.

제1 항에 있어서,  
상기 제2 전극이 ITO, IZO, MgAg와 같은 투명 도전 물질을 포함하는 유기 발광 표시 장치.

## 청구항 6.

제1 항에 있어서,  
상기 기관과 평탄화막 사이에 형성되는 박막 트랜지스터를 더욱 포함하는 유기 발광 표시 장치.

## 청구항 7.

박막 트랜지스터가 구비된 기관의 전면 상에 평탄화막을 형성하는 단계;

상기 평탄화막을 패터닝하여 상기 박막 트랜지스터의 일부분을 노출시키는 비아홀을 형성함과 동시에 저부에서 상부로 갈수록 폭이 감소하는 홈을 형성하는 단계; 및

상기 평탄화막 위에 상기 비아홀을 통하여 상기 박막 트랜지스터의 일부분과 전기적으로 연결되는 제1 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

### 청구항 8.

제7 항에 있어서,

상기 제1 전극이 은(Ag) 또는 은(Ag)-합금을 포함하는 유기 발광 표시 장치의 제조 방법.

### 청구항 9.

제8 항에 있어서,

상기 제1 전극이 ITO/Ag/ITO 또는 ITO/Ag 합금/ITO를 포함하는 유기 발광 표시 장치의 제조 방법.

### 청구항 10.

제7 항에 있어서,

상기 평탄화막의 홈은 상기 비아홀보다 낮은 깊이로 형성하는 유기 발광 표시 장치의 제조 방법.

### 청구항 11.

제7 항에 있어서,

상기 평탄화막의 패터닝은 회절 노광 공정 및 하프톤 마스크를 이용한 노광 공정으로 수행하는 유기 발광 표시 장치의 제조 방법.

### 청구항 12.

제7 항에 있어서,

상기 평탄화막 위에 상기 홈을 매립하면서 상기 제1 전극을 노출시키는 개구부를 구비하는 화소 정의막을 형성하는 단계; 및

상기 개구부 내로 상기 제1 전극과 접촉하는 유기 발광층과 제2 전극을 순차적으로 형성하는 단계를 더욱 포함하는 유기 발광 표시 장치의 제조 방법.

### 청구항 13.

제12 항에 있어서,

상기 제2 전극이 ITO, IZO, MgAg와 같은 투명 도전 물질을 포함하는 유기 발광 표시 장치의 제조 방법.

명세서

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는 암점 불량을 방지할 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

유기 발광 표시 장치는 유기물질에 양극(anode)과 음극(cathode)을 통하여 주입된 전자와 정공이 재결합(recombination)하여 여기자(exciton)을 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용한 자체 발광형 표시 장치이다. 따라서, 유기 발광 표시 장치는 백라이트와 같은 별도의 광원이 요구되지 않아 액정 표시 장치에 비해 소비 전력이 낮을 뿐만 아니라 광시야각 및 빠른 응답속도 확보가 용이하다는 장점이 있어 차세대 표시 장치로서 주목받고 있다.

상기 유기 발광 표시 장치의 발광 소자는 정공 주입 전극인 양극의 제1 전극, 발광층, 및 전자 주입 전극인 음극의 제2 전극으로 이루어지고, 발광층이 적(Red; R), 녹(G; Green), 청(Blue; B)을 내는 각각의 유기 물질로 이루어져 풀 컬러(full color)를 구현한다. 또한, 발광층은 전자와 정공의 균형을 좋게 하여 발광 효율을 높이도록 발광층(emitting layer; EML)에 전자 수송층(electron transport layer; ETL), 정공 수송층(hole transport layer; HTL)을 포함한 다층 구조로 이루어질 수 있으며, 경우에 따라서는 별도의 전자 주입층(electron injection layer; EIL)과 홀 주입층(hole injection layer; HIL)을 더 포함할 수 있다.

상기 유기 발광 표시 장치는 구동 방식에 따라 수동 구동형(passive matrix type)과 능동 구동형(active matrix type)으로 구분된다.

여기서, 수동 구동형 유기 발광 표시 장치는 제조 공정이 단순하고 제조 비용이 저렴하지만 소비 전력이 크고 대면적화에 부적합하다. 반면, 능동 구동형 유기 발광 표시 장치는 구동 소자로 박막 트랜지스터(Thin Film Transistor; TFT, 이하 TFT 라 칭함)를 구비함에 따라 수동 구동형 유기 발광 표시 장치에 비해 공정이 복잡하고 제조 비용이 높지만, R, G, B 독립 구동 방식으로 낮은 소비 전력, 고정세, 빠른 응답 속도, 광시야각 및 박형화 구현이 가능하다는 장점이 있어, 최근에는 주로 능동 구동형 유기 발광 표시 장치가 적용되고 있다.

상기 유기 발광 표시 장치는 발광 유형에 따라 배면 발광형과 전면 발광형으로 구분되는데, 능동 구동형 유기 발광 표시 장치의 경우 배면 발광형으로 구동하게 되면 TFT로 인해 개구율에 제약을 받기 때문에 전면 발광형으로 구동하는 것이 개구율 측면에서 유리하다.

한편, 종래 전면 발광형 유기 발광 표시 장치에서는 발광 효율을 높이기 위해 발광 소자의 제1 전극에 반사율이 높은 금속, 일례로 은(Ag)을 적용하고 있으며, 이 경우 제1 전극 하부에 위치하는 평탄화막과의 접착성과 상부에 위치하는 발광층과의 일함수 관계 등을 고려하여 Ag의 하부 및 상부에 ITO(indium tin oxide)를 적용하고 있다.

그런데, ITO/Ag/ITO의 제1 전극 형성을 위해 포토레지스트 패턴을 마스크로하여 ITO/Ag/ITO를 동시에 식각하게 되면, 서로 다른 물질 간 식각 속도 차이로 인하여 도 5의 "A"와 같이 평탄화막(10) 위에 형성되는 제1 전극(20)의 측부가 돌출(overhang) 내지는 역 테이퍼(taper) 형상을 가지게 되어 상부 ITO 및 Ag가 파티클(particle) 형태로 존재하게 된다. 이러한 파티클은 포토레지스트 패턴의 제거 시 발광층과 접촉하게 될 제1 전극의 상부 표면으로 이동하여 재증착(rededposition)하게 되고, 재증착된 파티클은 유기 발광 표시 장치의 구동 시 제2 전극과의 단락(short)을 유발하여 암점 불량을 야기함으로써, 결국 표시 품질 저하를 유발하게 된다.

**발명이 이루고자 하는 기술적 과제**

본 발명은 상술한 바와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 파티클에 의한 암점 불량을 방지할 수 있는 유기 발광 표시 장치를 제공하는데 있다.

또한, 본 발명의 다른 목적은 상기 유기 발광 표시 장치의 제조 방법을 제공하는데 있다.

### 발명의 구성

상기의 목적을 달성하기 위하여 본 발명은, 기관, 기관 위에 형성되는 평탄화막, 평탄화막 위에 순차적으로 형성되는 제1 전극, 유기 발광층, 및 제2 전극을 포함하는 발광 소자, 및 유기 발광층이 위치하는 개구부를 구비하며 제1 전극 및 평탄화막 위에 형성되는 화소 정의막을 포함하고, 평탄화막이 제1 전극의 가장자리 부분에 대응하여 저부에서 상부로 갈수록 폭이 감소하는 홈을 구비하는 유기 발광 표시 장치를 제공한다.

상기 목적을 달성하기 위하여 본 발명은, 박막 트랜지스터가 구비된 기관의 전면 상에 평탄화막을 형성하고, 평탄화막을 패터닝하여 박막 트랜지스터의 일부분을 노출시키는 비아홀을 형성함과 동시에 저부에서 상부로 갈수록 폭이 감소하는 홈을 형성하고, 평탄화막 위에 비아홀을 통하여 박막 트랜지스터의 일부분과 전기적으로 연결되는 제1 전극을 형성하고, 평탄화막 위에 홈을 매립하면서 제1 전극을 노출시키는 개구부를 구비하는 화소 정의막을 형성하고, 개구부 내로 제1 전극과 접촉하는 유기 발광층과 제2 전극을 순차적으로 형성하는 단계들을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.

여기서, 제1 전극이 은(Ag) 또는 은(Ag)-합금을 포함할 수 있으며, 바람직하게는 ITO/Ag/ITO 또는 ITO/Ag 합금/ITO를 포함할 수 있다.

또한, 제2 전극이 ITO, IZO, MgAg와 같은 투명 도전 물질을 포함할 수 있다.

또한, 평탄화막의 홈은 비아홀보다 낮은 깊이로 형성할 수 있다.

또한, 평탄화막의 패터닝은 회절 노광 공정 및 하프톤 마스크를 이용한 노광 공정으로 수행할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치를 나타낸 사시도이고, 도 2는 도 1의 화소(P)를 나타낸 평면도이고, 도 3은 도 2의 III-III 선 및 III'-III' 선에 따른 단면도이다.

도 1을 참조하면, 유기 발광 표시 장치(100)는 기관(110)에 실제 발광 및 표시가 이루어지는 표시 영역(A1)과 표시 영역(A1) 주변의 비표시 영역(A2)이 정의되고, 표시 영역(A1)이 보호되도록 기관(110)이 밀봉 부재(130)에 의해 봉지 기관(120)과 서로 접합되는 구성을 갖는다.

기관(110)은 유리나 플라스틱과 같은 절연 재질 또는 스테인리스 강(stainless steel; SUS)과 같은 금속 재질로 이루어질 수 있고, 밀봉 부재(130)는 표시 영역(A1)을 둘러싸도록 배치될 수 있다.

기관(10)의 표시 영역(A1)에는 화소(P)가 매트릭스 형태로 배열되고 비표시 영역(A2)에는 패드(140)가 배열된다.

먼저, 도 2를 참조하여 화소(P)의 구성을 좀 더 상세히 살펴보면, 화소(P)는 기관(110)의 일 방향을 따라 스캔 라인(SL)이 배치되고 스캔 라인(SL)에 교차하면서 서로 이격되어 데이터 라인(DL)과 전원 라인(VDD)이 각각 배치되며, 스캔 라인(SL), 데이터 라인(DL) 및 전원 라인(PL)에 의해 정의되는 영역에 제1 및 제2 TFT(T1, T2)로 이루어지는 구동 소자, 캐패시터(Cst)로 이루어지는 저장 소자 및 오엘이디(organic light-emitting diode; OLED)로 이루어지는 발광 소자(L)가 각각 형성되는 구성을 갖는다.

제1 TFT(T1)는 스캔 라인(SL)과 데이터 라인(DL)에 각각 연결되어 스캔 라인(SL)에서 입력되는 스위칭 전압에 따라 데이터 라인(DL)에서 입력되는 데이터 전압을 제2 TFT(T2)로 전송하고, 캐패시터(Cst)는 제1 TFT(T1) 및 전원 라인(VDD)에 각각 연결되어 제1 TFT(T1)로부터 전송되는 전압과 전원 라인(PL)에 공급되는 전압의 차이에 해당하는 전압(Vgs)을 저장한다. 그리고, 제2 TFT(T2)는 전원 라인(VDD) 및 캐패시터(Cst)에 각각 연결되어 캐패시터(Cst)에 저장된 전압(Vgs)과 문턱 전압(Vth)의 차이의 자승에 비례하는 출력 전류(I<sub>d</sub>)를 발광 소자(L)로 공급하며, 발광 소자(L)가 이 출력 전류(I<sub>d</sub>)에 의해 발광한다. 이때, 출력 전류(I<sub>d</sub>)는 아래의 [수학식 1]로 나타낼 수 있으며, [수학식 1]에서 β는 비례상수를 나타낸다.

수학식 1

$$I_d = (\beta/2) \times (V_{gs} - V_{th})^2$$

한편, 본 실시예에서는 구동 소자가 2개의 TFT(T1, T2)로 구성되고 저장 소자가 1개의 캐패시터(Cst)로 구성되는 경우를 나타내었지만, 이러한 구동 소자 및 저장 소자의 구성은 이에 한정되지 않는다.

다음으로, 도 3을 참조하여 화소(P)의 TFT(T2)와 발광 소자(L)의 구성을 좀 더 상세히 살펴본다.

TFT(T2)는 기판(110) 위에 게이트 절연막(220)을 사이에 두고 반도체층(210)과 게이트 전극(230)이 순차적으로 형성되고, 층간 절연막(240)을 사이에 두고 게이트 전극(230) 위로 소오스 전극(251)과 드레인 전극(252)이 형성되는 구성을 갖는다.

반도체층(210)은 불순물이 도핑된 소오스 및 드레인 영역(211, 212)과 이들 사이의 채널 영역(213)으로 이루어진다. 게이트 전극(230)은 채널 영역(211)에 대응하여 형성되고, 일례로 MoW, Al, Cr, Al/Cr과 같은 금속으로 이루어질 수 있다. 소오스 전극(251)과 드레인 전극(252)은 게이트 절연막(220)과 층간 절연막(240)에 구비된 각각의 콘택홀(221, 222)(241, 242)을 통하여 반도체층(210)의 소오스 영역(211) 및 드레인 영역(212)과 전기적으로 연결되며, 일례로 Ti/Al, Ti/Al/Ti와 같은 금속으로 이루어질 수 있다.

본 실시예에서는 TFT(T2)가 반도체층(210) 위로 게이트 전극(230)과 소오스 및 드레인 전극(251, 252)이 배치되는 구조로 이루어진 경우를 나타내었지만, 반도체층(210), 게이트 전극(230), 소오스 및 드레인 전극(251, 252)의 배치 구조는 이에 한정되지 않는다.

한편, 발광 소자(L)는 보호막(260)과 평탄화막(270)을 사이에 두고 TFT(T2) 위로 형성되고, 양극의 제1 전극(310), 유기 발광층(330) 및 음극의 제2 전극(340)이 순차적으로 적층된 구성을 갖는다.

보호막(260)은 TFT(T2)를 보호함과 동시에 제1 전극(310) 가장자리 부분에서 전원라인(VDD)과 데이터 라인(DL)을 제1 전극(310)과 절연시키고, 평탄화막(270)은 보호막(260) 위에 형성되어 TFT(T2)에 의해 발생하는 기판(110)이 표면 단차를 완하시킨다. 보호막(260)과 평탄화막(270)은 드레인 전극(252) 위로 비아홀(261, 273)을 각각 구비하고, 평탄화막(270)은 제1 전극(310)의 가장자리 부분에 대응하여 홈(271, 272)을 구비한다. 이때, 홈(271, 272)은 저부에서 상부로 갈수록 폭이 점차적으로 감소하는 역 테이퍼 형상의 측부를 갖는다.

제1 전극(310)은 비아홀(261, 273)을 통하여 드레인 전극(252)에 전기적으로 연결되면서 평탄화막(270) 위에 형성되며, 화소 정의막(320)에 의해 인접 화소의 제1 전극(미도시)과 전기적으로 분리된다. 이때, 제1 전극(310)은 도 3과 같이 홈(271, 272) 사이의 평탄화막(270) 위에만 형성될 수도 있고, 도시되지는 않았지만 가장자리 부분이 홈(271, 272)의 저부까지 연장 형성되어 중앙 부분에 비해 낮게 위치하도록 형성될 수도 있다. 화소 정의막(320)은 평탄화막(270)의 홈(271, 272)을 매립하면서 제1 전극(310)의 중앙 부분을 노출시키는 개구부(321)를 구비하고, 이 개구부(321)를 통하여 제1 전극(310)의 중앙 부분에 유기 발광층(330)이 접촉하게 되며, 화소 정의막(320)과 유기 발광층(330) 위로 제2 전극(340)이 형성된다.

여기서, 보호막(260)은 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(Si<sub>3</sub>N<sub>4</sub>)과 같은 무기 절연 물질로 이루어질 수 있고, 평탄화막(270)은 아크릴(acryl), 벤조사이클로부텐(benzocyclobutene; BCB)과 같은 유기 절연 물질로 이루어질 수 있다. 또한, 평탄화막은 0.8 내지 2.2 $\mu$ m의 두께를 가질 수 있으며, 이 경우 평탄화막(270) 홈(271, 272)의 저부가 약 0.2 $\mu$ m 이상, 바람직하게 0.2 내지 0.4 $\mu$ m 정도의 폭을 가질 수 있다.

본 실시예에서는 평탄화막(270) 하부에 보호막(260)이 형성되어 홈(271, 272)에서 제1 전극(310)의 가장자리 부분과 전원 라인(VDD) 및 데이터 라인(DL) 사이가 절연되는 경우를 나타내었지만, 보호막(260)을 형성하는 것 없이 평탄화막(270)의 홈 깊이를 비아홀(273)의 깊이보다 낮게 조절하여 제1 전극(310)의 가장자리 부분과 전원 라인(VDD) 및 데이터 라인(DL) 사이를 절연시킬 수도 있다.

제1 전극(310)은 Ag 또는 Ag 합금(alloy)을 포함할 수 있으며, 바람직하게는 평탄화막(270)과의 접착성과 유기 발광층(330)과의 일함수 관계 등이 개선되도록 Ag 또는 Ag 합금의 하부 및 상부에 ITO가 각각 형성된 ITO/Ag/ITO 또는 ITO/Ag 합금/ITO로 이루어질 수 있다.

제2 전극(340)은 ITO, IZO(indium zinc oxide), MgAg와 같은 투명 도전 물질을 포함할 수 있다.

유기 발광층(330)은 코퍼 프탈로시아닌(copper phthalocyanine; CuPc), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine; NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등과 같은 저분자 유기물로 이루어지거나 고분자 유기물로 이루어질 수 있다.

예컨대, 유기 발광층(330)이 저분자 유기물로 이루어지는 경우, 홀 주입층(Hole Injection layer; HIL), 홀 수송층(Hole Transport Layer; HTL), 발광층(Emitting Layer; EML) 및 전자 수송층(Electron Transport Layer; ETL)을 포함한 다층 구조로 이루어질 수 있다.

또한, 유기 발광층(330)이 고분자 유기물로 이루어지는 경우, 홀 수송층(Hole Transport Layer; HTL) 및 발광층(Emitting Layer; EML)으로 이루어질 수 있으며, 이때 HTL은 PEDOT 물질로 이루어지고 EML은 폴리-페닐렌비닐렌(Poly-Phenylenevinylene; PPV)계 또는 폴리플루오렌(Polyfluorene)계 물질로 이루어질 수 있다.

상술한 유기 발광 표시 장치의 제조 방법을 도 4a 내지 도 4d를 참조하여 설명한다.

도 4a를 참조하면, 기판(110) 위에 반도체층(210)을 형성한다. 일례로, 반도체층(210)은 기판(110) 상에 비정질 실리콘막을 증착하고 이를 엑시머 레이저로 조사하여 결정화시켜 폴리실리콘막을 형성한 후 이를 패터닝하여 형성할 수 있다. 이 경우 레이저 조사 시 그 열로 인해 기판(110) 표면에 존재하는 알칼리계 불순물들이 국부적으로 용출되어 비정질 실리콘막으로 확산하는 것을 방지하도록 비정질 실리콘막을 증착하기 전에 기판(110) 상에 버퍼 절연막(미도시)을 더 형성할 수 있다.

그 다음, 반도체층(210)을 덮도록 기판(110) 전면 상에 게이트 절연막(220)을 형성하고, 게이트 절연막(220) 상에 게이트 전극 물질층을 증착하고 이를 패터닝하여 반도체층(210)의 중앙 부분을 가로지르는 게이트 전극(230)을 형성한다. 여기서, 게이트 전극(230) 하부의 반도체층(210)은 실질적으로 채널 영역(213)으로 작용하며, 게이트 전극 물질로는 MoW, Al, Cr, Al/Cr와 같은 금속을 사용할 수 있다. 이어서, 반도체층(210)으로 n형 또는 p형의 불순물을 도핑하여 게이트 전극(230) 양측의 반도체층(210)에 소오스 및 드레인 영역(211, 212)을 형성한다. 그 후, 게이트 전극(230)을 덮도록 게이트 절연막(220) 상에 층간 절연막(240)을 형성하고, 소오스 및 드레인 영역(211, 212) 위의 게이트 절연막(220)과 층간 절연막(240)을 패터닝하여 게이트 절연막(220)과 층간 절연막(240)에 소오스 및 드레인 영역(211, 212)을 노출시키는 콘택홀(221, 222)(241, 242)을 각각 형성한다.

그 다음, 콘택홀(221, 222)(241, 242) 및 층간 절연막(240) 상에 소오스 및 드레인 전극 물질층을 증착하고 이를 패터닝하여 소오스 및 드레인 영역(211, 212)과 전기적으로 연결되는 소오스 및 드레인 전극(251, 252)을 형성하여 TFT(T2)를 형성한다. 일례로, 소오스 및 드레인 전극 물질로는 Ti/Al, Ti/Al/Ti와 같이 Al이 포함된 금속을 사용할 수 있다.

도 4b를 참조하면, 층간 절연막(240) 상에 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(Si<sub>3</sub>N<sub>4</sub>)과 같은 무기 절연 물질로 이루어지는 보호막(260)을 형성하고, 그 위로 아크릴(acryl), 벤조사이클로부텐(benzocyclobutene; BCB)과 같은 유기 절연 물질로 이루어지는 평탄화막(270)을 형성한다. 이때, 평탄화막(270)은 0.8 내지 2.2 $\mu$ m의 두께로 형성할 수 있다.

그 다음, 평탄화막(270)을 노광 및 현상 공정에 의해 패터닝하여 이후 형성할 발광 소자(L)의 제1 전극(310) 가장자리 부분에 대응하면서 저부에서 상부로 갈수록 폭이 점차적으로 감소하는 역 테이퍼 형상의 측부를 가지는 홈(271, 272)을 형성함과 동시에 소오스 전극(251) 또는 드레인 전극(252), 일례로 드레인 전극(252) 위로 비아홀(273)을 형성한다. 이때, 평탄화막(270)의 패터닝은 회절 노광 공정을 이용하여 수행하고, 홈(271, 272)의 저부 폭이 약 0.2 $\mu$ m 이상, 바람직하게 바람직하게 0.2 내지 0.4 $\mu$ m 정도의 폭을 갖도록 수행한다. 그 후, 비아홀(273)을 통해 노출된 보호막(260)을 식각하여 보호막(260)에도 비아홀(261)을 형성하여 드레인 전극(252)을 노출시킨다.

다른 한편으로, 보호막(260)을 형성하지 않으면서 상기 회절 노광 공정과 함께 하프톤 마스크를 이용한 노광 공정을 동시에 수행하여 비아홀(273)과 이 비아홀(273)보다 낮은 깊이의 홈을 동시에 형성할 수도 있다.

도 4c를 참조하면, 기판(110)의 전면 상에 Ag 또는 Ag 합금을 포함하는 물질, 바람직하게 ITO/Ag/ITO 또는 ITO/Ag 합금/ITO의 제1 전극 물질층을 형성한다. 그 다음, 제1 전극 물질층 상부에 포토리소그래피 공정에 의해 포토레지스트 패턴(미도시)을 형성하고 식각 공정에 의해 제1 전극 물질층을 패터닝하여, 비아홀(261, 273)을 통하여 드레인 전극(252)에 전기적으로 연결되는 제1 전극(310)을 형성한다. 그 후, 공지된 방법에 의해 포토레지스트 패턴을 제거한다.

이때, 제1 전극 물질층의 서로 다른 물질간 식각 속도 차이로 인해 제1 전극(310) 측부가 돌출(overhang) 내지는 역 테이퍼(taper) 형상을 가지게 되어 ITO 및 Ag가 파티클 형태로 존재하게 되더라도, 평탄화막(270)의 홈(271, 272)이 역 테이퍼 형상을 가짐에 따라 포토레지스트 패턴의 제거 시 이후 유기 발광층(330)과 접촉하게 되는 제1 전극(310)의 상부 표면으로 파티클의 재증착이 발생되지 않는다.

도 4d를 참조하면, 평탄화막(270)의 홈(271, 272)을 매립하도록 기판(110)의 전면 상에 화소 정의막(320)을 형성한다. 이때, 화소 정의막(320)에 의해 제1 전극(310)의 측부가 덮여져서 그 부분에 잔존하는 파티클의 이동이 완전히 차단된다. 그 다음, 화소 정의막(320)을 노광 및 현상 공정에 의해 패터닝하여 화소 정의막(320)에 제1 전극(310)을 노출시키는 개구부(321)를 형성한다.

그 다음, 개구부(321) 내로 제1 전극(310)과 접촉하는 유기 발광층(330)을 형성하고, 화소 정의막(320)과 유기 발광층(330) 위로 제2 전극(340)을 형성하여 발광부(L)를 형성한다(도 3 참조).

상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

### 발명의 효과

상술한 바와 같이 본 발명에 따른 유기 발광 표시 장치의 제조 방법은 발광 소자의 제1 전극 형성 시 발생하는 파티클의 이동을 억제하여 유기 발광 표시 장치의 구동 시 파티클로 인한 제1 전극과 제2 전극 사이의 단락을 방지할 수 있으므로 암점 불량을 예방할 수 있다.

그 결과, 본 발명에 따른 유기 발광 표시 장치는 개선된 표시 품질을 가질 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치를 나타낸 사시도이다.

도 2는 본 발명의 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 평면도이다.

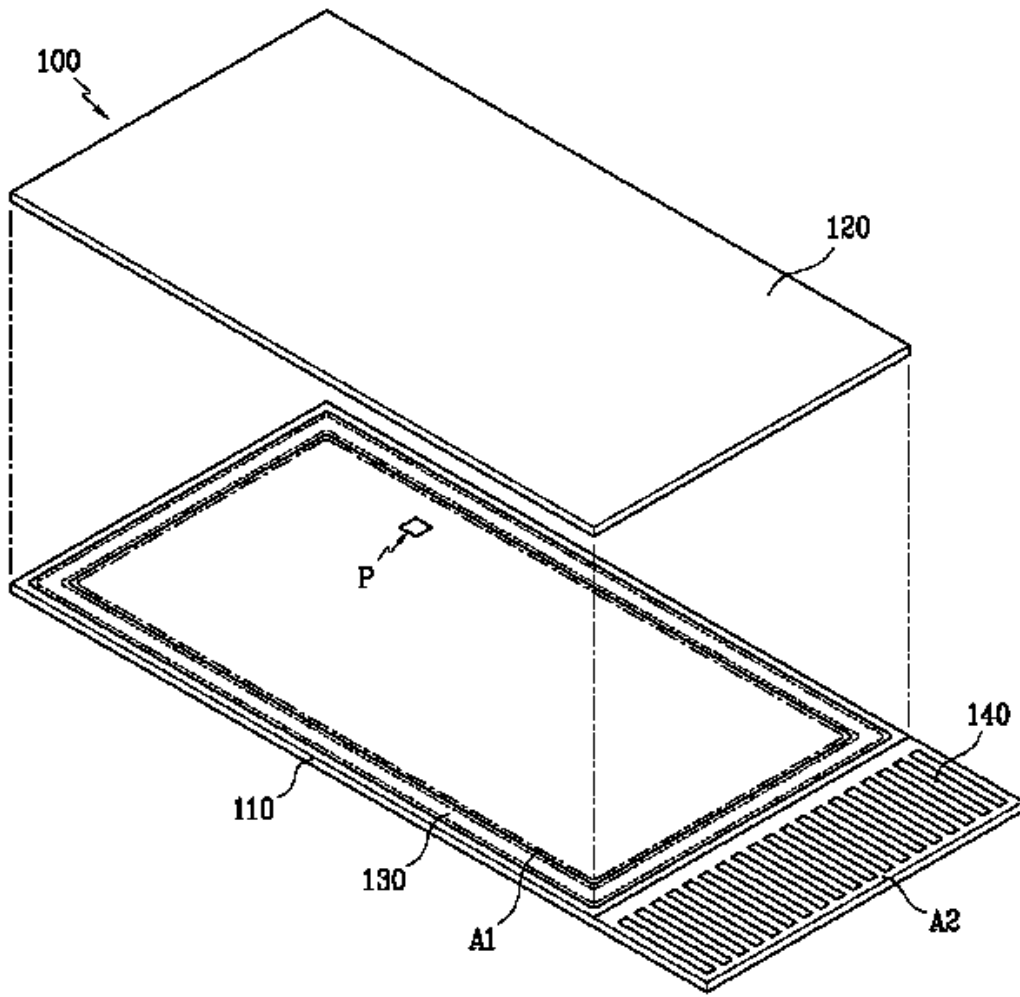
도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 단면도로서, 도 2의 III-III 선 및 III'-III'선에 따른 단면도이다.

도 4a 내지 도 4d는 본 발명의 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 순차적 공정 단면도들이다.

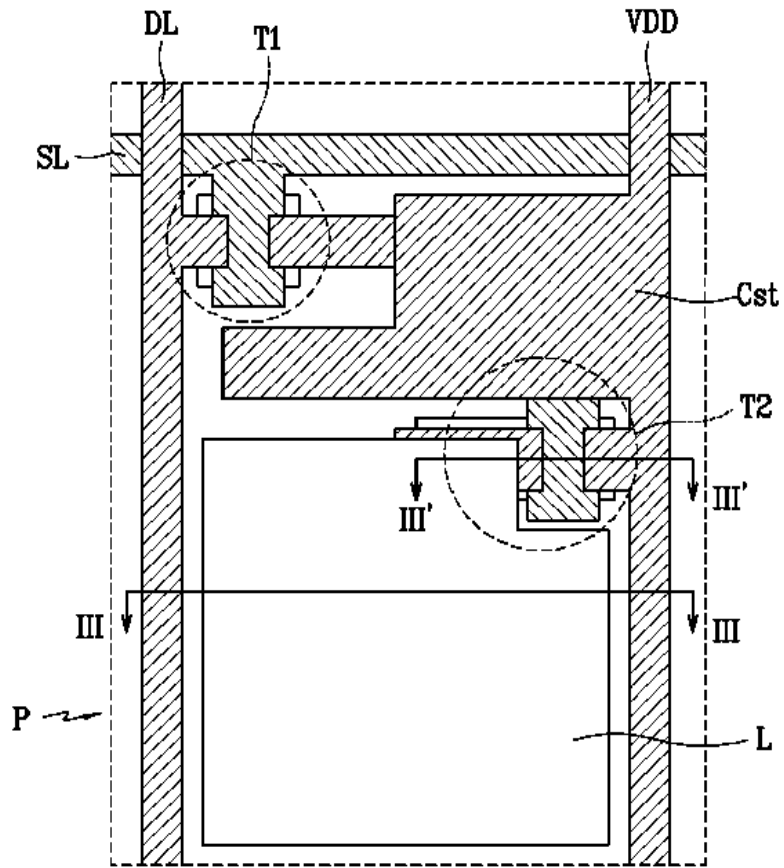
도 5는 종래 유기 발광 표시 장치의 제1 전극 형성 후 발생하는 문제를 나타낸 도면이다.

### 도면

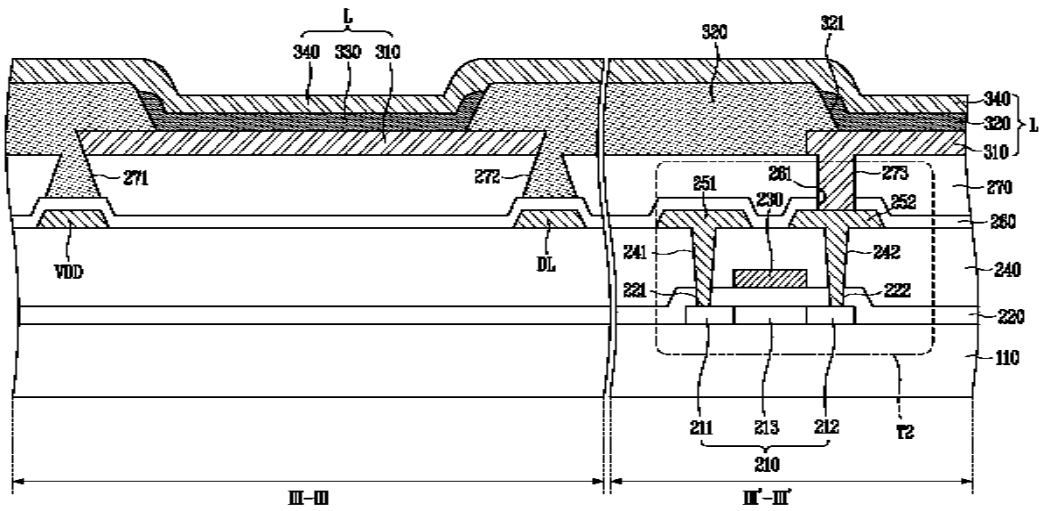
도면1



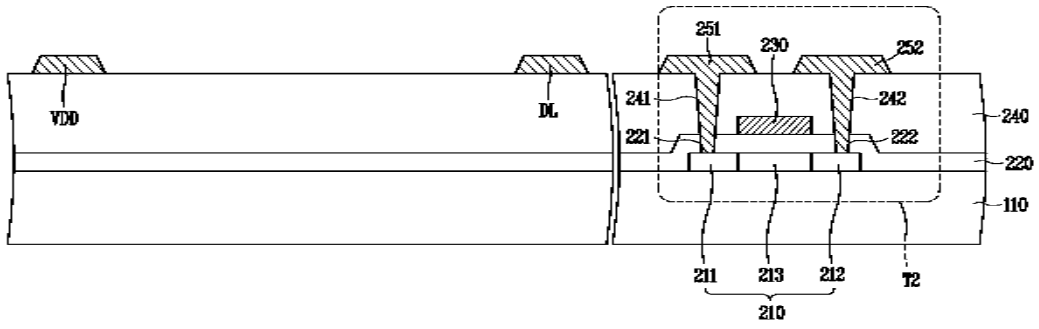
도면2



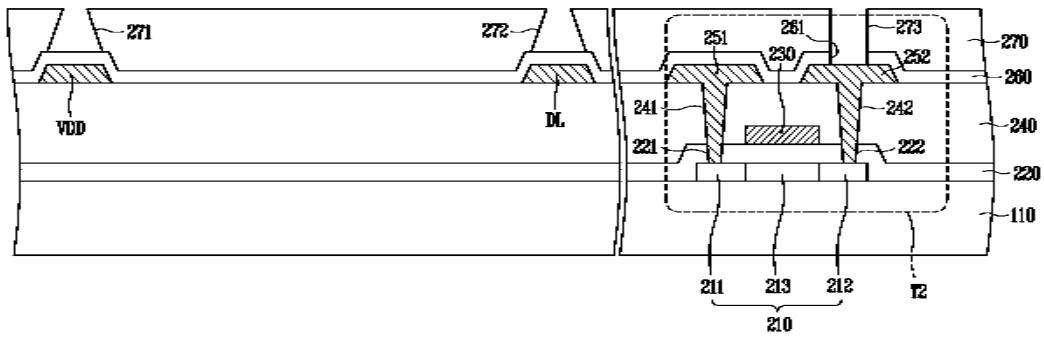
도면3



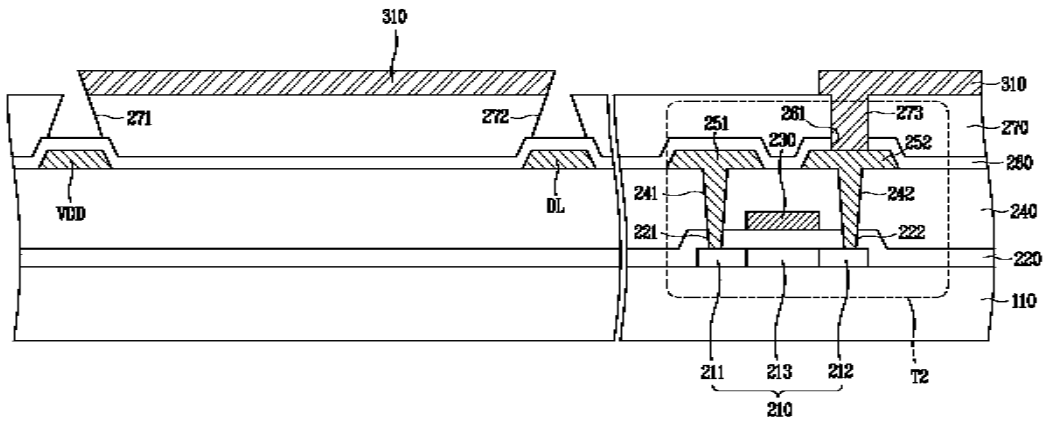
도면4a



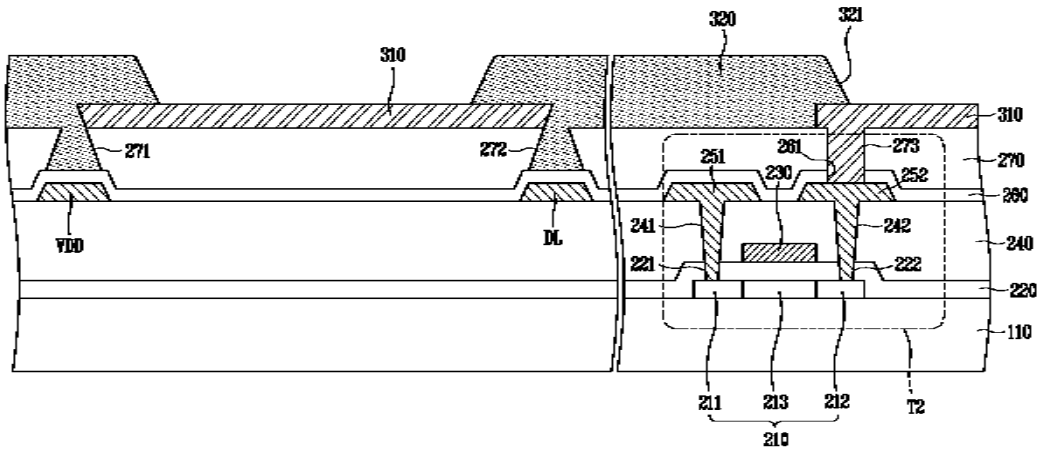
도면4b



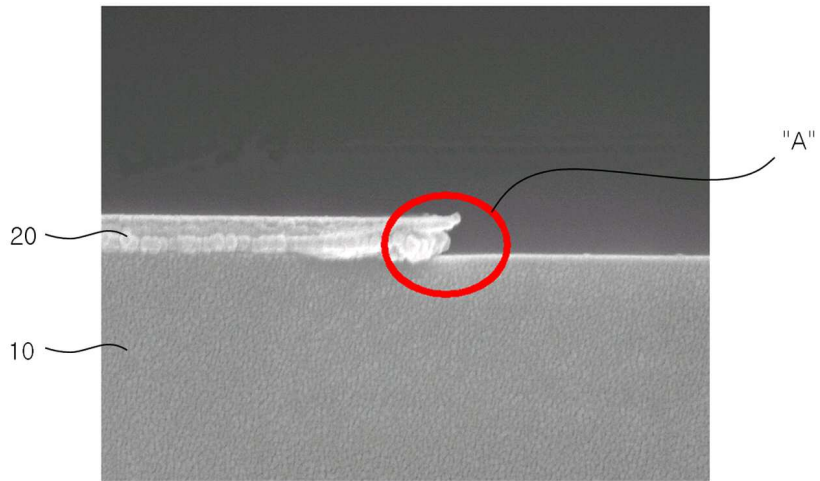
도면4c



도면4d



도면5



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	<a href="#">KR100708856B1</a>	公开(公告)日	2007-04-11
申请号	KR1020050112882	申请日	2005-11-24
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	OH SANG HUN		
发明人	OH, SANG HUN		
IPC分类号	H05B33/22 H05B33/10		
CPC分类号	H01L27/3258 H01L27/3248 H01L51/5206 H01L51/56		
代理人(译)	您是我的专利和法律公司		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

目的：提供一种有机发光显示装置及其制造方法，用于通过防止颗粒在第一和第二电极之间漂移来抑制显示图像的暗斑。构成：有机发光显示装置包括基板（110），平坦化层（270），发光元件（L）和像素限定膜（320）。发光元件包括顺序形成在平坦化层上的第一电极，有机发光层和第二电极。平坦化层形成在基板上。像素限定膜包括孔。像素限定膜形成在第一电极和平坦化膜上。有机发光层设置在孔径上。平坦化层包括在第一电极的边缘区域处的凹槽（271,272）。槽的宽度从槽的底部到顶部变小。

