



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/26 (2006.01)		(45) 공고일자	2007년01월16일
		(11) 등록번호	10-0669728
		(24) 등록일자	2007년01월10일
(21) 출원번호	10-2004-0075094	(65) 공개번호	10-2006-0026243
(22) 출원일자	2004년09월20일	(43) 공개일자	2006년03월23일
심사청구일자	2004년09월20일		

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	김은아 경기 수원시 영통구 영통동 풍림아파트 601-1501
(74) 대리인	리엔목특허법인 이해영

심사관 : 추장희

전체 청구항 수 : 총 15 항

(54) 분할된 화소전극을 구비한 유기전계 발광표시장치

(57) 요약

본 발명은 각 화소영역을 2개의 서브 화소영역으로 분할하고 분할된 서브 화소영역에 화소전극패턴을 각각 배열하여, 게이트 라인을 사이에 두고 인접한 화소영역에 배열된 분할전극패턴중 서로 다른 화소영역에 배열된 화소전극패턴을 하나의 화소로 구성하여 줌으로써 시감을 향상시키고 수율을 향상시킬 수 있는 유기전계 발광표시장치를 개시한다.

본 발명의 유기전계 발광표시장치는 기판과; 기판상에 배열된 다수의 게이트라인, 데이터라인 및 전원라인과; 상기 다수의 게이트라인, 데이터라인 및 전원라인에 의해 한정되는 다수의 화소영역과; 각 화소영역에 배열되는 다수의 서브 화소전극패턴을 각각 구비하는 다수의 화소전극을 구비하며, 상기 게이트라인, 데이터라인 및 전원라인중 하나의 라인을 사이에 두고 서로 이웃하는 2개의 화소영역에 각각 배열된 다수의 서브 화소전극패턴중 일부 서브 화소전극패턴을 한 화소의 화소전극으로 구성한다.

대표도

도 2a

특허청구의 범위

청구항 1.

기관과;

기관상에 배열된 다수의 게이트라인, 데이터라인 및 전원라인과;

상기 다수의 게이트라인, 데이터라인 및 전원라인에 의해 한정되는 다수의 화소영역과;

각 화소영역에 배열되는 다수의 서브 화소전극패턴을 각각 구비하는 다수의 화소전극을 구비하며,

상기 게이트라인, 데이터라인 및 전원라인중 하나의 라인을 사이에 두고 서로 이웃하는 2개의 화소영역에 각각 배열된 다수의 서브 화소전극패턴중 일부 서브 화소전극패턴을 한 화소의 화소전극으로 구성하는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 2.

제1항에 있어서, 상기 하나의 라인은 다수의 게이트라인인 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 3.

제1항에 있어서, 상기 한 화소의 화소전극은 하나의 화소영역에 배열된 다수의 서브 화소전극패턴중 게이트에 인접한 서브 화소전극패턴과 다른 화소영역에 배열된 다수의 서브 화소전극패턴중 게이트에 인접한 서브 화소전극패턴을 포함하는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 4.

제3항에 있어서, 상기 하나의 화소전극을 구성하는 하나의 화소영역에 배열된 서브 화소전극패턴과 다른 화소영역에 배열된 서브 화소전극패턴은 상기 게이트 라인과 교차하는 연결패턴에 의해 전기적으로 서로 연결되는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 5.

기관과;

기관상에 배열된 다수의 게이트라인, 데이터라인 및 전원라인과;

상기 다수의 게이트라인, 데이터라인 및 전원라인에 의해 한정되고, 다수의 게이트라인, 데이터라인 및 전원라인중 해당하는 하나의 다수의 라인의 인접하는 2개의 라인중 하나에 인접하여 배열되는 적어도 하나이상의 제1서브 화소영역과, 다른 라인에 인접하여 배열되는 적어도 하나이상의 제2서브 화소영역을 각각 구비하는 다수의 화소영역과;

상기 적어도 하나이상의 제1서브 화소영역에 배열되는 적어도 하나이상의 제1서브 화소전극패턴과, 상기 적어도 하나이상의 제2서브 화소영역에 배열되는 적어도 하나이상의 제2서브 화소전극패턴을 각각 구비하는 다수의 화소전극을 구비하며,

다수의 화소영역중 이웃하는 2개의 화소영역이 상기 하나의 다수의 라인중 하나의 라인 양측에 각각 배열되고,

이웃하는 2개의 화소영역중 상기 하나의 라인의 일측에 배열된 화소영역의 제2서브 화소전극패턴과 상기 하나의 라인의 타측에 배열된 화소영역의 제1서브 화소전극패턴이 하나의 화소를 구성하는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 6.

제5항에 있어서, 상기 다수의 게이트라인, 데이터라인 및 전원라인중 상기 하나의 다수의 라인에 다수의 게이트라인인 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 7.

제3항에 있어서, 하나의 화소를 구성하는, 상기 게이트라인의 일측에 배열된 화소영역의 제2서브 화소전극패턴과 게이트라인의 타측에 배열된 화소영역의 제1서브 화소전극패턴은 게이트라인과 교차하는 연결패턴에 의해 서로 전기적으로 연결되는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 8.

기관과;

기관상에 배열된 다수의 게이트라인, 데이터라인 및 전원라인과;

상기 다수의 게이트라인, 데이터라인 및 전원라인에 의해 한정되고, 다수의 게이트라인중 이웃하는 2개의 게이트라인중 하나의 게이트라인에 인접하여 배열되는 적어도 하나이상의 제1서브 화소영역과, 다른 게이트라인에 인접하여 배열되는 적어도 하나이상의 제2서브 화소영역을 각각 구비하는 다수의 화소영역과;

상기 적어도 하나이상의 제1서브 화소영역에 배열되는 적어도 하나이상의 제1서브 화소전극패턴과, 상기 적어도 하나이상의 제2서브 화소영역에 배열되는 적어도 하나이상의 제2서브 화소전극패턴을 각각 구비하는 다수의 화소전극과;

상기 다수의 화소전극을 각각 구동하기 위한 다수의 구동수단을 구비하며,

다수의 화소영역중 이웃하는 2개의 화소영역이 상기 다수의 라인중 하나의 게이트 라인 양측에 각각 배열되고,

이웃하는 2개의 화소영역중 상기 하나의 게이트 라인의 일측에 배열된 화소영역의 제2서브 화소전극패턴과 상기 하나의 게이트 라인의 타측에 배열된 화소영역의 제1서브 화소전극패턴이 하나의 화소를 구성하며,

상기 하나의 화소를 구성하는 제1서브 화소전극패턴과 제2서브 화소전극패턴은 상기 다수의 구동수단중 해당하는 하나의 구동수단에 의해 동시에 구동되는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 9.

제8항에 있어서, 하나의 화소를 구성하는 게이트라인의 일측에 배열된 화소영역의 제2서브 화소전극패턴과 게이트라인의 타측에 배열된 화소영역의 제1서브 화소전극패턴은 게이트라인과 교차하는 연결패턴에 의해 서로 전기적으로 연결되는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 10.

제9항에 있어서, 상기 다수의 구동수단중 해당하는 하나의 구동수단은 하나의 화소를 구성하는 게이트라인의 일측에 배열된 화소영역의 제2서브 화소전극패턴과 게이트라인의 타측에 배열된 화소영역의 제1서브 화소전극패턴중 하나에 연결되는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 11.

제8항에 있어서, 상기 각 화소는

상기 제1서브 화소전극패턴과 제2서브 화소전극패턴을 포함하는 하부전극과;

상기 하부전극상에 형성된 유기막층과;

기관상에 형성된 캐소드전극인 상부전극을 포함하는 유기발광소자를 더 구비하는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 12.

제11항에 있어서, 상기 구동수단은 적어도

상기 게이트라인에 제공되는 신호에 따라 상기 데이터라인으로부터 제공되는 데이터신호를 스위칭하기 위한 스위칭 박막 트랜지스터와;

상기 데이터신호를 저장하기 위한 캐패시터와;

상기 데이터신호에 상응하여 상기 유기전계 발광소자를 구동하기 위한 구동 박막 트랜지스터를 포함하는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 13.

기관상에 배열된 다수의 게이트라인, 데이터라인 및 전원라인과;

상기 다수의 게이트라인, 데이터라인 및 전원라인에 의해 한정되고, 각각 제1 및 제2서브화소영역으로 분할되는 다수의 화소영역과;

제1 및 제2서브 화소영역에 각각 배열되는 제1 및 제2서브 화소전극패턴을 각각 구비하며, 게이트라인을 사이에 두고 이웃하는 2개의 화소영역중 하나의 화소영역의 제2서브 화소영역에 배열된 제2서브 화소전극패턴과 다른 화소영역의 제1서브 화소영역에 배열된 제1서브 화소전극패턴이 하나의 화소로 구성되는 다수의 화소전극과;

각각 상기 제1서브 화소전극패턴에 연결되는 박막 트랜지스터를 구비하고, 상기 다수의 화소전극을 각각 구동하기 위한 다수의 구동수단을 포함하며,

각 화소는

제1서브화소영역에 대응하는 기관상에 형성된 게이트 및 소오스/드레인 전극을 구비한 박막 트랜지스터와;

상기 제1서브화소영역에 대응하는 제1절연막상에 형성되어, 상기 소오스/드레인 전극중 하나의 전극에 연결되는 제1서브 화소전극패턴과;

상기 제2서브 화소영역에 대응하는 제1절연막상에 형성되는 제2서브 화소전극패턴과;

상기 제1서브 화소전극패턴의 일부분을 노출시키는 제1개구부와 상기 제2서브화소전극패턴의 일부분을 노출시키는 제2개구부를 구비하는 제2절연막과;

상기 제1개구부내의 제1서브 화소전극패턴상에 형성된 제1유기막층 및 상기 제2개구부내의 제2서브화소전극패턴상에 형성된 제2유기막층과;

기관상에 형성된 상부전극을 구비하는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 14.

제13항에 있어서, 하나의 화소영역에 배열되어 서로 다른 화소를 구성하는 제1 및 제2서브 화소전극패턴상에 형성된 제1 유기막층 및 제2유기막층은 측벽형태의 제2절연막에 의해 서로 분리되는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

청구항 15.

제13항에 있어서, 상기 게이트라인은 하나의 화소영역의 제2서브 화소영역과 다른 화소영역의 제1서브 화소영역사이의 기관상에 배열되고,

상기 하나의 화소를 구비하는 서로 다른 화소영역에 배열된 제1 및 제2서브 화소전극패턴은 게이트라인과 교차하는 연결 패턴에 의해 전기적으로 연결되며,

상기 연결패턴은 상기 제1 및 제2서브 화소전극패턴과 동일한 물질을 포함하는 것을 특징으로 하는 분할된 화소전극을 구비한 평판표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로서, 보다 구체적으로는 화소전극을 분할하고 게이트라인을 사이에 두고 이웃하는 분할전극패턴을 하나의 화소로 구성하여 시감을 향상시키고 수율을 향상시킬 수 있는 유기전계 발광표시장치에 관한 것이다.

도 1a는 종래의 유기전계 발광표시장치의 평면구조를 도시한 것이다.

도 1a를 참조하면, 종래의 유기전계 발광표시장치(15)는 다수의 게이트라인(10)과 다수의 데이터라인(20) 및 다수의 전원라인(30)을 구비한다. 상기 다수의 라인들(10, 20, 30)에 한정되는 다수의 화소영역(40)을 구비하고, 상기 화소영역(40)에는 상기 게이트라인(10), 데이터라인(20) 및 전원라인(30)에 연결되는 다수의 화소(50)가 각각 배열된다.

각 화소(50)는 도 1b에 도시된 바와같이 스위칭 박막 트랜지스터(60) 및 구동 박막 트랜지스터(80)의 2개의 박막 트랜지스터와 하나의 캐패시터(70) 그리고 화소전극인 애노드전극(160)을 구비하는 유기전계 발광소자(EL)를 구비한다. 도면중 도면부호 155는 상기 구동 박막 트랜지스터(80)와 화소전극(160)을 연결하기 위한 비어홀을 나타낸다.

도 1b는 종래의 유기전계 발광표시장치에 있어서, 하나의 화소영역(40)에 배열되는 하나의 화소에 대한 평면도를 도시한 것이다.

도 1b를 참조하면, 스위칭 박막 트랜지스터(60)는 소오스/드레인영역(도면상에는 도시되지 않음)을 구비하는 반도체층(61)과, 게이트라인(10)에 연결되는 게이트전극(63)과 상기 데이터라인(20)에 연결되는 소오스전극(65) 및 캐패시터(70)에 연결되는 드레인전극(67)을 구비한다. 상기 소오스/드레인 전극(65), (67)은 콘택홀(64), (66)을 통해 상기 반도체층(61)에 연결된다.

캐패시터(70)는 콘택홀(68)을 통해 상기 스위칭 박막 트랜지스터(60)의 드레인 전극(67)에 연결되는 하부전극(71)과, 상기 하부전극(61)과 오버랩되어 상기 전원라인(30)에 연결되는 상부전극(75)을 구비한다.

구동 박막 트랜지스터(80)는 소오스/드레인영역(도 1c의 111, 115)을 구비한 반도체층(110)과, 상기 캐패시터(70)의 하부전극(71)에 연결되는 게이트전극(125)과, 상기 전원라인(30)에 연결되는 소오스전극(141) 및 애노드전극(160)에 비어홀(155)을 통해 연결되는 드레인전극(145)을 구비한다. 상기 소오스/드레인전극(141), (145)은 콘택홀(131), (135)을 통해 상기 반도체층(110)의 소오스/드레인 영역(111), (115)에 연결된다.

도 1c는 종래의 유기전계 발광표시장치에 있어서, 하나의 화소에 대한 단면도를 도시한 것으로서, 도 1c는 도 1b의 IC-IC 선에 따른 단면구조를 도시한 것이다.

도 1c를 참조하면, 기판(100)의 버퍼층(105)상에 구동 박막 트랜지스터(80)가 형성된다. 구동 박막 트랜지스터(80)는 소오스/드레인 영역(111), (115) 및 채널영역(113)을 구비하는 반도체층(110)과, 게이트 절연막(120)상에 형성된 게이트전극(125) 및 층간 절연막(130)상에 형성되어 콘택홀(131), (135)을 통해 상기 소오스/드레인 영역(111), (115)과 연결되는 소오스/드레인 전극(141), (145)을 구비한다.

보호막(150)상에는 상기 소오스/드레인 전극(141), (145)중 드레인 전극(145)에 비어홀(155)을 통해 연결되는 애노드전극(160)이 형성된다. 화소분리막(170)은 상기 애노드전극(160)의 일부분을 노출시키는 개구부(175)를 구비한다. 개구부(175)내의 애노드전극(160)상에 유기발광층(180)이 형성되고, 기판전면에 캐소드전극(190)이 형성된다.

유기전계 발광표시장치에서 발생하는 불량은 대부분이 암점불량(dark pixel)으로서, 암점불량의 주요원인중 하나는 이물질이나 애노드전극인 투명도전막의 돌기에 의한 애노드전극과 캐소드전극간의 단락현상이다. 암점불량의 또 다른 원인으로는 유기발광층을 미세메탈마스크(fine metal mask)를 이용하여 증착하는 경우, 마스크의 이물질에 의한 유기발광층의 패턴불량이다.

마스크의 이물질에 의한 암점불량은 유기전계 발광표시장치의 화면상에서는 비발광화소 또는 저휘도 발광화소로 검출된다. 종래에 도트(dot) 타입의 미세메탈 마스크를 이용하여 유기발광층을 증착하는 경우 하나의 화소에 하나의 도트를 대응시켜 하나의 화소의 유기발광층을 증착하였다.

도트타입의 미세메탈 마스크를 이용하면 하나의 도트에 이상증착에 의한 유기이물질 등이 부착되는 경우 마스크에 부착된 이물질에 의해 유기발광물질이 블록킹되기 때문에 이물질이 부착된 도트에 대응하는 화소에는 유기발광층이 제대로 증착되지 않게 되고, 이로 인하여 유기발광층의 패턴불량이 발생하게 된다. 또한, 마스크에 부착된 이물질이 유기발광층의 증착공정중에 유기전계 발광표시장치를 제조하기 위한 기판에 부착되는 경우가 발생하는데, 이와같이 기판상에 부착된 유기이물질이 쇼트를 유발하는 파티클로 작용하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 종래기술의 문제점을 해결하기 위한 것으로서, 하나의 화소전극을 분할하고 분할된 화소전극 패턴중 게이트라인을 사이에 두고 이웃하는 화소전극패턴을 하나의 화소로 구성하여 시각을 향상시키고 패턴불량에 따른 수율을 향상시키는 데 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명은 기판과; 기판상에 배열된 다수의 게이트라인, 데이터라인 및 전원라인과; 상기 다수의 게이트라인, 데이터라인 및 전원라인에 의해 한정되는 다수의 화소영역과; 각 화소영역에 배열되는 다수의 서브 화소전극패턴을 각각 구비하는 다수의 화소전극을 구비하며, 상기 게이트라인, 데이터라인 및 전원라인중 하나의 라인을 사이에 두고 서로 이웃하는 2개의 화소영역에 각각 배열된 다수의 서브 화소전극패턴중 일부 서브 화소전극패턴을 한 화소의 화소전극으로 구성하는 분할된 화소전극을 구비한 평판표시장치를 제공하는 것을 특징으로 한다.

상기 하나의 라인은 다수의 게이트라인이며, 상기 한 화소의 화소전극은 하나의 화소영역에 배열된 다수의 서브 화소전극 패턴중 게이트에 인접한 서브 화소전극패턴과 다른 화소영역에 배열된 다수의 서브 화소전극패턴중 게이트에 인접한 서브 화소전극패턴을 포함한다.

상기 하나의 화소전극을 구성하는 하나의 화소영역에 배열된 서브 화소전극패턴과 다른 화소영역에 배열된 서브 화소전극패턴은 상기 게이트 라인과 교차하는 연결패턴에 의해 전기적으로 서로 연결된다.

또한, 본 발명은 기판과; 기판상에 배열된 다수의 게이트라인, 데이터라인 및 전원라인과; 상기 다수의 게이트라인, 데이터라인 및 전원라인에 의해 한정되고, 다수의 게이트라인, 데이터라인 및 전원라인중 해당하는 하나의 다수의 라인의 인접하는 2개의 라인중 하나에 인접하여 배열되는 적어도 하나이상의 제1서브 화소영역과, 다른 라인에 인접하여 배열되는 적어도 하나이상의 제2서브 화소영역을 각각 구비하는 다수의 화소영역과; 상기 적어도 하나이상의 제1서브 화소영역에 배열되는 적어도 하나이상의 제1서브 화소전극패턴과, 상기 적어도 하나이상의 제2서브 화소영역에 배열되는 적어도 하나이상의 제2서브 화소전극패턴을 각각 구비하는 다수의 화소전극을 구비하며, 다수의 화소영역중 이웃하는 2개의 화소영역이 상기 하나의 다수의 라인중 하나의 라인 양측에 각각 배열되고, 이웃하는 2개의 화소영역중 상기 하나의 라인의 일측에 배열된 화소영역의 제2서브 화소전극패턴과 상기 하나의 라인의 타측에 배열된 화소영역의 제1서브 화소전극패턴이 하나의 화소를 구성하는 분할된 화소전극을 구비한 평판표시장치를 제공하는 것을 특징으로 한다.

또한, 본 발명은 기판과; 기판상에 배열된 다수의 게이트라인, 데이터라인 및 전원라인과; 상기 다수의 게이트라인, 데이터라인 및 전원라인에 의해 한정되고, 다수의 게이트라인중 이웃하는 2개의 게이트라인중 하나의 게이트라인에 인접하여 배열되는 적어도 하나이상의 제1서브 화소영역과, 다른 게이트라인에 인접하여 배열되는 적어도 하나이상의 제2서브 화소영역을 각각 구비하는 다수의 화소영역과; 상기 적어도 하나이상의 제1서브 화소영역에 배열되는 적어도 하나이상의 제1서브 화소전극패턴과, 상기 적어도 하나이상의 제2서브 화소영역에 배열되는 적어도 하나이상의 제2서브 화소전극패턴을 각각 구비하는 다수의 화소전극과; 상기 다수의 화소전극을 각각 구동하기 위한 다수의 구동수단을 구비하며, 다수의 화소영역중 이웃하는 2개의 화소영역이 상기 다수의 라인중 하나의 게이트 라인 양측에 각각 배열되고, 이웃하는 2개의 화소영역중 상기 하나의 게이트 라인의 일측에 배열된 화소영역의 제2서브 화소전극패턴과 상기 하나의 게이트 라인의 타측에 배열된 화소영역의 제1서브 화소전극패턴이 하나의 화소를 구성하며, 상기 하나의 화소를 구성하는 제1서브 화소전극패턴과 제2서브 화소전극패턴은 상기 다수의 구동수단중 해당하는 하나의 구동수단에 의해 동시에 구동되는 분할된 화소전극을 구비한 평판표시장치를 제공한다.

상기 다수의 구동수단중 해당하는 하나의 구동수단은 하나의 화소를 구성하는 게이트라인의 일측에 배열된 화소영역의 제2서브 화소전극패턴과 게이트 라인의 타측에 배열된 화소영역의 제1서브 화소전극패턴중 하나에 연결된다.

상기 각 화소는 상기 제1서브 화소전극패턴과 제2서브 화소전극패턴을 포함하는 하부전극과; 상기 하부전극상에 형성된 유기막층과; 기판상에 형성된 캐소드전극인 상부전극을 포함하는 유기발광소자를 더 구비한다.

상기 구동수단은 적어도 상기 게이트라인에 제공되는 신호에 따라 상기 데이터라인으로부터 제공되는 데이터신호를 스위칭하기 위한 스위칭 박막 트랜지스터와; 상기 데이터신호를 저장하기 위한 캐패시터와; 상기 데이터신호에 상응하여 상기 유기전계 발광소자를 구동하기 위한 구동 박막 트랜지스터를 포함한다.

또한, 본 발명의 평판표시장치는 기판상에 배열된 다수의 게이트라인, 데이터라인 및 전원라인과; 상기 다수의 게이트라인, 데이터라인 및 전원라인에 의해 한정되고, 각각 제1 및 제2서브화소영역으로 분할되는 다수의 화소영역과; 제1 및 제2서브 화소영역에 각각 배열되는 제1 및 제2서브 화소전극패턴을 각각 구비하며, 게이트라인을 사이에 두고 이웃하는 2개의 화소영역중 하나의 화소영역의 제2서브 화소영역에 배열된 제2서브 화소전극패턴과 다른 화소영역의 제1서브 화소영역에 배열된 제1서브 화소전극패턴이 하나의 화소로 구성되는 다수의 화소전극과; 각각 상기 제1서브 화소전극패턴에 연결되는 박막 트랜지스터를 구비하고, 상기 다수의 화소전극을 각각 구동하기 위한 다수의 구동수단을 포함한다.

각 화소는 제1서브화소영역에 대응하는 기판상에 형성된 게이트 및 소오스/드레인 전극을 구비한 박막 트랜지스터와; 상기 제1서브화소영역에 대응하는 제1절연막상에 형성되어, 상기 소오스/드레인 전극중 하나의 전극에 연결되는 제1서브화소전극패턴과; 상기 제2서브 화소영역에 대응하는 제1절연막상에 형성되는 제2서브 화소전극패턴과; 상기 제1서브 화소전극패턴의 일부분을 노출시키는 제1개구부와 상기 제2서브화소전극패턴의 일부분을 노출시키는 제2개구부를 구비하는 제2절연막과; 상기 제1개구부내의 제1서브 화소전극패턴상에 형성된 제1유기막층 및 상기 제2개구부내의 제2서브화소전극패턴상에 형성된 제2유기막층과; 기판상에 형성된 상부전극을 구비한다.

하나의 화소영역에 배열되어 서로 다른 화소를 구성하는 제1 및 제2서브 화소전극패턴상에 형성된 제1유기막층 및 제2유기막층은 측벽형태의 제2절연막에 의해 서로 분리된다.

상기 게이트라인은 하나의 화소영역의 제2서브 화소영역과 다른 화소영역의 제1서브 화소영역사이의 기관상에 배열되고, 상기 하나의 화소를 구비하는 서로 다른 화소영역에 배열된 제1 및 제2서브 화소전극패턴은 게이트라인과 교차하는 연결 패턴에 의해 전기적으로 연결되며, 상기 연결패턴은 상기 제1 및 제2서브 화소전극패턴과 동일한 물질을 포함한다.

이하 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 2a는 본 발명의 실시예에 따른 유기전계 발광표시장치의 평면구조를 도시한 것이다.

도 2a를 참조하면, 본 발명의 유기전계 발광표시장치(200)는 다수의 게이트라인(211, 212, 213), 다수의 데이터라인(220) 및 다수의 전원라인(230)과, 상기 다수의 게이트라인(211, 212, 213), 다수의 데이터라인(220) 및 다수의 전원라인(230)에 의해 한정되는 다수의 화소영역(241, 242, 243)을 구비한다. 다수의 화소영역(241, 242, 243)은 각각 2개의 서브화소영역(241a, 241b), (242a, 242b), (243a, ...)으로 분할된다.

다수의 화소영역(241, 242, 243)에는 각각 애노드전극인 화소전극이 2개의 서브 화소전극 패턴(361a, 361b), (362a, 362b), (363a, ...)으로 분할되어 배열되는데, 화소영역(241)의 제1서브화소영역(241a)에는 제1서브 화소전극 패턴(361a)이 배열되고, 제2서브화소영역(241b)에는 제2서브 화소전극 패턴(361b)이 배열된다. 화소영역(242)의 제1서브화소영역(242a)에는 제1서브 화소전극 패턴(362a)이 배열되고, 제2서브화소영역(242b)에는 제2서브 화소전극 패턴(362b)이 배열된다. 화소영역(243)의 제1서브화소영역(243a)에는 제1서브 화소전극 패턴(363a)이 배열된다.

상기 다수의 화소영역(241, 242, 243)중 인접하는 2개의 화소영역사이에는 게이트라인(211, 212, 213)이 배열되는데, 2개의 인접한 화소영역(241, 242)사이에는 게이트라인(212)이 배열되고, 2개의 인접한 화소영역(242, 243)사이에는 게이트라인(213)이 배열된다.

즉, 하나의 게이트 라인을 사이에 두고 인접한 2개의 화소영역에 있어서, 게이트 라인을 사이에 두고 인접한 서브 화소영역에 하나의 화소가 배열된다. 따라서, 본 발명의 실시예에서는, 하나의 화소영역에 하나의 화소가 배열되는 것이 아니라 2개의 이웃하는 화소영역에 걸쳐 하나의 화소가 배열된다.

예를 들어, 게이트라인(212)의 경우, 상기 게이트라인(212)을 사이에 두고 2개의 화소영역(241), (242)가 배열되고, 2개의 화소영역(241), (242)의 서브 화소영역(241a, 241b), (242a, 242b)중 게이트 라인(212)을 사이에 두고 배열된 2개의 서브 화소영역(241b), (242a)에 하나의 화소(252)가 배열된다. 게이트 라인(213)의 경우, 2개의 화소영역(242), (243)의 서브 화소영역(242a, 242b), (243a, ...)중 게이트 라인(213)을 사이에 두고 배열된 2개의 서브 화소영역(242b), (243a)에 하나의 화소(253)가 배열된다.

하나의 게이트라인에 인접한 2개의 서브 화소영역에 배열된 서브 화소전극 패턴이 하나의 화소의 화소전극으로 작용한다. 즉, 게이트라인(212)에 인접하게 배열된 서브화소영역(241b), (242a)에 각각 서브 화소전극 패턴(361b), (362a)이 배열되고, 2개의 서브 화소전극 패턴(361b), (362a)은 연결패턴(362c)에 의해 연결되어 하나의 화소(252)의 화소전극으로 작용한다. 또한, 게이트라인(213)에 인접하게 배열된 서브화소영역(242b), (243a)에 각각 서브 화소전극 패턴(362b), (363a)이 배열되고, 2개의 화소전극 패턴(362b), (363a)은 연결패턴(363c)에 의해 연결되어 하나의 화소(253)의 화소전극으로 작용한다.

따라서, 게이트라인(212)을 사이에 두고 서로 다른 화소영역(241), (242)의 인접한 2개의 서브 화소영역(241b), (242a)에 배열된 2개의 서브 화소전극 패턴(361b, 362a)은 상기 연결패턴(362c)에 의해 서로 연결되고, 비어홀(355)을 통해 구동수단에 연결되어 구동된다. 또한, 게이트라인(213)을 사이에 두고 서로 다른 화소영역(242), (243)의 인접한 2개의 서브 화소영역(242b), (243a)에 배열된 2개의 서브 화소전극 패턴(362b, 363a)은 상기 연결패턴(363c)에 의해 서로 연결되고, 비어홀(355)을 통해 구동수단에 연결되어 구동된다.

도 2b는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 인접하는 2개의 화소영역에 배열되는 하나의 화소에 대한 평면도를 도시한 것으로서, 다수의 게이트라인중 하나의 게이트라인(212)을 사이에 두고 2개의 화소영역(241), (242)에 배열되는 하나의 화소(252)에 대한 평면구조를 도시한 것이다.

도 2b를 참조하면, 게이트라인(212)을 사이에 두고 2개의 화소영역(241), (242)가 배열되고, 각 화소영역(241), (242)은 2개의 서브 화소영역(241a, 241b), (242a, 242b)으로 분할되며, 게이트라인(212)을 사이에 두고 배열되는 2개의 다른 화소영역(241), (242)의 서브 화소영역(241a, 241b), (242a, 242b)중 게이트라인(212)을 사이에 두고 인접한 2개의 서브 화소영역(241b, 242a)에 하나의 화소(252)가 배열된다.

상기 화소는 스위칭 박막 트랜지스터(260) 및 구동 박막 트랜지스터(280)의 2개의 박막 트랜지스터와 하나의 캐패시터(270) 그리고 화소전극인 애노드전극(362)을 구비하는 유기전계 발광소자(EL)를 구비한다. 본 발명의 실시예에서는 상기 EL 소자를 구동하기 위한 박막 트랜지스터와 캐패시터는 서브 화소영역(241b, 242a)중 하나의 서브 화소영역(242a)에 배열되었으나, 다른 서브 화소영역(241b)에 배열될 수도 있다. 또한, 본 발명의 실시예에서는 각 화소가 EL소자를 구동하기 위하여 2개의 박막 트랜지스터와 캐패시터를 구비하였으나, 다양한 형태의 화소구조에 적용할 수 있다.

상기 화소전극(362)은 2개의 서브 화소전극 패턴(361b, 362a)을 구비한다. 서브 화소전극 패턴(361b), (362a)중 하나의 서브 화소전극 패턴(361b)은 게이트라인(212)을 사이에 두고 인접하게 배열되는 서브 화소영역(241b), (242a)중 서브 화소영역(241b)에 배열되고, 다른 하나의 서브 화소전극 패턴(362a)은 다른 서브 화소영역(242a)에 배열된다.

각각의 서브 화소영역(241b), (242a)에 배열되는 서브 화소 전극패턴(361b, 362a)은 게이트 라인(212)과 교차하는 연결 패턴(362c)에 의해 연결된다. 서브 화소전극 패턴(361b), (362a)은 각각의 개구부(371b), (372a)에 의해 일정부분만이 노출되어진다.

상기 스위칭 박막 트랜지스터(260)는 소오스/드레인영역(도면상에는 도시되지 않음)을 구비하는 반도체층(261)과, 게이트라인(212)에 연결되는 게이트전극(263)과, 상기 데이터라인(210)에 연결되는 소오스전극(265) 및 캐패시터(270)에 연결되는 드레인전극(267)을 구비한다. 상기 소오스/드레인 전극(265), (267)은 콘택홀(264), (266)을 통해 상기 반도체층(261)에 연결된다.

상기 캐패시터(270)는 콘택홀(268)을 통해 상기 스위칭 박막 트랜지스터(260)의 드레인 전극(267)에 연결되는 하부전극(271)과, 상기 하부전극(271)과 오버랩되어 상기 전원라인(230)에 연결되는 상부전극(275)을 구비한다.

상기 구동 박막 트랜지스터(280)는 소오스/드레인영역(도 2c의 311, 315) 및 채널영역(도 2c의 313)을 구비한 반도체층(310)과, 상기 캐패시터(270)의 하부전극(271)에 연결되는 게이트전극(325)과, 상기 전원라인(230)에 연결되는 소오스전극(341) 및 화소전극(362)에 비어홀(355)을 통해 연결되는 드레인전극(345)을 구비한다. 상기 소오스/드레인전극(341), (345)은 콘택홀(331), (335)을 통해 상기 반도체층(310)의 소오스/드레인 영역(311), (315)에 연결된다.

도 2c는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 하나의 화소에 대한 단면도를 도시한 것으로서, 게이트라인(212)을 사이에 두고 서로 인접하게 배열되는 서브 화소영역(241b, 242a)에 배열되는 하나의 화소(252)에 대한 단면도이다. 도 2c는 도 2b의 IIC-IIC 선에 따른 단면구조를 도시한 것으로서, 화소전극(362) 및 그에 연결되는 구동 박막 트랜지스터(280)의 단면구조를 도시한 것이다.

도 2c를 참조하면, 기판(300)의 버퍼층(305)중 서브화소영역(242a)에 대응하는 부분에 구동 박막 트랜지스터(280), 스위칭 박막 트랜지스터(260) 및 캐패시터(270)가 형성된다. 본 발명의 유기전계 발광표시장치(200)에 있어서, 구동 박막 트랜지스터(280), 스위칭 박막 트랜지스터(260) 및 캐패시터(270)의 배열구조 및 단면구조가 다양하게 적용될 수 있으며, 도 2c에는 화소전극에 연결되는 구동 박막 트랜지스터(280)의 단면구조만을 예시하였다.

기판(300)상에 버퍼층(305)을 형성하고, 상기 버퍼층(305)중 서브 화소영역(242a)에 대응하는 부분에 통상적인 방법으로 반도체층(310)을 형성한다. 상기 반도체층(310)과 버퍼층(305)상에 게이트 절연막(320)을 증착한다. 상기 게이트 절연막(320)상에 게이트 전극물질을 증착한 다음 패터닝하여 게이트(325) 및 게이트라인(212)을 형성한다.

게이트(325)를 형성한 다음 상기 반도체층(310)으로 소정 도전형, 예를 들어 p형 불순물을 이온주입하여 소오스/드레인 영역(311), (315)을 형성한다. 이때, 반도체층(310)중 소오스/드레인 영역(311), (315)사이의 부분은 박막 트랜지스터의 채널영역(313)으로 작용한다.

이어서, 게이트(325) 및 게이트라인(212)과 게이트 절연막(320)상에 층간 절연막(330)을 증착하고, 상기 층간 절연막(330)과 게이트 절연막(320)을 식각하여 상기 소오스/드레인 영역(311), (315)의 일부분을 노출시키는 콘택홀(331), (335)을 형성한다.

상기 콘택홀(331), (335)을 포함한 층간 절연막(330)상에 소오스/드레인 전극물질을 증착한 다음 패터닝하여, 상기 콘택홀(331), (335)을 통해 상기 소오스/드레인 영역(311), (315)에 연결되는 소오스/드레인 전극(341), (345)을 형성한다. 이때, 도면상에는 도시되지 않았으나, 도 2a 및 도 2b에 도시된 데이터라인(220)과 전원라인(230)이 형성된다.

기관상에 보호막(350)을 증착한 다음, 상기 소오스/드레인 전극(341), (345)중 드레인 전극(345)을 노출시키는 비어홀(355)을 형성한다. 상기 비어홀(355)을 포함한 보호막(350)상에 화소전극물질을 증착한 다음 패터닝하여 서브화소영역(241b), (242a)에 서브 화소전극 패턴(361b), (362a)을 각각 형성한다. 이때, 상기 서브 화소전극 패턴(361b), (362a)중 서브화소영역(242a)에 배열된 서브 화소전극 패턴(362a)은 비어홀(355)을 통해 상기 드레인 전극(345)에 연결된다. 상기 서브 화소전극 패턴(361b)은 연결패턴(362c)에 의해 상기 서브 화소전극 패턴(362a)에 연결된다.

기관상에 화소분리막(370)을 증착한 다음 패터닝하여, 각각의 서브 화소전극 패턴(361b), (362a)의 일부분이 노출시키는 개구부(371b), (372a)를 형성한다. 이어서, 도트형태의 미세 메탈마스크(도면상에는 도시되지 않음)를 이용하여 각 개구부(371b), (372a)를 통해 노출되는 서브 화소전극 패턴(361b), (362a)에 유기막층(381b), (382a)을 각각 증착한다. 그리고, 기관전면에 캐소드전극을 증착한다.

이때, 상기 서브 화소전극 패턴(362a), (362b)상에 유기막층(382a), (382b)을 형성할 때, 상기 유기막층(382a), (382b)은 하나의 도트마스크에 의해 증착되므로 격벽(370a)상에도 유기막층이 증착되어 유기막층(382a), (382b)이 서로 연결되어 지도록 형성된다. 하지만, 상기 2개의 서브 화소전극 패턴상에 공통적으로 형성된 유기막층(382a), (382b)의 발광층은 수평방향의 전도성이 작기 때문에 각각의 서브 화소전극 패턴(362a), (362b)에 대해서만 서로 독립적으로 구동된다.

하나의 화소영역(242)의 각 서브 화소영역(242a), (242b)에 배열된 서브 화소전극 패턴(362a), (362b)은 격벽형태의 화소분리막(370a)에 의해 서로 분리되어진다. 상기 유기막층(381b), (382a)은 발광층에 대해서만 도시되었으나, 정공주입층, 정공수송층, 유기 발광층, 전자수송층, 전자주입층 및 정공억제층으로부터 선택되는 유기막을 포함한다.

종래의 각 화소의 화소전극을 미세메탈 마스크의 각 도트를 대응시켜 유기발광층을 증착시키는 방법 대신에 본 발명에서는 각 화소의 화소전극이 2개의 서브 화소전극 패턴으로 분할 형성되므로, 각 서브 화소전극 패턴을 미세 메탈 마스크의 각 도트에 대응시켜 유기발광층을 증착시켜준다. 그러므로, 미세 메탈 마스크의 임의 하나의 도트에 이물질등이 부착되어 임의 화소의 유기발광층에 패턴불량이 발생하는 경우, 종래에는 하나의 화소가 암점으로 되거나 휘도저하를 초래하였다.

하지만, 본 발명에서는 하나의 화소가 2개의 서브 화소전극 패턴을 구비하고, 각각의 서브 화소전극 패턴에 대하여 미세 메탈 마스크의 도트를 각각 대응시켜 유기발광층을 증착하므로써, 서브 화소전극 패턴중 하나에 유기발광층의 패턴불량이 발생하더라도 나머지 하나의 서브 화소전극 패턴상에 증착되는 유기발광층이 정상적인 패턴형태를 가지므로, 화소의 암점 발생 또는 휘도저하를 방지할 수 있게 된다. 또한 본 발명에서는, 게이트 라인을 사이에 두고 서로 인접한 서브 화소영역을 하나의 화소영역으로 배열하는 방식을 채택하므로써 광이 발광되는 면적은 동일하지만 게이트라인을 사이에 두고 발광영역이 존재하게 되어 사람의 눈으로 인식되는 면적은 증대되어 시각을 향상시키는 효과를 갖을 수 있다.

본 발명의 실시예에서는 게이트라인을 사이에 두고 서브 화소영역이 인접하도록 화소영역을 분할하고, 게이트 라인을 사이에 두고 인접한 서브 화소영역에 배열되는 서브 화소전극 패턴을 하나의 화소로 구성하여 불량 및 휘도저하를 방지하고자 하였으나, 도 2a 및 도 2b에서 게이트라인, 데이터라인 및 전원라인의 배열상태를 변경하여, 즉, 게이트라인 및 전원라인이 나란하게 배열되고 데이터라인이 상기 게이트라인 및 전원라인과 교차하도록 배열하거나 또는 게이트라인 및 데이터라인을 나란하게 배열하고 전원라인을 상기 게이트라인 및 데이터라인과 나란하게 배열하므로써, 데이터 라인 또는 전원라인을 사이에 두고 서브화소영역이 인접하도록 화소영역을 분할하고, 데이터 라인 또는 전원라인을 사이에 두고 서로 인접한 서브 화소영역에 배열되는 서브 화소전극 패턴을 하나의 화소로 구성할 수도 있다.

또한, 본 발명은 각 화소의 화소전극이 2개의 서브 화소전극 패턴으로 분할구성하는 것을 예시하였으나, 각 화소의 화소전극을 다수개의 서브 화소전극 패턴으로 분할하고 다수의 서브 화소전극 패턴중 일부를 게이트 라인을 사이에 두고 인접한 서브 화소영역에 배열하여 줌으로써, 게이트 라인을 사이에 두고 인접한 서브 화소영역에 배열되는 다수의 서브 화소전극 패턴을 하나의 화소로 구성할 수도 있다.

예를 들어, 도 2a를 참조하면, 게이트라인(212)을 따라 다수개의 서브화소영역(241b)을 나란히 배열하고, 다수개의 서브 화소영역에 다수의 서브 화소전극 패턴을 각각 배열하여 게이트라인을 따라 나란히 배열한다. 또한, 게이트 라인(212)을 따라 서브화소영역(242a)을 나란히 배열하고, 다수개의 서브 화소영역에 다수의 서브 화소전극 패턴을 각각 배열하여 게

이트 라인을 따라 나란히 배열한다. 따라서, 게이트 라인을 사이에 두고 나란히 배열하여 다수의 서브 화소전극 패턴을 하나의 화소로 구성한다. 또한, 게이트라인을 따라 나란히 배열하지 않고 데이터라인을 따라 나란히 배열하거나 또는 매트릭스형태로 배열하여 하나의 화소를 구성할 수도 있다.

또한, 본 발명은 화소전극을 분할하여 분할된 화소전극을 동일한 구동수단으로 구동하는 유기전계 발광표시장치에 대하여 예시하였으나, 화소전극을 박막 트랜지스터 등을 이용하여 구동하는 액티브 매트릭스 액정표시장치와 같은 평판표시장치에도 적용가능하다.

발명의 효과

상기한 바와같은 본 발명의 실시예에 따르면, 각 화소전극을 다수의 전극패턴으로 분할하고, 게이트 라인을 사이에 두고 서로 인접한 서브 화소영역에 배열하여 하나의 화소로 구성하므로써, 발광층의 증착불량에 의한 암점불량 및 휘도저하를 방지할 수 있으며, 이에 따라 휘도 및 시감을 향상시킬 수 있는 이점이 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1a는 종래의 유기전계 발광표시장치의 평면구조도,

도 1b는 종래의 유기전계 발광표시장치에 있어서, 하나의 화소에 대한 평면구조도,

도 1c는 종래의 유기전계 발광표시장치에 있어서, 하나의 화소에 대한 단면구조도,

도 2a는 본 발명의 실시예에 따른 유기전계 발광표시장치의 평면구조도,

도 2b는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 하나의 화소에 대한 평면구조도,

도 2c는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 하나의 화소에 대한 단면구조도,

* 도면의 주요 부분에 대한 부호의 설명 *

200 : 유기전계 발광표시장치 211, 212, 213 : 게이트라인

220 : 데이터라인 230 : 전원라인

260, 280 : 박막 트랜지스터 270 : 캐패시터

241, 242, 243, 241a, 241b, 242a, 242b, 243a : 화소영역

251, 252, 253 : 화소 263, 325 : 게이트전극

265, 267, 341, 345 : 소오스/드레인 전극

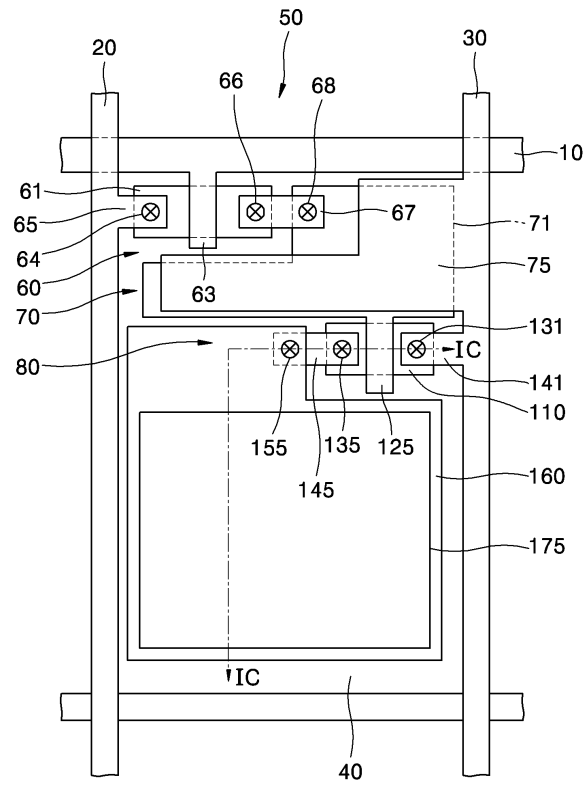
264, 266, 268, 331, 335 : 콘택홀 261, 310 : 반도체층

320 : 게이트 절연막 330 : 층간 절연막

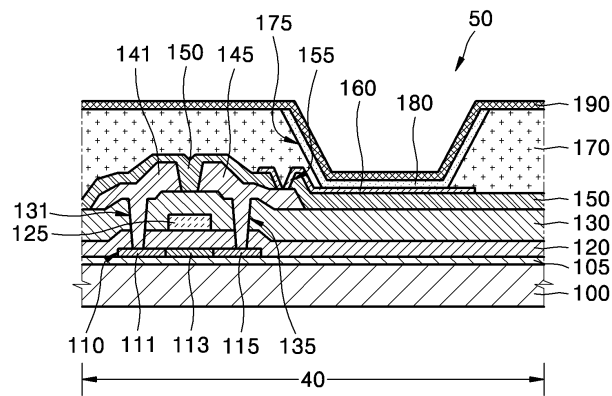
350 : 보호막 370 : 화소분리막

361a, 361b, 362a, 362b, 363a : 서브 화소전극 패턴

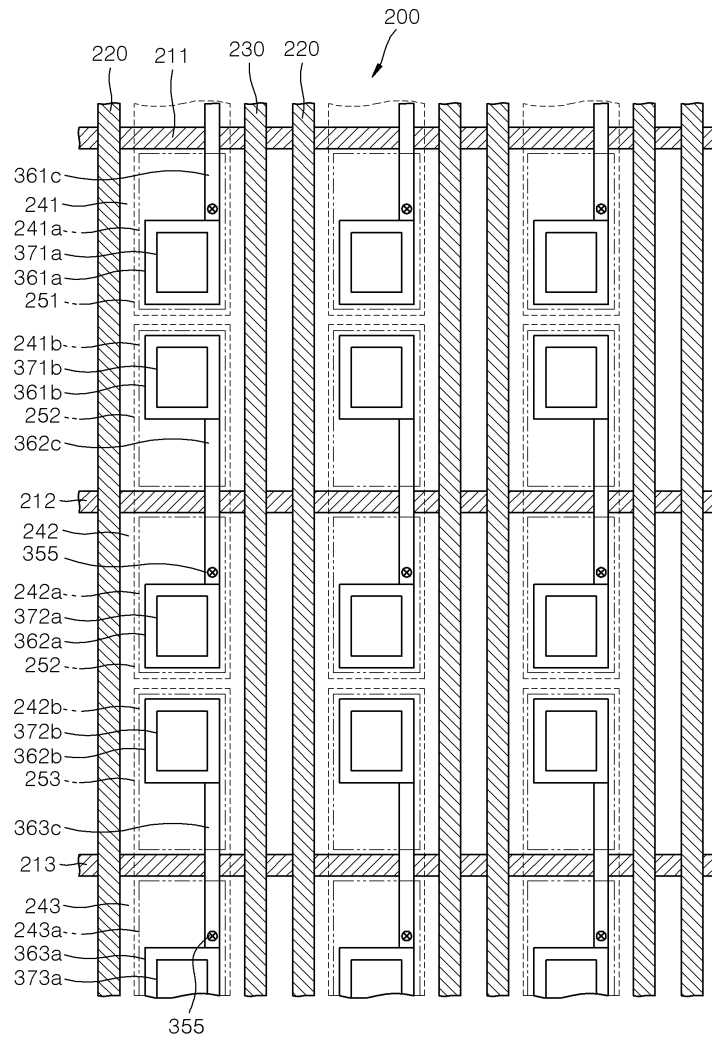
도면 1b



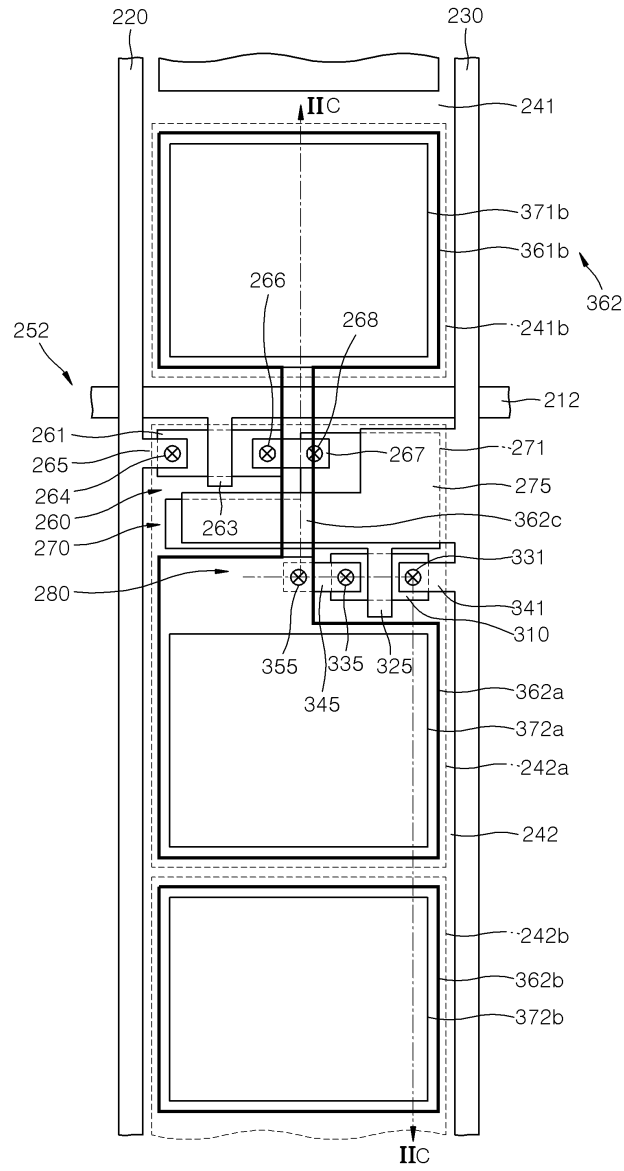
도면1c



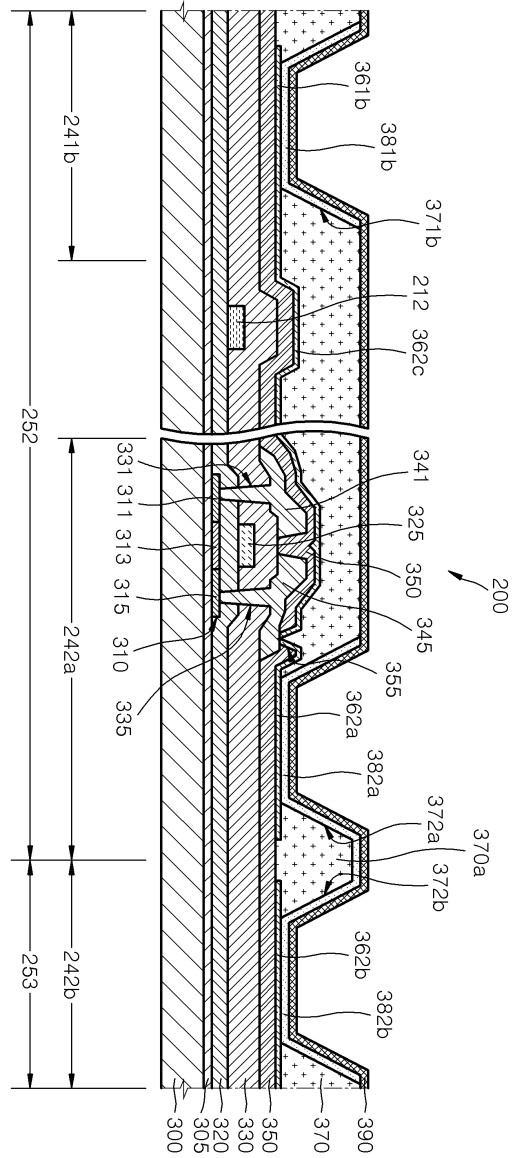
도면2a



도면2b



도면2c



专利名称(译)	一种有机发光显示装置，具有划分的像素电极		
公开(公告)号	KR100669728B1	公开(公告)日	2007-01-16
申请号	KR1020040075094	申请日	2004-09-20
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM EUNAH		
发明人	KIM,EUNAH		
IPC分类号	H05B33/26		
代理人(译)	李，杨HAE		
其他公开文献	KR1020060026243A		
外部链接	Espacenet		

摘要(译)

目的：提供一种具有分离像素电极的有机电致发光显示装置，用于将像素电极分成多个像素电极图案，并利用相对于栅线彼此相邻的像素电极图案配置像素，从而提高亮度和能见度。

