

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G09G 3/30		(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년11월08일 10-0526268 2005년10월28일
(21) 출원번호	10-2003-7008902	(65) 공개번호	10-2003-0066790
(22) 출원일자	2003년06월30일	(43) 공개일자	2003년08월09일
번역문 제출일자	2003년06월30일		
(86) 국제출원번호	PCT/GB2001/005736	(87) 국제공개번호	WO 2002/54373
국제출원일자	2001년12월21일	국제공개일자	2002년07월11일
(30) 우선권주장	09/754,489	2001년01월04일	미국(US)
(73) 특허권자	탐폴리 옵토일렉트로닉스 코포레이션 중화민국 타이완, 미아오-리 카운티, 추-난, 호신추 사이언스 파크, 케 중 로드, 12호		
(72) 발명자	샌포드, 제임스, 로렌스 미국뉴욕주12533, 호프웰정선, 폭스런2 쉴리그, 유진, 스튜어트 미국뉴욕주10589, 소머스, 버틀러힐로드13		
(74) 대리인	김진환 김두규		

심사관 : 천대식

(54) 저전력 유기발광다이오드 픽셀 회로

요약

픽셀 회로는 유기 발광다이오드(organic light emitting diode: OLED)와, 상기 OLED의 동작 상태를 나타내는 데이터를 저장하기 위한 정적 메모리를 포함한다. 대안적인 실시예에서, 픽셀 회로는 OLED를 제어하기 위한 상보금속산화물반도체(CMOS) 회로와, 상기 CMOS 회로를 과전압 조건으로부터 보호하기 위한 보호 회로와, 자신의 전압임계치보다 높은 정적 게이트-소스 전압을 갖는 전계효과트랜지스터(FET)를 구비한 전류원을 포함할 수 있다.

대표도

도 5

색인어

OLED, CMOS 회로, 보호 회로

명세서

기술분야

본 발명은 일반적으로 픽셀 회로에 관한 것으로, 더 구체적으로는 상보성 금속산화물 반도체(complementary metal oxide semiconductor: CMOS) 기술을 이용하는 저전력 유기발광다이오드(OLED: organic light emitting diode) 픽셀 회로에 관한 것이다.

배경기술

OLED 픽셀은 전류가 인가될 때 빛을 발하는 다양한 종류의 유기 물질중 하나를 이용할 수 있다. OLED 디스플레이는 어레이로 구성된 다수의 OLED 픽셀들을 포함한다.

OLED 픽셀의 조명도는 일정한 전류원 또는 일정한 전압원을 구비한 픽셀 회로에 의해 제어된다. 일반적으로, 일정한 전류원이 어레이의 픽셀들간에 좀더 나은 휘도 균일성을 제공한다고 인식되어 있다. 이는 전류에 대한 휘도의 종속성은 균일한 경향이 있는 반면에 임의의 전류에서 다수의 픽셀 OLED에 걸친 전압은 덜 균일한 경향이 있기 때문이다. 하워드(Howard) 등에 부여된 미국특허 제 6,023,259호는 OLED에 수동 매트릭스 구동 전류를 제공하는 전류 구동기를 설명하고 있다. 일반적인 디스플레이 밝기의 경우에, 수동 매트릭스 구동 동작은 OLED 전력 효율성이 낮아지는 결과를 가져오고, 깜박임을 방지하기 위해서는 60 Hz 이상의 리프레시율을 필요로 한다.

능동 매트릭스 디스플레이에서, 일반적으로 각각의 픽셀 회로 내에 픽셀 상태에 대한 저장이 이루어진다고 가정된다. 이는 각 픽셀 회로에 동적 RAM 셀의 균등물을 포함시킴으로써 쉽게 달성되는데, 이 회로에 상태가 커패시터에 걸친 전압값으로서 저장된다. 이러한 구성의 단점은 전압이 커패시터로부터 빠르게 빠져나가기 때문에 디스플레이상에 표시되는 이미지는 정기적으로 리프레시되어야만 한다는 것이다. 이러한 이미지 리프레싱 동작은 상당한 량의 전력을 소모시킨다. 따라서, 종래에 동적 RAM을 이용하는 것에 대한 대안을 찾는 것이 바람직하겠다.

"온(on)" 상태 픽셀의 휘도 조절은 픽셀에 인가되는 전압 또는 전류를 결정하는 아날로그 전압의 크기를 조절함으로써 흔히 달성된다. 아날로그 제어 회로는 또다른 과전력 손실의 원인이 된다. 따라서 종래에 아날로그 제어 회로를 이용하는 것에 대한 대안을 찾는 것이 바람직하겠다.

OLED 디스플레이는 유기물질의 박막층들로 구성되며, 각각의 OLED 픽셀들은 OLED의 애노드 및 OLED의 대응 전극사이에서 때때로 단락 회로로 되기 쉽다. 이러한 단락은 과도 전류가 회로내에 흐르게 하고, 픽셀에 걸친 과도 전압 및 과도 전압 소비의 원인이 될 수 있다. 단락된 픽셀에 이웃하는 양호한 픽셀들은 단락된 픽셀들로부터의 열에 의해 파괴될 수 있고 과도 전류는 전력 공급 전압을 변경시킬 수 있다.

OLED 디스플레이의 동작중에, 유기물질층들은 전하를 끌어들이는 경향이 있어서 OLED에 걸친 전압 강하를 증가시키며, 이로 인해 휘도의 불균일성을 야기하고 진한(burned-in) 이미지를 생성한다. 끌어들이는 전하는 OLED를 역-바이어싱함으로써 제거될 수 있다.

일반적으로, OLED 자체는 온 상태로 켜졌을때 적절한 휘도를 나타내고 역-바이어싱될때 끌어들이는 전하를 제거하기 위해 ± 6 볼트 정도의 전압을 필요로 한다. 전형적인 CMOS 집적 회로 기술은 4볼트보다 작은 전압으로 작동하는 트랜지스터를 이용한다. 따라서, CMOS 기술은 대개 OLED를 구동시키는 능력이 되지 않는다. 더욱이, OLED 픽셀 회로 내의 CMOS 디바이스는 4볼트를 초과하는 전압에 의해 특히 손상되기 쉽다.

디스플레이된 이미지를 변경하는 전통적인 방식은 프로세서가 디스플레이의 각각의 픽셀을 주기적으로 및 개별적으로 지정하는 디스플레이 제어기 메모리를 갱신하고 픽셀들을 필요시마다 온 및 오프시키는 것이다. 디스플레이에 수많은 픽셀들(예를 들면 십만개, 백만개 또는 그 이상)이 포함된다면, 이러한 동작은 엄청난 량의 전력을 소비하고 이는 프로세서에게 부담될 수 있다.

다수의 픽셀 회로들을 하나의 디스플레이로 조직하는데 있어서의 부가적인 문제점은 디스플레이의 집합적 요소들을 물리적으로 분산시키는 것이다. 즉, 디스플레이는 그 내부에 픽셀들 및 이에 부수하는 회로들이 들어지고, 또한 균일한 이미지를 제공하기 위해 픽셀들간의 일정한 피치(pitch)가 유지되어야 하는 유한 영역이다.

진술한 문제점들 때문에, OLED 디스플레이들은 수많은 다른 종래의 디스플레이 기술만큼 설계자에 의해 쉽게 채택되지 않았다. 동적 RAM 및 이미지 리프레싱에 필요한 대응 회로의 이용 및 전력 소비에 관련되는 이슈들은 배터리 작동 환경에

서, 그리고 휴대용 장치 또는 시계들에서 이용되는 것들과 같은 작은 디스플레이에 OLED를 채용하는 데 있어서의 장애요인들이다. OLED 동작 전압은 OLED 픽셀 회로내에 CMOS 기술을 이용하는 것의 장애요인이 된다. 어레이내의 모든 픽셀에 대한 정규 어드레스 지정은 넓은 디스플레이에 OLED를 채용하는 것의 장애요인이다. 픽셀들간의 일정한 피치 유지는 어떠한 디스플레이에서도 중요한 고려사항이다.

발명의 상세한 설명

본 발명의 제1 실시예에 따르면, 픽셀 회로는 OLED 및 OLED의 동작 상태를 나타내는 데이터를 저장하기 위한 정적 메모리를 포함한다.

본 발명의 제2 실시예에 따르면, 픽셀 회로는 OLED와, OLED를 제어하기 위한 CMOS 회로와, 과전압 상태에서부터 CMOS 회로를 보호하기 위한 보호 회로를 포함한다.

본 발명의 제3 실시예에 따르면, 픽셀 회로는 OLED와, OLED를 제어하기 위한 CMOS 회로를 포함한다. CMOS 회로는 전계효과트랜지스터(FET)를 이용하여 구성된 전류원을 포함하는데, FET는 FET의 임계전압보다 높은 소스전압에 대한 스택 게이트를 구비한다.

본 발명의 제4 실시예에 따르면, 디스플레이는 픽셀 회로 어레이를 포함한다. 픽셀 회로 각각은 OLED와 OLED의 동작 상태를 나타내는 데이터를 저장하기 위한 스택 메모리를 포함한다.

도면의 간단한 설명

본 발명은 이하의 첨부된 도면을 참조하며 예시적으로 설명될 것이다.

도 1a는 본 발명에 따른 OLED 구조물 어레이의 상부도면이다.

도 1b는 선 1B-1B따라 횡단된 도 1a의 어레이 측면도이다.

도 2는 각각의 워드가 16개의 픽셀들로 구성된 OLED 픽셀 워드 어레이 구조물의 블록도이다.

도 3은 OLED 픽셀 워드 회로의 실시예 블록도이다.

도 4는 본 발명에 따른 워드 선택 회로의 개략적인 논리 회로도이다.

도 5는 OLDE 픽셀 회로의 실시예의 단순화된 개략도이다.

도 6은 OLED 픽셀 회로의 좀더 상세한 개략도이다.

도 7은 OLED 어레이를 구동시키기 위한 디스플레이 및 제어 레지스터 클리어 접속에 관한 블록도이다.

도 8은 OLED 픽셀들의 각각의 애노드에 대한 픽셀 회로 및 워드 선택 회로의 물리적 관계를 도시한 OLED 픽셀 워드 구조물의 블록도이다.

실시예

본 발명의 바람직한 실시예에 따른 핵심요지는 능동형 매트릭스 OLED 디스플레이이다. 이러한 디스플레이는 마이크로-디스플레이로서 구성되며 전자손목시계와 같은 소형의 배터리 전력 장치들에 포함될 수 있다. 그러나, 이러한 특정 이용분야가 본 발명의 실시예를 제한하는 것으로 해석되어서는 안될 것이다.

도 1a는 OLED 구조물 (예, 화소(픽셀) 또는 발광소자) 어레이(100)의 상부도면을 도시한 것이고, 도 1b는 도 1a의 1B-1B 라인을 따라 절단된 어레이(100)의 측면도를 도시한 것이다. 어레이(100)의 각각의 OLED 구조물은 OLED와 OLED의 동작 상태를 나타내는 데이터를 저장하기 위한 정적 메모리를 포함하는 픽셀 회로를 구비하는 것으로 구성된다.

일반적으로, 어레이(100)는 직사각형의 $n \times m$ 픽셀 어레이로 간주되며, n 은 m 과 같거나 같지 않다.

어레이(100)는 다수의 OLED 구조물을 포함하고, 각각은 애노드 전극(105)을 갖는다. 애노드 전극(105)은 2차원으로 배열되어 평면 디스플레이를 형성한다. 도 1b에 도시된 측면도는 예를 들어 애노드 전극(105)이 패터닝된 실리콘 칩(101)상에 있는 어레이(100)의 수직 구조를 도시한다. 애노드 전극(105)아래에 OLED 광 또는 외부 광이 하부 회로에 도달하는 것을 방지하기 위한 광차단층(미도시)이 배치될 수 있다. 유기층(102) 및 투명한 캐소드 대응-전극층(103)이 애노드 전극(105)위에 배치된다.

투명 애노드를 구비한 몇몇의 OLED 디스플레이의 경우에, 관찰자는 애노드 전극(105)을 통해 OLED를 볼 수 있지만, 바람직한 실시예는 그의 캐소드 대응-전극층(103)을 통해 OLED를 보는 것에 관련된다. 이는 실리콘 기판(101)이 투명하지 않고 불투명하기 때문이다.

보호커버유리(104)가 캐소드 전극층(103)을 거쳐서 실리콘 칩(101)에 부착되어 OLED 구조물에 대한 환경적 보호를 제공한다. 또한, 수분 흡수를 위한 적당한 게터(getter)가 커버유리-실리콘 밀봉(seal) 내에, 어레이(100)의 경계 외부에 배치될 수 있다.

디스플레이를 어드레싱하는 능동매트릭스 방식에서, 픽셀의 상태, 즉, 픽셀이 온인가(즉, 빛을 발하는가), 오프인가(즉, 어두운가)를 나타내는 데이터가 동적 또는 정적 메모리 구조물에 기록되고 저장될 수 있다. 또한, 예를 들어, 메모리 구조물이 전기적 테스트를 위해 판독되도록 구성된다면, 저장된 데이터는 또한 메모리 구조물로부터 판독될 수 있다. 동적 메모리 어레이에서, 전력을 소비하는 동작으로 데이터가 커패시터상에 저장되고 주기적으로 리프레시되어야 한다. 정적 메모리에서는 데이터가 CMOS 회로로 구성된 전자래치에 저장되며, 이는 데이터 유지를 위해 어떠한 전력도 실질적으로는 소비되지 않는다. 본 발명의 바람직한 실시예에 따른 OLED 디스플레이 장치는 저전력 소비를 위해 정적 메모리를 이용한다.

본 발명에 따른 능동형 매트릭스 디스플레이에서 유기물질은 하부회로의 픽셀 전극들과 대응-전극들 사이에 샌드위치된다. 일반적으로, 픽셀 전극은 발광 다이오드의 애노드이며, 대응-전극은 캐소드이다. 디스플레이는 디스플레이될 이미지가 요구하는 바에 따라 온 상태 또는 오프 상태로 되는 직사각형 픽셀 어레이로 형성된다. 각각의 픽셀은 픽셀 애노드 전극과 대응 전극에 대하여 애노드의 전기적 상태를 제어하는 픽셀 회로를 구비한다.

픽셀 회로는 절연 기판상에 형성된 박막을 이용하여 구성되거나 집적 회로 기술, 바람직하게는 실리콘-기반 회로 기술을 이용하여 구성될 수 있다. 일반적으로, 픽셀 회로는 (1) 임의의 적합한 물질(예를 들면, 결정성 실리콘, 비결정 실리콘, 폴리실리콘, 마이크로 결정성 실리콘, 유기 반도체 또는 폴리머 반도체로 제조될 수 있으며, (2) 예를 들어, 실리콘, 유리, 플라스틱, 세라믹 또는

사파이어(Al_2O_3) 기판 상에 배치될 수 있다. 절연(유전체) 기판상의 박막 회로는 저비용의 장점을 가지며 큰 디스플레이로 제조될 수 있다. 일반적으로, 결정성 실리콘 디바이스의 이용은 작은 영역의 어레이에 국한되지만, 회로들은 박막 회로에 비해 높은 성능 및 높은 제조밀도를 갖는다. 본 발명에 따른 OLED 회로는 다양한 제조 기법을 이용하여 구현되는데 적합하지만, 결정성 실리콘 기술이 좀더 바람직하다. 실리콘 기판이 가시적인 광에 불투명하지만, 광 방출은 바람직하게는 대응-전극을 통해 이루어지며, 이는 인듐 주석 산화물과 같은 투명 전도성 물질로 이루어진 연속적인 쉬트로서 이루어진다. 예를 들어, 대응-전극 층(103)을 참조하기 바란다.

이하의 설명에서, 용어 "어레이"는 픽셀 어레이 뿐만 아니라 애노드 어레이를 일컫는다.

도 2는 본명세서에서 워드 구조물(205)이라 참조되는 다수의 데이터 저장 디바이스 또는 유닛을 포함하는 OLED 어레이(200)의 블록도이다. 각각의 워드 구조물(205)은, 예를 들어, 어레이(200)의 행을 따라 있는 16개의 픽셀에 대응하는 16개의 비트들로 이루어진 정적 랜덤 어레이 메모리(SRAM)이다. 이러한 실시예에서, 데이터는 어레이의 16개 비트로 한번에 기록되거나 이들로부터 한번에 판독된다.

각각의 워드 구조물(205)로의 입력은 칼럼블럭선택(204), 비트 라인(203), 워드라인판독(202) 및 워드라인기록(201)이다. 워드라인기록(201) 및 칼럼블럭선택(204)이, 예를 들어, 그들을 하이(high) 상태로 전환함으로써, 모두 활성화될 때, 비트 라인(203)으로부터 워드 구조물(205)로 데이터가 기록된다. 워드라인판독(202) 및 칼럼블럭선택(204) 모두가 활성화되면 워드 구조물(205)로부터 비트라인(203)으로 데이터가 판독된다. 워드라인기록(202) 및 워드라인판독(201) 라인 모두가 활성화된 경우에 대해서는 어떠한 동작도 정의되어 있지 않다.

각각의 칼럼블럭선택(204)은 어레이(200)의 칼럼(열)에 관련된 것이고, 각각의 워드라인기록(201) 및 워드라인판독(202)은 어레이(200)의 행에 관련된 것이다. 칼럼블럭선택(204), 워드라인기록(201) 및 워드라인판독(202)의 적절한 조합을 이용하여 데이터가 어레이(200)내의 임의의 워드 구조물(205)로부터 판독되거나 구조물(205)에 기록될 수 있다.

비트라인(203)의 전체개수는 어레이(200)내의 화소 칼럼 수에 대응한다. 각각의 워드 구조물(205)이 16개의 픽셀을 나타내기 때문에, 칼럼블럭선택(204)의 개수는 어레이(100)의 픽셀 칼럼 개수를 16으로 나눈값에 해당한다.

전형적으로, 종래의 SRAM은 상보 비트 라인, 즉, 비트당 2개의 라인을 이용한다. 본 발명은 픽셀 칼럼당 하나의 비트 라인을 이용하기 때문에 종래의 설계에 비해 전력 소비를 줄이게 된다. 예를 들어, 도 2에서, 데이터 비트 1-16을 나타내는 일단의 비트 라인들(203)은 16개의 단일 라인들로 구성된다.

시스템 관점에서 보면, 디스플레이의 메모리 셀로부터 데이터를 판독하는 것은 일반적으로 전력 소비가 높고 속도가 낮기 때문에 디스플레이 외부로부터 판독하는것보다 덜 효율적이다. 그러나, 디스플레이의 메모리 셀로부터 데이터를 판독하는 것은 디스플레이를 전기적으로 테스트할 때 유용하다. 그렇지만, 디스플레이로부터 판독하는 것보다 디스플레이에 기록하는데 중점을 둔다. 따라서, 펄스식 워드 라인 어드레싱, 비트 라인 등화 및 비트라인 센스 회로부와 같은 종래의 SRAM 설계는 필요치 않다.

도 3은 OLED 픽셀 워드 구조물(205)의 블록도이다. 워드 구조물(205)은 워드 선택 회로(300)와 16개의 픽셀 회로(400)를 포함한다. 워드선택회로(300)로의 입력은 칼럼블럭선택(204), 워드라인판독(202) 및 워드라인기록(201)이다. 워드선택회로(300)의 출력은 워드 판독(404) 및 워드 기록(405)이다. 픽셀 회로(400)에 대한 입력은 단일 비트라인(203), 워드 판독(404) 및 워드 기록(405)이다. 워드 판독(404) 및 워드 기록(405)은 각각 워드라인 판독(202) 및 워드라인기록(201)의 로컬 워드-선택 확장이다. 워드선택회로(300)는 예로써 픽셀 회로(400)의 왼쪽에 도시되어 있다.

도 4는 워드선택회로(300)의 로직 일부를 상세하게 도시한 것이다. 워드선택회로(300)는 두개의 AND 게이트 (500 및 501)를 포함한다. AND 게이트(500)에 대한 입력은 칼럼블럭선택(204) 및 워드라인판독(202)이다. 워드판독(404)은 AND 게이트(500)의 출력이다. 칼럼블럭선택(204) 및 워드라인판독(202) 모두가 하이(high), 즉, 활성이면, 워드판독(404)도 활성으로 된다.

AND 게이트(501)에 대한 입력은 칼럼블럭선택(204) 및 워드라인기록(201)이다. 워드 기록(405)은 AND 게이트(501)의 출력이다. 칼럼블럭선택(204) 및 워드라인기록(201) 모두가 하이(high), 즉, 활성이면, 워드기록(405)도 활성으로 된다.

도 5는 어레이(200) 내의 픽셀 회로(400)의 주요 기능 요소들에 대한 단순화된 개략도이다. 픽셀 회로(400)는 SRAM 셀(10), 전력 공급원 전압 V1에 연결된 전류원(20), 세 개의 스위치(30,40,50), 자신의 소스(64)에 연결된 n-웰, 즉, 부동(floating)-웰을 갖는 접지된 게이트 p형 금속산화물 반도체(PMOS) 트랜지스터(60)와, 전력공급전압 V2에 연결된 OLED(70)을 포함한다. 정상동작중에는 V1이 포지티브 전압이고 V2가 네거티브 전압이다.

SRAM 셀(10)에 대한 입력은 단일 비트라인(203), 워드판독(404) 및 워드 기록(405)이다. 비트 라인(203)은 SRAM 셀(10)로 데이터를 나타내는 신호를 입력하고 SARM 셀(10)로부터 데이터를 나타내는 신호를 출력하기 위한 단일의 비트 라인이다. SRAM 셀(10)의 출력은 비트라인(203) 및 제어라인(8)이다. 비트 라인(203)은 SRAM 셀(10)의 입력라인이자 출력라인이다. 제어라인(8)은 스위치(40)를 제어하기 위한 것이다. 비트라인(203) 및 워드 기록(405) 도무에 대해 하이 상태인 경우에, 하이 상태는 SRAM 셀(10)에 기록된다. SRAM 셀(10)이 하이 상태를 저장하면, 제어라인(8)은 스위치(40)를 닫는다. SRAM 셀(10)이 로우 상태를 저장하면, 제어라인(8)은 스위치(40)을 연다.

V1은 전류원(20)에 대한 전압을 제공한다. 전류원(20)은 OLED(70)의 선정된 최대의 밝기 수준에 대응하는 출력 전류를 산출한다.

OLED(70)을 통하는 평균 전류를 제어함으로써 OLED(70)의 휘도를 제어하는 것이 바람직하다. DUTY FACTOR NOT(6)은 어레이(200)내의 모든 픽셀들에 공통의 입력으로 제공되는 펄스폭변조 신호이다. DUTY FACTOR NOT(6) 이 낮은 상태이면 스위치(30)는 닫힌다. DUTY FACTOR NOT(6) 이 높은 상태이면 스위치(30)는 열린다. DUTY FACTOR NOT(6)은 OLED(70)을 통과하는 평균 전류를 제어하여 그의 휘도를 최대 밝기보다는 낮은 수준으로 설정한다.

REVERSEBIAS(7)는 어레이(200) 내의 모든 픽셀들에 공통되는 입력으로서 제공되는 신호이다. REVERSEBIAS(7)가 높은 상태이면 스위치(50)는 닫힌다. REVERSEBIAS(7)가 낮은 상태이면 스위치(50)는 열린다.

스위치(30 및 40)가 닫히고 스위치(50)가 열리면, 전류원(20)으로부터의 전류는 스위치(30 및 40)를 거쳐서 PMOS 트랜지스터(60)의 소스(64)로 흘러들어간다. PMOS 트랜지스터(60)는 캐스코드(cascode) 스테이지로서 동작하여, 공지된 바와 같이, 전류원(20)에 대해 보다 큰 전압 컴플라이언스 범위를 제공한다. PMOS 트랜지스터(60)의 드레인으로부터의 전류는 OLED로 흘러가서 OLED(70)를 온 상태로 만든다. 전압 컴플라이언스 범위는 출력 전류가 기본적으로 일정한 동안의 출력 전압 범위이다. 캐스코드 스테이지는 전압 게인을 제공함으로써 전압 컴플라이언스 범위를 향상시키는 공통 게이트 증폭기 스테이지이다.

전류가 PMOS 트랜지스터(60)를 통해 흐를 때, 그의 드레인(62) 및 소스(64)에 걸쳐서 비교적 낮은 전압(예, 대략 10 밀리볼트)을 갖는다. 전류가 흐르면, 소스(64)상의 전압이 접지값보다 높은 임계전압 최소값인 동안 드레인(62)상의 전압은 접지보다 수 볼트 높거나 낮을 수 있다. 임계 전압은 트랜지스터를 동작의 정상 수행 범위에 유지하게 위해 요구되는 전압을 게이트하기 위한 최소 소스값이다. PMOS 트랜지스터(60)의 소스에 전류가 흐르지 않을 때, 소스(64)상의 전압은 접지 이하로 가지 않는다.

OLED의 동작중에, 전하가 그의 유기층에 트래핑될 수 있다. 이는 소정의 전류가 흐르는데 필요한 OLED의 포워드 바이어스 전압을 증가시킨다. 트래핑된 전하는 주기적으로 또는 비정규적인 간격으로 OLED를 역바이어싱함으로써 제거될 수 있다.

OLED(70)은 스위치(30)를 개방함으로써 역-바이어싱되며, 따라서 전류원(20)으로부터 전류가 흐르는 것을 방해하고, 스위치(50)를 차단하고 V2를 네거티브 전압에서 포지티브 전압으로 전환시킨다. 스위치(50)를 차단하면 PMOS 트랜지스터(60)의 소스(64)와 n-웰이 접지된다. PMOS 트랜지스터(60)의 드레인(62)은 p-확산물이다. V2가 포지티브 전압으로 전환되면, 전류는 V2로부터 OLED(70)을 거쳐서 PMOS 트랜지스터(60) 및 스위치(50)으로 흐른다. PMOS 트랜지스터(60) 및 닫힌 스위치(50)를 통해, OLED(70)의 애노드(72)는 접지위의 하나의 다이오드 전압 드롭(one diode voltage drop above ground)에서 유지된다. OLED(70)을 걸치는 역-바이어스(reverse-bias) 전압은 하나의 다이오드 드롭을 뺀 V2의 포지티브 전압이다.

OLED의 역-바이어싱은 빈번한 간격으로 수행될 필요가 없다. 대신에, 비정규적 간격으로 수행되거나 디스플레이가 보이지 않을 때 수행될 수 있다. 예를 들어, 손목시계 디스플레이에서, OLED는 낮중에는 정상의 포워드 바이어스 방식으로 구동되다가, 밤에 디스플레이상의 이미지가 오프일 때, OLED 전압이 역-바이어스될 수 있다. 또다른 예로서, OLED가 오프 상태로 될 때, 이는 펄스폭변조 밝기 제어 사이클중에 역-바이어스될 수 있다.

도 6은 도 5의 픽셀 회로의 상세사항을 도시한다. 이 예에서, V1은 +3V로 설정되고 V2는 -5V로 설정된다.

SRAM 셀(10)은 n-형 금속산화물반도체(NMOS) 트랜지스터(11, 15)와 인버터(12, 13, 14)를 포함한다. 기록동작의 경우에, 워드 입력(405)상의 하이 상태는 NMOS 트랜지스터(11)이 비트 라인(203)상의 로직 상태를 인버터(12)의 입력에 연결시키도록 만든다.

인버터(12)의 출력은 그 입력의 인버스이다. 인버터(12)의 출력은 인버터(13)의 입력 및 인버터(14)의 입력에 연결되며, 또한 제어 라인(8)에 대한 신호를 제공한다.

인버터(13)의 출력은 인버터(12)의 입력에 연결된다. 인버터(12)는 턴온된 NMOS 트랜지스터(11)에 의한 비트 라인(203)으로부터 또는 인버터(13)의 출력으로부터 입력을 수신한다. NMOS 트랜지스터(11)의 구동 전류는 부분적으로는 채널폭 대 채널 길이의 비율에 의해 결정된다. 인버터(12) 및 NMOS 트랜지스터(11)의 구동 전류는 인버터(13)의 구동 전류에 비해, 예를 들어, 약 10배정도 세다. 따라서, 비트라인(203)으로부터 턴온된 NMOS 트랜지스터(11)를 경유하여 인버터(12)로의 입력은 SRAM 셀(10)의 상태를 결정한다. NMOS 트랜지스터(11)를 통한 데이터 레벨은 인버터(12)의 상태를 설정하고, 인버터(13)는 피드백, 즉, 인버터(12)로의 래치 신호를 제공하여 NMOS 트랜지스터(11)의 데이터 레벨이 제거된 이후에 상태를 유지한다. 따라서, NMOS 트랜지스터(11) 및 인버터(12, 13)는 데이터 래치를 포함한다.

PMOS 트랜지스터(40a)는 (도 5의) 스위치(40)의 역할을 제공한다. 인버터(12)의 출력으로부터 제어 라인(8)은 PMOS 트랜지스터(40a)의 게이트에 연결된다.

SRAM 셀(10)로부터 데이터를 판독하기 위해, 워드 판독(404)은 하이로 설정되어 NMOS 트랜지스터(15)가 인버터(14)의 출력을 비트 라인(3)에 결합시키도록 한다. 인버터(12) 및 인버터(14)의 반전을 통해, SRAM 셀(10)로부터 판독된 데이터의 극성은 이전에 SRAM 셀(10)에 기록된 것과 동일하다.

SRAM 셀(10)은 인버터(14)를 제거함으로써 단순화될 수 있으며 인버터(12)의 출력을 NMOS 트랜지스터(15)에 직접 연결시킨다. 이러한 경우에, SRAM 셀(10)로부터 판독된 데이터는 이전에 SRAM 셀(10)에 기록된 것의 반전이지만, 이는 비트 라인 판독 회로(미도시)에서 다시 반전될 수 있다. 인버터(14)는 픽셀 회로(400)를 비트라인(203)의 노이즈 및 판독 동작중의 비트 라인(203)에 의한 커패시턴스 로딩으로부터 격리시킨다는 점에서, 인버터(14)가 포함되는 것이 바람직하겠

다.

PMOS 트랜지스터(20a)는 (도 5의) 전류원(20)으로서 역할을 수행한다. VREF(21)는 PMOS 트랜지스터(20a)의 게이트에 연결되며, 어레이(200)의 다른 픽셀 회로 모두의 유사한 위치의 PMOS 트랜지스터에 또한 연결된다.

예를 들어, 종래에 언급한 광차단층은 V1의 +3V 전력을 분산시키는데 이용될 수 있다. 광차단층, 전도층은 어레이 전체에 걸쳐서 분산되고 연결되어 V1 전력 분산을 위한 저-저항을 제공한다. 이러한 방식에서, 광-차단층은 두가지 기능, 즉, 광차단 및 전력 분산을 수행한다.

PMOS 트랜지스터(20a)는 채널폭(W)과, 채널길이(L)와, 어레이 전체에 걸쳐서 픽셀들의 OLED(70)를 통하는 전류의 비균일성에 대해 임계 전압(V_T) 및 채널폭 변이에 따른 효과를 최소화시키기 위해 영역 제한($\sim W \times L$)내에서 최적화된 소스 전압(V_{gs})에 대한 게이트를 갖는 전계효과 트랜지스터이다. 채널 길이는 게이트 전도체에 의해 형성되는 드레인 및 소스 확산의 분리에 의해 결정된다. 채널폭은 게이트 컨덕터를 따라 존재하는 드레인 또는 소스의 치수이다. 포화상태에서,

$$(|V_{ds}| > |V_{gs} - V_T|),$$

드레인 전류는 다음에 비례한다.

$$(W/L) (V_{gs} - V_T)^2,$$

여기서, V_{ds} 는 드레인-소스 전압이다. VREF 21 전압은 V1과 관련하여 설정되고 OLED(70)의 소정의 측정된 최대 밝기를 얻기 위해 조정됨으로 인하여, 디스플레이의 총체적인 최대 밝기에 대한 전류소스 파라미터 및 OLED 효율성 영향을 제거한다.

PMOS 트랜지스터(20a)의 예시적인 구현에서, 채널길이는 $2\mu m$ (79.12 미크론)이고 채널폭은 67nm(2.64 미크론)이며, PMOS 트랜지스터(20a)의 게이트-소스 전압은 명목상 -1.1V이다. PMOS 트랜지스터(20a)는 -0.6V의 임계전압을 갖고, 소스-드레인 전압이 0.5보다 높은 한, 포화 상태로 남는다 (즉, 일정한 전류를 산출한다). PMOS 트랜지스터(20a)의 정적인 소스-게이트 전압은 그의 임계 전압보다 크다. 즉, OLED(70)을 구동하기 위해 단지 0.5V의 오버헤드 전압이 필요하다. 이와 관련하여, 이 디자인은 전력면에서 매우 효율적이다. 이러한 구현으로, 디스플레이에 걸친 픽셀에서 PMOS 트랜지스터(20a)의 전류 변이는 1.05:1보다 작다.

PMOS 트랜지스터(30a)는 (도 5의) 스위치(30) 역할을 수행하며, NMOS 트랜지스터(50a)는 (도 5의) 스위치(50) 역할을 수행한다. 부품들의 이러한 구성은 도 5에 도시된 DUTY FACTOR NOT(6) 및 REVERSE BIAS(7)이 단일의 REVERSE BIAS/DUTY FACTOR NOT(9) 신호로 결합되도록 해준다. REVERSE BIAS/DUTY FACTOR NOT(9) 신호는 어레이(200)의 모든 픽셀들에 공통의 입력이다.

OLED(70)의 정상 포워드 바이어스 동작에서, REVERSE BIAS/DUTY FACTOR NOT(9) 신호는 PMOS 트랜지스터(30a)를 신속하게 턴온시키거나 오프시키도록 충격계수 변조되어(duty factor modulated), OLED(70)의 전류를 충격계수 변조한다. 이러한 디지털 방식으로 OLED(70)의 밝기를 제어하는 것은 아날로그 전압에 의해 제어하는 것에 비해 더 균일하다. PMOS 트랜지스터(30a)가 턴오프될 때 NMOS 트랜지스터(50a)는 REVERSE BIAS/DUTY FACTOR NOT(9) 신호에 의해 턴온되어 트랜지스터(20a, 30a, 40a, 50a 및 60)의 기생 커패시턴스를 방전시킴으로써 펄스폭 변조를 선형화하는 것을 돕는다. 방전되지 않는다면, 기생 와이어링(wiring), 드레인-기판, 소스-기판 및 FET 전극간 커패시턴스는

PMOS 트랜지스터(30a)가 오프로 되어 있는 짧은 기간동안 전류가 OLED로 계속적으로 흘러들어가게 할 수 있다. 기생 커패시턴스는 PMOS 트랜지스터(60)의 소스(64) 전압을 높게 유지하는 경향이 있어서, PMOS 트랜지스터(60)로 하여금 소스(64)가 방전될 때까지 계속적으로 전도하도록 허용한다.

CMOS 회로는 그의 브레이크다운 전압 (일반적으로, 3.6V)을 초과하는 전압에 노출되면 손상을 입기 쉽다. 또한, 섭씨 100도보다 높은 온도 조건에서는 유기층들의 수명이 심각하게 단축된다. OLED가 애노드 및 캐소드사이에서 단락된다면, 초과 전류는 단락된 OLED의 픽셀 회로로 흘러갈 수 있다. 이러한 전류는 열을 발생시켜서 인접 픽셀에 손상을 줄 수 있으며, 디스플레이내의 다른 픽셀들에 공급되는 전압들과 간섭을 일으킬 수도 있다.

따라서, 픽셀 회로(400)는 PMOS 트랜지스터(81, 82 및 83)와 저항기(84)를 포함하는 보호 회로를 포함한다. 정상동작 동안에, 픽셀이 오프 상태이면, OLED(70)를 거치는 전압 강하가 감소되어 PMOS 트랜지스터(60)의 드레인(62)에서의 전압이 더 네거티브로 된다. PMOS 트랜지스터들(81, 82, 83) 각각은 대략 1V씩 떨어뜨려서, PMOS 트랜지스터(60)의 소스(64)에서의 전압은 접지보다 더 네거티브의 약 3V로 제한된다. 즉, PMOS 트랜지스터들(81,82,83)은 네거티브 (-3V) 전압 클램프를 제공하여 PMOS 트랜지스터(60)의 게이트-드레인 전압이 그의 브레이크다운 전압 3.6V를 초과하지 않도록 보장한다. PMOS 트랜지스터(60)의 드레인(62)에서의 전압을 제한함으로써, 보호 회로는 픽셀 회로(400)의 다른 부품들로 흘러들어가갈 수 있는 전류를 효과적으로 제한한다. OLED(70)이 온 상태이면, 드레인(62)에서의 전압은 접지 위의 약 1.75V이다. PMOS 트랜지스터들(81,82,83)은 OLED(70)이 온 상태일때는 아무런 영향도 없다.

OLED(70)이 단락되는 경우에, 저항기(84)는 흐를 수 있는 전류 및 소비될 수 있는 전력을 제한한다. PMOS 트랜지스터들(81, 82, 83)은 PMOS 트랜지스터(60)의 드레인(62)에서의 전압을 약 -3 V로 계속 클램핑하고, 임의의 초과 전압은 저항기(84)를 거쳐서 떨어진다. 바람직한 실시예에서, 저항기(84)는 4000의 옴 저항을 갖는 비도핑된 폴리실리콘으로 제조된다.

또한, PMOS 트랜지스터(81,82, 83) 및 저항기(84)는 OLED(70)의 테스트를 허용하며, 어레이(200) 내의 모든 OLED 픽셀들의 유사한 위치에 있는 부품 전체에 걸쳐서 허용한다. 이는 V2를 네거티브 전압, 예를 들어, 접지에 대하여 -7V로 설정하고 V1이 플로팅(floating)하도록 허용하거나 접지로 설정함으로써 이루어진다. 이러한 구성에 따르면, 전류 경로가 접지로부터 PMOS 트랜지스터(81, 82, 83), 저항기(84), OLED(70)을 거쳐서 V2로 생성된다. PMOS 트랜지스터(81, 82, 83) 각각은 약 0.7V정도 하강한다. OLED(70)은 포워드 바이어스되며, 그것이 양호하다면, 그것은 턴온된다. 예를 들어, 이러한 테스트는 OLED 배치 및 디스플레이의 이후 조립 이전의 봉합후에 결함을 찾아내는데 유용하다.

상기에서 언급한 전력 절약을 위한 기술에 부가하여, 이미지가 디스플레이에 기록되는 방식을 조절함으로써 전력이 또한 절약될 수 있다. 예를 들어, 디스플레이 전력 소비는 픽셀의 밝기 및 온 상태의 픽셀 개수에 비례하므로, 픽셀의 밝기 및 온 상태의 픽셀 수를 줄이는 전략은 전력의 절약을 가져올 것이다.

예를 들어, 어레이(200)이 손목시계용 디스플레이에 설치된다면, 시계바늘로 표시되는 시간을 보여주는데 요구되는 픽셀 개수는 전체 개수의 1-2% 사이이다. 글씨를 위한 일반적인 스크린은 픽셀의 20 % 정도를 턴온시킬 것이다. 이미지는 픽셀의 50 %의 휘도를 필요로 한다.

흑백 이미지는 프레임 순차 동작에 대비되게 공간적 디터링(dithering)에 의해 생성되므로, 프레임 순차 동작에서 요구되는 것과 같이 디스플레이에 신속하게 기록하기 위해 요구되는 전력을 줄인다.

온 상태의 픽셀 개수는 일반적으로 50%보다 작으므로, 디스플레이에 새로운 데이터를 기록하기 이전에 한번의 동작으로 디스플레이를 지우고 픽셀을 턴온시키는 워드 구조물에 기록함으로써 전력이 절약될 수 있다. 전체 디스플레이는 어레이 외부의 비트 라인 및 워드 라인 구동 회로를 이용하여 지워질 수 있다. 모든 워드 라인 기록(201) 및 칼럼 블럭 선택(204)이 하이로 되고 모든 비트 라인(203)의 데이터 상태가 로우이면, 어레이(200)내의 모든 SRAM 셀(10)로 로우 레벨 데이터가 기록되어 디스플레이 내의 모든 픽셀들을 오프시킨다. 손목시계의 경우에, 이러한 기능 제어는 디스플레이를 갱신하기 이전에 시계 프로세서에 의해 발송된다. 그런 후에, 새롭게 디스플레이되는 스크린에서 온 상태로 될 필요가 있는 픽셀들에만 데이터가 기록된다.

일반적으로, 시계 디스플레이는 시간의 99% 동안 시간을 디스플레이하고 시간을 나타내는 시계 바늘은 높은 콘트라스트를 필요로 하지 않기 때문에, 시간을 보여줄때의 밝기는 비교적 낮은 휘도 레벨, 예를 들어, 약 30 칸델라/제곱미터로 줄어 들 수 있다. 이러한 휘도는 밤시간 이용 및 실내 주위 밝기 레벨에서 낮은 콘트라스트 어플리케이션에 대해서도 충분해야 할 것이다. 실내 주의 조건에서 글씨 및 이미지를 위해서는 100 칸델라/제곱 미터가 충분할 것이다. 밝은 태양광 조건에서만 사용한다면 500 칸델라/제곱 미터의 휘도 레벨을 필요로 할 것이다.

시계 시스템의 대기 기능중에 전력을 절약하기 위해, REVERSE BIAS/DUTY FACTOR NOT(9)는 하이 상태에 있어야 한다. 부가하여, V2에서 디스플레이로의 연결은 OLED 단락으로 인한 오프 상태 OLED 전류 또는 전류들을 제거하기 위해 개방되어야 한다. 따라서, V1과 V2간의 전류 경로는 절단되어 어떠한 전류도 픽셀 회로(400)을 흐르지 않는다.

또한, SRAM 셀(10)의 대기 전류 드로우(draw)는 V1의 전압이 줄어든다면 줄어든 수 있으나, 디스플레이가 데이터를 잃어버릴 만큼 낮게는 설정되지 않는다. 공급 전압을 낮추면 인버터(12,13,14)를 통하는 누설 전류가 줄어들고, 이에 따라 대기 전력을 낮출 수 있다. 손목시계 어플리케이션에서, 대기 제어는 시계 프로세서에 의해 제공된다.

DUTY FACTOR NOT(6), REVERSE BIAS(7), 대기(standby) 및 지우기(clear)에 관한 제어 신호들은 이하에서 설명하는 바와 같이 어레이(200)의 일부가 아니라 그 외부에 존재하는, 디스플레이 제어 레지스터를 형성하는 SRAM 워드 구조물에 기록될 수 있다. 이러한 방식에서, 디스플레이 제어 신호들은 디스플레이의 일부이며 시계의 다른 곳에 위치하지 않으므로, 디스플레이로의 전용 신호라인 개수를 감소시킨다.

제어 레지스터의 한가지 기능은 디스플레이를 "지우는" 것, 즉, 한번의 동작으로 모든 픽셀을 오프시키는 것이다. 즉, 디스플레이의 모든 개별 픽셀들을 어드레싱하지 않고서도 디스플레이된 이미지를 지우는 것이다. 이는 프로세서가 새로운 이미지에서 온상태로 될 픽셀들에만 기록할 필요가 있도록 행해지므로, 디스플레이의 모든 픽셀에 기록하는 것에 비해 전력 소비 및 프로세서상의 부담을 줄여준다.

도 7은 어레이(200)로의 기록 및 어레이로부터의 판독에 관련된 디스플레이의 기능 블록들과 디스플레이 제어 레지스터(705)와 지우기 동작을 위한 제어 흐름을 도시한다. 프로세서(미도시)는 지움 기능에 전용된 하나의 비트를 포함하는 디스플레이 제어 레지스터(705)에 워드를 기록한다. 도 7에 도시된 예시적인 실시예에서, 워드는 16개의 비트를 갖는다.

동작에 있어서, 프로세서는 어드레스, 판독/기록 신호, 칩선택신호 및 디스플레이될 이미지 데이터를 전송한다. 수신된 각각의 어드레스 및 데이터 워드에 대하여, 칼럼블럭디코더(701)에 의해 하나의 칼럼선택라인(204, 도 2)이 활성화되고, 워드라인디코더(702)에 의해 하나의 워드라인 판독(202, 도 2) 또는 하나의 워드라인 기록(201, 도 2)이 활성화되며, 비트라인 판독/기록 구동기(703)에 의해 적절한 비트라인(203, 도 2)이 선택된다. 지우기 동작이 수행될 예정라면, 디스플레이 제어 레지스터(705)가 칼럼블럭디코더(701) 및 워드라인디코더(702)에 의해 기록을 위해 어드레싱되고, 지우기를 위한 데이터 비트가 비트 라인 판독/기록 구동기(703)에 인가되고 디스플레이 제어 레지스터(705)에 저장된다. 디스플레이 제어 레지스터(705)의 지우기 라인 출력(704)이 활성화되어, 지우기 신호를 칼럼블럭디코더(701), 워드라인디코더(702) 및 비트라인 판독/기록 구동기(703)에 인가하여, 어레이(200)의 모든 픽셀들에 동시에 "0"이 기록되도록 하여, 모든 OLED들을 턴오프시킨다.

디스플레이는 디스플레이에 워드 형태로 이미지 데이터를 전송하는 마이크로프로세서의 메모리 확장 버스에 의해 어드레싱되도록 설계된다. 워드 각각은 한번에 여러개의 픽셀들에 대한 데이터를 포함하며, 예를 들어, 한번에 16개 픽셀들에 대한 데이터를 포함한다. 또한, 디스플레이의 SRAM 저장소로부터, 예를 들어, 테스트 목적으로, 한번에 하나의 워드씩 데이터가 판독될 수 있다. 이를 돕기 위해, 워드 선택 회로가 디스플레이내에 구현될 수 있는데, 예를 들어, 16개 픽셀들의 모든 수평 그룹에 대해 이러한 회로가 구현될 수 있다. 이는 균일한 또는 일정한 픽셀 피치를 유지하기 위해, 픽셀 회로들과 실제 픽셀들간의 주기적인 접속 쉬프팅을 필요로 한다.

도 8은 OLED 픽셀들의 각각의 애노드에 대하여 픽셀 회로(400)와 워드선택회로(300)의 물리적 관계를 도시한 OLED 픽셀 워드구조물(205)의 블록도이다. 워드 구조물(205)은 16개의 픽셀 회로들(400)로 이루어지며 하나의 워드 선택 회로(300)가 어레이(200)의 행을 따라 배치되어 있다. 16개의 OLED 애노드 전극(105)들은 워드 구조물(205)을 덮으며, 각각의 애노드는 전도성 비아(802)에 의해 대응 픽셀 회로(400)의 금속 전도체(801)에 연결된다. 비아(802) 및 전도체(801)는 픽셀 회로(400)로부터 애노드(105)로의 전도 경로, 즉, 도 6의 저장기(84)로부터 OLED(70)으로의 접속의 일부이다. 도 8에서는 명료성을 위해 애노드 전극(105)과 픽셀 회로(400)가 인접한 것으로 도시되어 있으나, 실제로는 적어도 일부가 서로 겹쳐진다는 것은 명백하다. 도 8의 예에서, 픽셀 회로(400)의 평균 행-방향 치수 및 애노드 전극(105)의 피치는 871 nm(34.3 미크론)이며, 워드선택회로(300)의 행방향 피치는 203 nm(8 미크론)이다. 16개의 픽셀 회로(400)들과 하나의 워드선택회로(300)가 16개의 애노드 전극(105)과 동일한 수평적 공간을 차지하기 위해서, 애노드 전극(105)에 비하여, 각 픽셀 회로(400)의 행방향 치수는 12.7nm(0.5 미크론) 만큼, 즉, 871 nm(34.3 미크론)에서 859nm(33.8 미크론)로 줄어든다. 바람직하게, 비아(802)는 각 애노드 전극(105)의 중심에 있거나, 적어도 각각의 애노드 전극(105)상에서 상대적으로 동일한 위치에 있어야 한다. 이를 달성하기 위해서는, 각각의 픽셀 회로(400)의 전도체(801)의 행방향 치수가 비아(802)의 이동 위치를 수용할 만큼 충분하여야 한다. 그 결과, OLED 애노드들이 접속되는 픽셀 회로들의 피치가 균일하지 않더라도 OLED 애노드들의 피치는 어레이 전체에 걸쳐서 균일하게 된다.

요약하면, 본 발명의 픽셀 회로는 종래기술에 비하여 다수의 장점을 제공한다. 예를 들어, CMOS 회로들이 능동 매트릭스 OLED 디스플레이의 각각의 픽셀내에 포함된다. 상기 회로는 배터리 작동을 위해 저전력 소비를 제공하고, 밝기의 균일성 및 OLED 특성에 대한 밝기 의존도 감소를 위해 일정한 전류원을 포함시키며, OLED가 작동을 위해 필요로 하는 전압보다 낮은 전압 회로기술의 이용을 허용한다. 각각의 픽셀은 픽셀의 온/오프 상태를 제어하기 위해 SARM 메모리 셀을 포함하며, 이는 주기적인 리프레싱을 필요로 하지 않는다. 또한, 이 회로는 시간 경과에 따른 OLED의 약화를 최소화시키기 위해 요구될 때 역전압 인가를 제공하고, 휘도의 충격계수 제어를 제공하며, 단락된 픽셀들의 영향을 단절시키기 위해 전류제한 저항기를 제공한다. 디스플레이는 여러 픽셀 길이의 워드 형태로 마이크로프로세서의 메모리 확장 버스에 의해 어드레싱되며, 디스플레이 데이터는 동일한 형태로 판독될 수 있다. 워드 어드레스를 디코딩하기 위한 회로가 디스플레이를 형성하는 픽셀 어레이내에 구현된다. 더욱이, 한번의 동작으로 디스플레이를 지울 수 있는 기능을 제공함으로써, 턴온되는 픽셀들만을 어드레싱함으로써 새로운 이미지가 디스플레이 될 수 있도록 해준다.

(57) 청구의 범위

청구항 1.

픽셀 회로에 있어서,

유기 발광다이오드(organic light emitting diode: OLED)와,

상기 OLED의 동작 상태를 나타내는 데이터를 저장하기 위한 정적 메모리

를 포함하는 픽셀 회로.

청구항 2.

제1항에 있어서, 상기 데이터를 나타내는 신호를 상기 정적 메모리에 입력하고 상기 정적 메모리로부터 상기 데이터를 나타내는 신호를 출력하기 위한 단일의 비트라인을 더 포함하는 픽셀 회로.

청구항 3.

제1항에 있어서,

상기 정적 메모리에 상기 데이터의 기록을 가능하게 해주는 제1 입력부와,

상기 정적 메모리로부터 상기 데이터의 판독을 가능하게 해주는 제2 입력부

를 더 포함하는 픽셀 회로.

청구항 4.

제1항에 있어서, 상기 정적 메모리는

소스 신호를 제공하기 위해 데이터 신호에 결합되는 제1 부품과,

상기 제1 부품으로부터 상기 소스 신호를 수신하기 위한 입력부를 구비하고, 상기 저장된 데이터를 나타내는 출력을 산출하는 상태로 유도되는 제2 부품과,

상기 제2 부품의 상기 출력부에 연결되는 입력부와 상기 제2 부품의 상기 입력부에 연결되는 출력부를 구비하고, 상기 소스 신호의 제거 이후에 상기 제2 부품의 상태를 유지하기 위해 래치 신호를 제공하기 위한 제3 부품

을 포함하는 픽셀 회로.

청구항 5.

제4항에 있어서, 상기 제1 부품은 제1 구동전류를 제공하고, 상기 제3 부품은 상기 제1 구동전류보다 작은 제2 구동전류를 제공하는 픽셀 회로.

청구항 6.

제1항에 있어서,

상기 OLED를 제어하기 위한 상보금속산화물 반도체(CMOS) 회로와,

상기 CMOS 회로를 과전압 손상으로부터 보호하기 위한 보호회로를 더 포함하는 픽셀 회로.

청구항 7.

제6항에 있어서, 상기 CMOS 회로는

전류원과,

상기 CMOS 회로의 출력 스테이지에 있는 캐스코드(cascode) 디바이스를 포함하는 픽셀 회로.

청구항 8.

제7항에 있어서, 상기 캐스코드 디바이스는 플로팅 웰(floating well)로 구성되는 픽셀 회로.

청구항 9.

제6항에 있어서, 상기 보호회로는 상기 CMOS 회로를 통과하는 전류를 선정된 값으로 제한하는 픽셀 회로.

청구항 10.

제6항에 있어서, 상기 보호회로는 상기 CMOS회로를 통과하는 전압을 선정된 값으로 제한하는 픽셀 회로.

청구항 11.

제6항에 있어서, 상기 OLED와 직렬연결의 전류제한 저항을 더 포함하는 픽셀 회로.

청구항 12.

제11항에 있어서, 상기 저항은 박막을 포함하는 픽셀 회로.

청구항 13.

제11항에 있어서, 상기 저항은 비도핑 폴리실리콘(undoped polysilicon)을 포함하는 픽셀 회로.

청구항 14.

제6항에 있어서, 상기 CMOS 회로는 상기 OLED로부터 트래핑된 전하를 제거하기 위해 상기 OLED를 역바이어싱(reverse biasing)하기 위한 회로를 포함하는 픽셀 회로.

청구항 15.

제14항에 있어서, 상기 OLED를 역바이어싱하기 위한 회로는

상기 OLED와 직렬연결의 n-형 금속산화물반도체(NMOS) 트랜지스터와,

상기 NMOS 트랜지스터와 직렬연결의 p-형 금속산화물반도체(PMOS) 트랜지스터를 포함하고, 상기 NMOS 트랜지스터 및 상기 PMOS 트랜지스터는 상기 OLED의 애노드로부터 접지로의 역바이어스 전류경로를 제공하는 픽셀 회로.

청구항 16.

제6항에 있어서, 상기 CMOS 회로는 상기 OLED를 통과하는 전류 평균치를 제어하기 위한 충격계수(duty factor)회로를 포함하는 픽셀 회로.

청구항 17.

제16항에 있어서, 상기 충격계수회로는 상기 OLED로부터 트래핑된 전하를 제거하기 위해 상기 OLED의 역바이어싱을 허용하는 픽셀 회로.

청구항 18.

제6항에 있어서, 상기 CMOS 트랜지스터는 전계효과트랜지스터(FET) 전류원을 포함하는 픽셀 회로.

청구항 19.

제18항에 있어서, 상기 FET는 상기 FET의 전압임계치보다 큰 정적 게이트-소스 전압을 갖는 픽셀 회로.

청구항 20.

제18항에 있어서, 상기 FET는 상기 FET의 채널폭보다 큰 채널길이를 갖는 픽셀 회로.

청구항 21.

제6항에 있어서, 상기 CMOS 회로는

상기 픽셀의 최대 밝기를 설정하기 위한 제1 입력부와,

상기 최대의 밝기를 상기 최대 밝기보다 적게 설정하기 위해 상기 픽셀의 충격계수를 제어하기 위한 제2 입력부를 포함하는 픽셀 회로.

청구항 22.

제1항 또는 제6항에 있어서, 상기 픽셀 회로는 기판상에 배치된 금속을 포함하며, 상기 금속은 결정성 실리콘, 비결정 실리콘, 폴리실리콘, 마이크로 결정성 실리콘, 유기 물질 및 폴리머 물질로 이루어진 그룹에서 선택되고, 상기 기판은 실리콘, 유리, 플라스틱, 세라믹 및 사파이어 (Al_2O_3)로 이루어진 그룹에서 선택되는 픽셀 회로.

청구항 23.

제6항에 있어서, 상기 보호회로는 상기 OLED를 밝게하기 위해 상기 OLED를 위한 포워드 바이어스 전류 경로를 제공할 수 있는 픽셀 회로.

청구항 24.

제1항에 따른 픽셀 회로의 어레이로 이루어지는 디스플레이.

청구항 25.

제24항에 있어서, 각각의 상기 OLED는 전극을 포함하고, 상기 OLED들은 상기 어레이의 전체에 걸쳐서 균일한 피치에 의해 서로 분리되며, 상기 픽셀 회로들은 상기어레이의 전체에 걸쳐서 균일하지 않은 피치에 의해 서로 분리되는 디스플레이.

청구항 26.

제24항에 있어서, 상기 모든 OLED들을 균일한 작동 상태로 동시에 설정하기위한 회로를 더 포함하는 디스플레이

청구항 27.

제26항에 있어서, 상기 OLED들의 균일한 작동상태가 오프이고, 상기 OLED들중 선택된 개별 OLED들을 온으로 후속하여 설정하는 프로세서에 의해 상기 디스플레이가 제어되는 디스플레이.

청구항 28.

제26항에 있어서, 상기 회로는 메모리 버스를 통해 프로세서에 의해 어드레싱되는 디스플레이.

청구항 29.

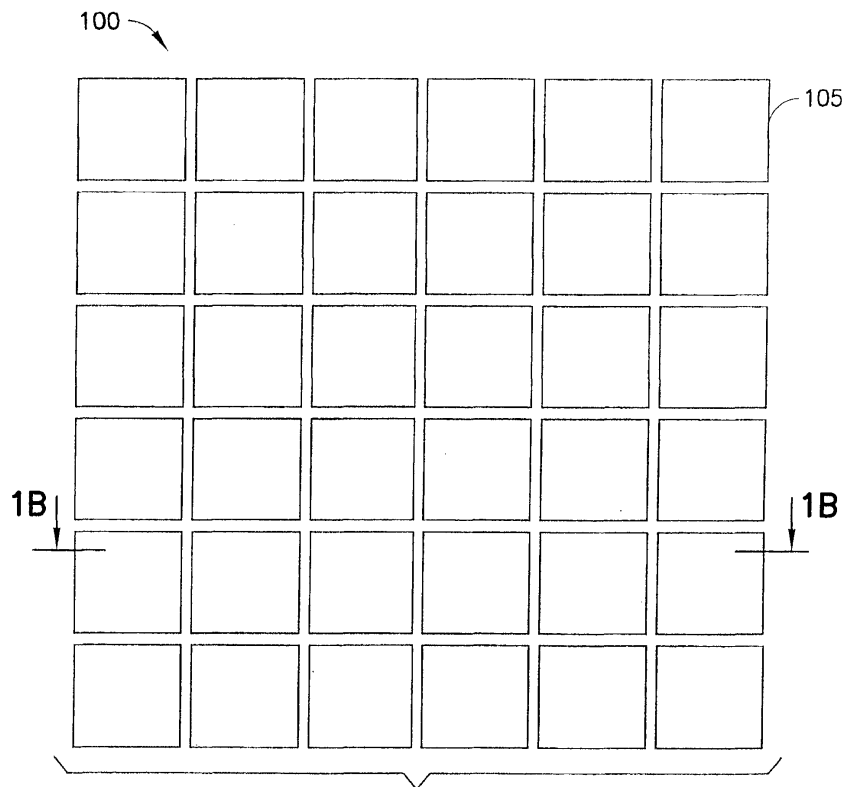
제24항에 있어서, 상기 픽셀 회로의 각각은 메모리 버스를 통해 프로세서에 의해 어드레싱되는 디스플레이.

청구항 30.

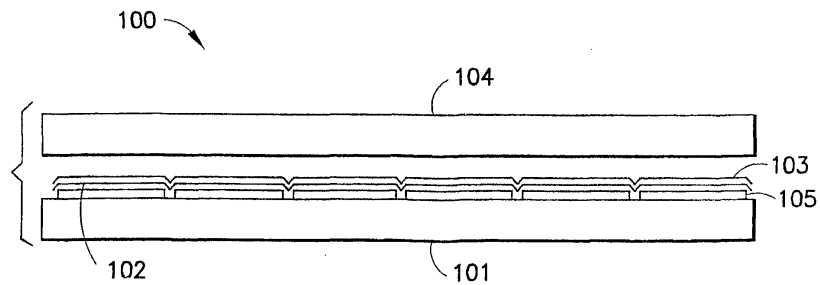
제24항에 있어서, 상기 어레이는 전자시계의 부품인 디스플레이.

도면

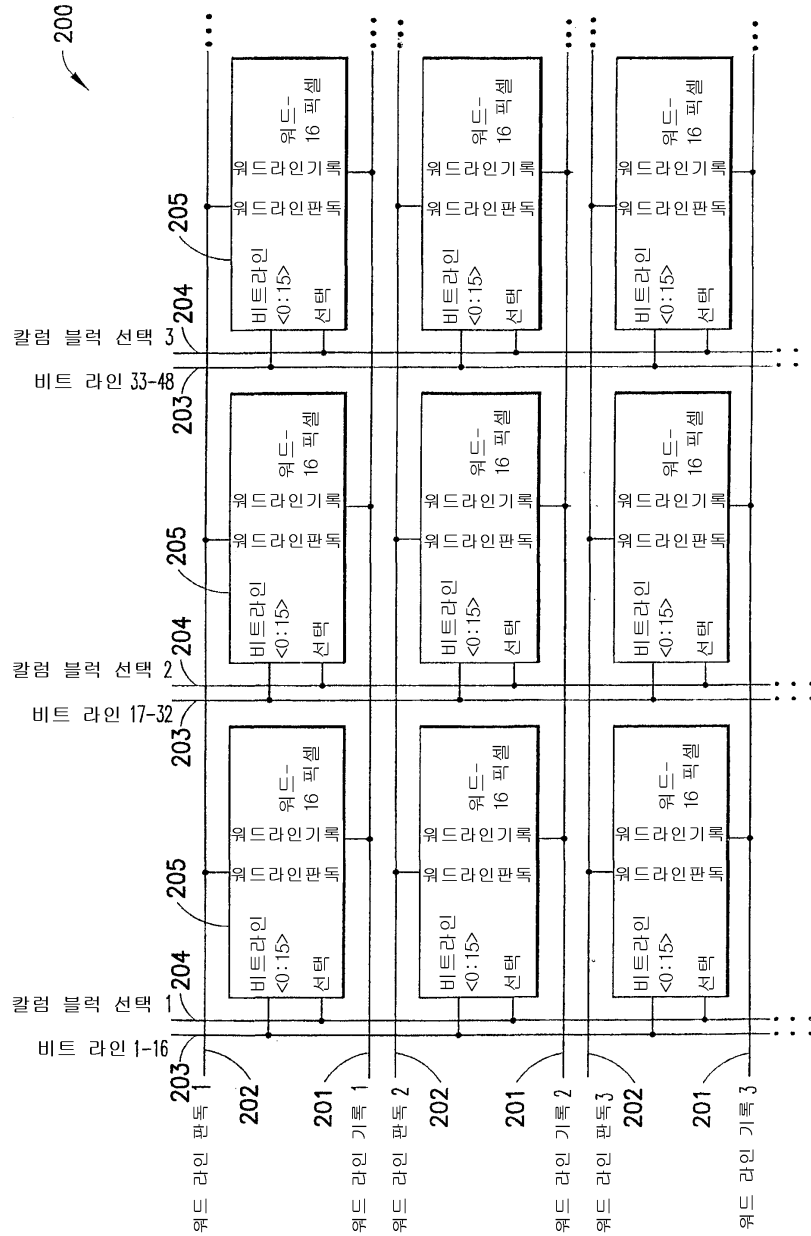
도면1a



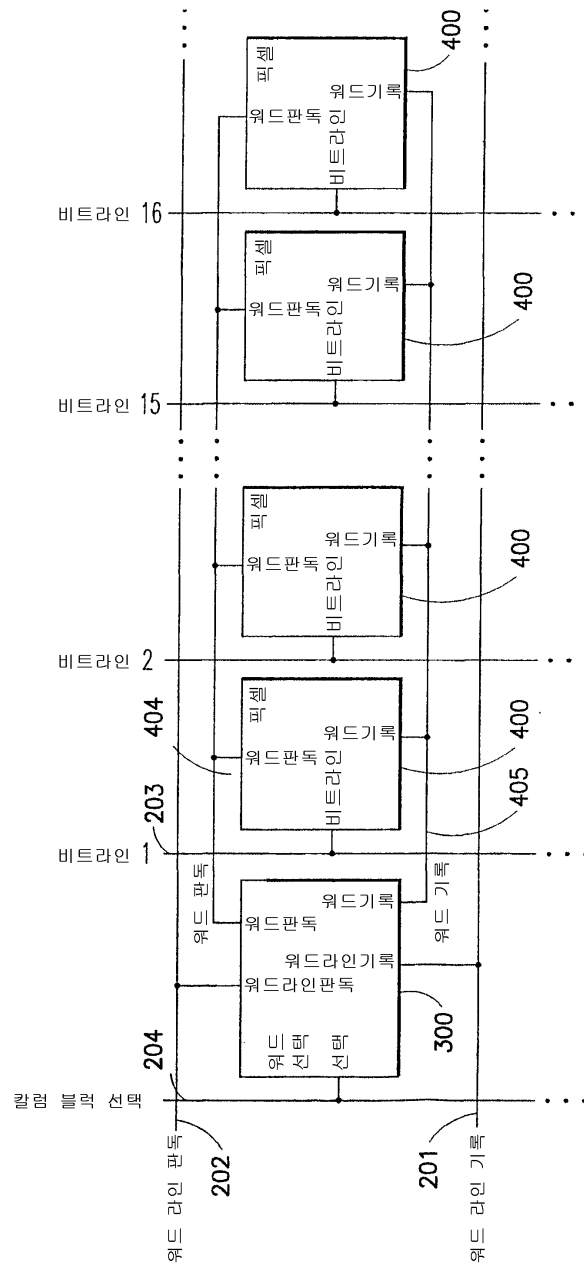
도면1b



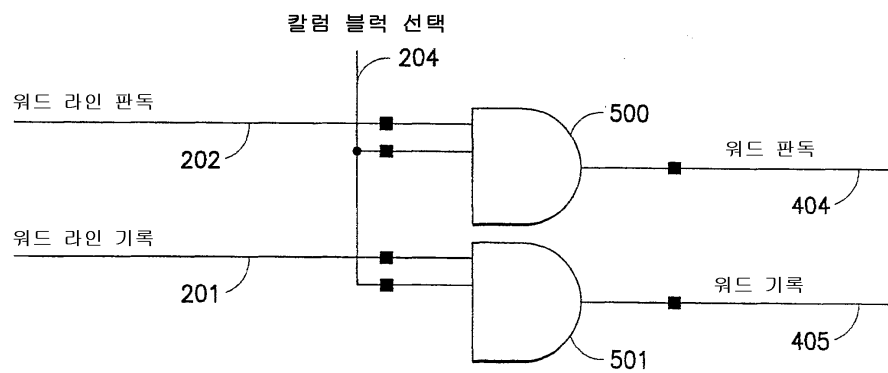
도면2



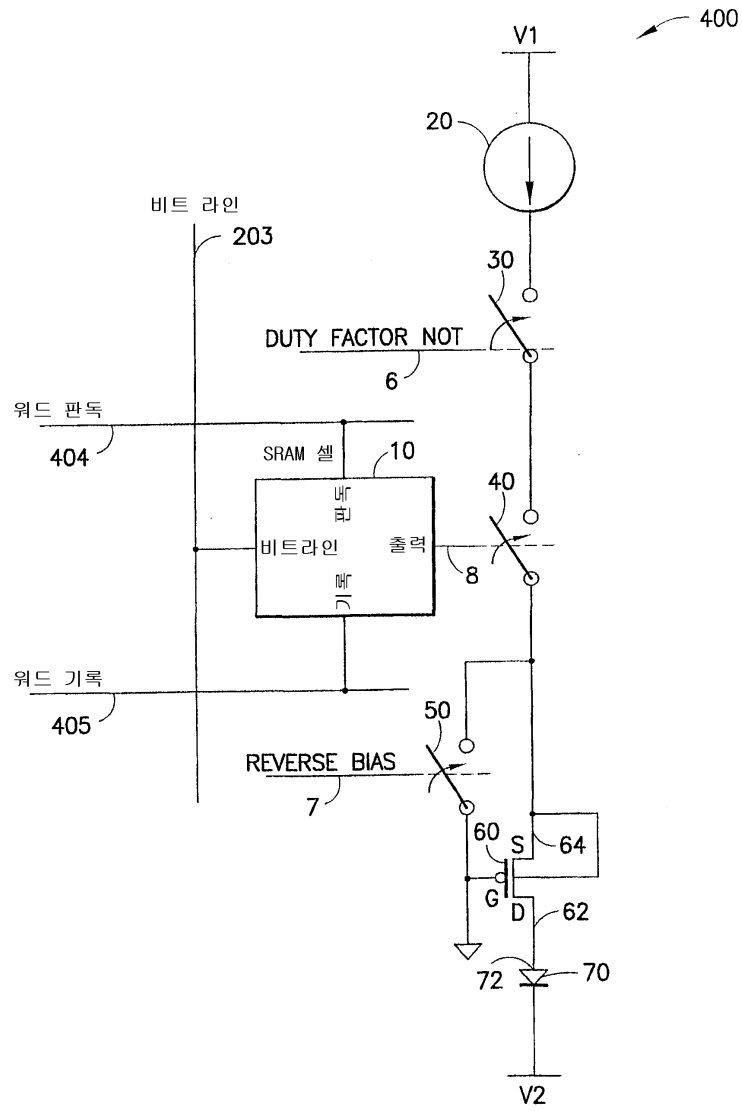
도면3



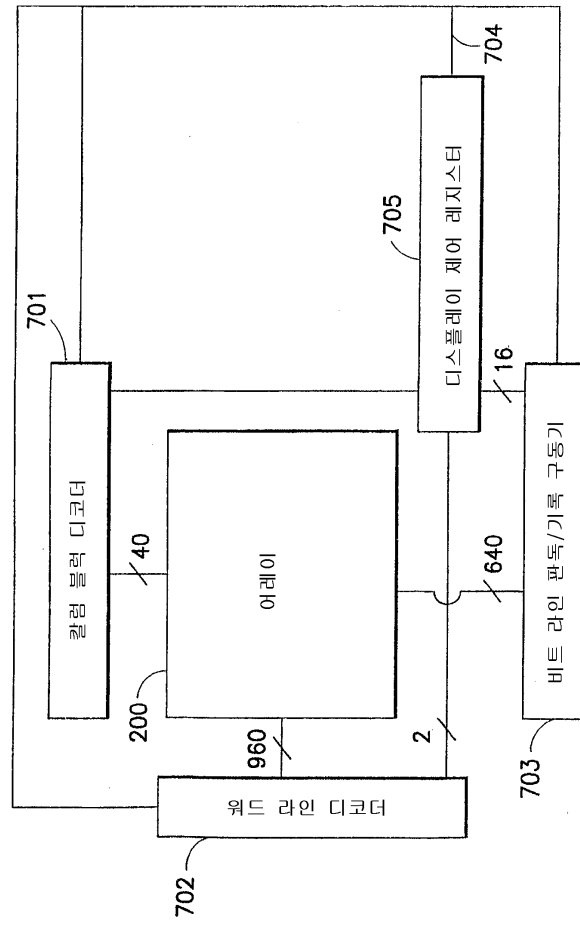
도면4



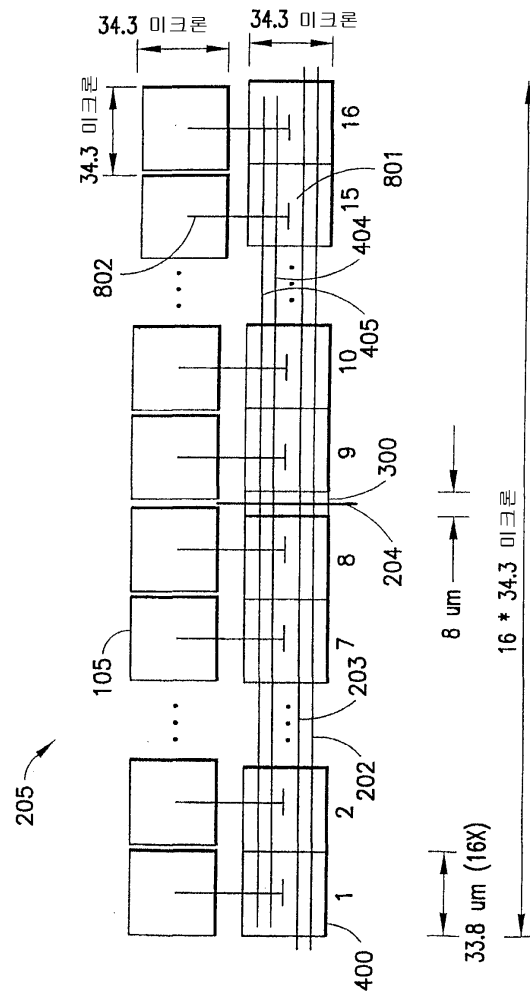
도면5



도면7



도면8



专利名称(译)	低功率有机发光二极管像素电路		
公开(公告)号	KR100526268B1	公开(公告)日	2005-11-08
申请号	KR1020037008902	申请日	2001-12-21
[标]申请(专利权)人(译)	统宝光电股份有限公司 塔杆来吐电子学鼻子炮升级		
申请(专利权)人(译)	塔聚来吐电子学鼻子炮升级		
当前申请(专利权)人(译)	塔聚来吐电子学鼻子炮升级		
[标]发明人	SANFORD JAMES LAWRENCE 샌포드제임스로렌스 SCHLIG EUGENE STEWART 실리그유진스튜어트		
发明人	샌포드,제임스,로렌스 실리그,유진,스튜어트		
IPC分类号	G09G3/30 H01L51/50 G09F9/30 G09G3/20 G09G3/32 G11C11/419 H01L27/32		
CPC分类号	G11C11/419 G09G3/3291 H01L27/32 G09G3/2014 G09G2330/022 G09G2300/0857 G09G2330/021 G09G2320/0626 G09G3/006 G09G2320/046 G09G2300/0861 G09G2320/043 G09G2300/0809 G09G3/3233 G09G2320/0233 G09G2330/04 G09G2320/064 G09G2310/063 G09G2310/0254 G09G2310/0256 G09G2320/0633		
代理人(译)	金，金 - 焕; Gimdugyu		
优先权	09/754489 2001-01-04 US		
其他公开文献	KR1020030066790A		
外部链接	Espacenet		

摘要(译)

像素电路包括有机发光二极管 (OLED) 和用于存储指示OLED的操作状态的数据的静态存储器。在替代实施例中，像素电路包括：用于控制 OLED的互补金属氧化物半导体 (CMOS) 电路；用于保护CMOS电路免受过压情况的保护电路；以及高于其电压阈值的静态栅源电压。它可以包括具有场效应晶体管 (FET) 的电流源。图5 索引词 OLED，CMOS 电路，保护电路

