

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G09G 3/30		(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년09월15일 10-0515306 2005년09월08일
(21) 출원번호 (22) 출원일자	10-2003-0075988 2003년10월29일	(65) 공개번호 (43) 공개일자	10-2005-0041076 2005년05월04일

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	김금남 서울특별시동대문구답십리2동21-1다솜빌라302호 이을호 경기도용인시기홍읍서천리157-1
(74) 대리인	유미특허법인

심사관 : 천대식

(54) 유기 E L 표시패널

요약

본 발명은 각 표시 화소의 개구율을 높일 수 있는 유기 EL 표시패널을 제공한다.

본 발명에 따른 표시패널은, 제1 트랜지스터의 제어 전극, 제2 트랜지스터의 제어 전극 및 제4트랜지스터의 주전극이 연결된 제어 전극선; 및 데이터선과 평행하고 제1 트랜지스터의 주 전극과 연결되는 전원 전극선을 포함하고, 제1 트랜지스터의 채널 및 제2 트랜지스터의 채널은 주사선과 각각 평행하게 형성된다. 제어 전극선에서, 상기 제1 트랜지스터의 제어 전극과 상기 제2 트랜지스터의 제어 전극을 연결하는 부분은 상기 주사선에 수직하게 배치되고 제4트랜지스터의 주전극까지 연장되는 부분은 전원 전극선과 수직적으로 평행하게 형성된다.

본 발명에 따르면, 표시 화소 내에 회로 소자들이 차지하는 면적을 감소시켜 표시 소자가 차지하는 면적을 증가시킴으로써 화소의 개구율을 향상시킬 수 있다.

대표도

도 3

색인어

유기 EL, 발광, 개구율

명세서

도면의 간단한 설명

도 1은 일반적인 유기 EL 표시패널의 개략적인 평면도이다.

도 2는 유기 EL 표시패널의 각 표시 화소를 구동하는 화소 회로(11)의 등가 회로도이다.

도 3은 도 2의 화소 회로의 배치구조를 개략적으로 보여주는 평면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상 표시 장치에 관한 것으로, 특히 유기 전계발광(electroluminescent, 이하 EL이라 함) 표시패널에 관한 것이다.

일반적으로 유기 EL 표시 장치는 형광(인광)성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치이다. 발광 화소는 애노드(ITO), 유기 박막, 캐소드 레이어(metal)의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함하고 있다.

이러한 유기 발광셀들이 $N \times M$ 개의 매트릭스 형태로 배열되어 유기 EL 표시패널을 형성한다. 이 유기 EL 표시패널은 전압 구동 혹은 전류 구동에 의하여 영상을 표현한다.

도 1은 일반적인 유기 EL 표시 장치의 개략적인 평면도이다.

도 1에 나타난 바와 같이, 유기 EL 표시 장치는 유기 EL 표시패널(10), 주사 구동부(20) 및 데이터 구동부(30)를 포함한다.

유기 EL 표시패널(10)은 행 방향으로 뻗어 있는 복수의 데이터선(D_1-D_M), 열 방향으로 뻗어 있는 복수의 주사선(S_1-S_N) 및 복수의 화소 회로(11)를 포함한다. 데이터선(D_1-D_M)은 화상 신호를 나타내는 데이터 전압을 화소 회로(11)로 전달하며, 주사선(S_1-S_N)은 화소 회로(11)를 선택하기 위한 선택 신호를 화소 회로(11)로 전달한다. 화소 회로(11)는 이웃한 두 데이터선과 이웃한 두 주사선에 의해 정의되는 화소 영역에 형성되어 있다.

주사 구동부(20)는 주사선(S_1-S_N)에 선택 신호를 순차적으로 인가하며, 데이터 구동부(30)는 데이터선(D_1-D_M)에 화상 신호를 나타내는 데이터 전압을 인가한다.

화소 회로(11)를 통하여 유기 발광셀을 구동하는 방식에는, 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT)를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 이용하여 라인을 선택하고 화소의 커패시터에 데이터를 저장하여 구동한다.

능동 구동 방식으로 구동되는 유기 EL 표시장치에 대하여, 미국특허공개 US20020118150호는 4개의 트랜지스터를 포함하는 화소 회로가 개시되어 있다.

구동 트랜지스터는 게이트와 소스 사이의 전압에 대응하는 전류를 유기 EL 소자(OLED)에 전달하며, 게이트와 소스 사이에 커패시터가 형성되어 있다. 구동 트랜지스터의 문턱전압을 보상하기 위한 보상 트랜지스터는 다이오드 연결되어 있으며 게이트가 구동 트랜지스터의 게이트에 연결되어 있다. 그리고 스위칭 트랜지스터는 게이트가 현재 주사선에 연결되고

소스전극이 데이터선에 연결되어 있어 현재 주사선의 선택 신호에 응답하여 데이터 전압을 보상 트랜지스터의 소스전극에 인가한다. 프리차지 트랜지스터는 게이트가 직전 주사선에 연결되어 직전 주사선의 선택신호에 응답하여 프리차지 전압을 구동 트랜지스터의 게이트로 인가한다.

이와 같은 구조의 화소 회로에서는, 구동 트랜지스터와 보상 트랜지스터의 문턱전압을 동일하게 하게 위하여, 구동 트랜지스터 및 보상 트랜지스터가 데이터선과 평행한 일직선상에 나란히 배치되어 있다. 또한, 프리차지 트랜지스터는 직전 주사선에 연결되도록 배치되어 있다.

그러나 이러한 배치구조는, 직전 주사선에 연결되는 프리차지 트랜지스터의 드레인 전극, 구동 트랜지스터의 게이트 및 보상 트랜지스터의 게이트를 연결하는 게이트선의 면적이 커지게 되어 표시 화소의 개구율이 낮아진다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 다른 기술적 과제는 표시 화소의 개구율을 높을 수 있는 배치구조를 갖는 유기EL 표시패널을 제공하는 것이다.

발명의 구성 및 작용

앞서 설명한 기술적 과제를 성취하기 위한 본 발명의 첫째 특징에 따른 유기EL 표시패널은,

주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며 상기 주 전극과 제어 전극 사이의 전압에 대응하는 전류를 표시 소자로 출력하는 제1 트랜지스터; 상기 제1 트랜지스터의 제어 전극에 제어 전극이 연결된 제2 트랜지스터; 및 현재 주사선으로부터의 선택신호에 응답하여 데이터선 전압을 상기 제2 트랜지스터에 인가하는 제3트랜지스터를 포함하는 화소 회로가 형성된 유기EL 표시패널로서,

상기 제1 트랜지스터의 제어 전극 및 상기 제2 트랜지스터의 제어 전극이 연결된 제어 전극선; 및

상기 데이터선과 평행하고 상기 제1 트랜지스터의 주 전극과 연결되는 전원 전극선을 포함하고,

상기 제1 트랜지스터의 채널 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되고,

상기 제어 전극선에서, 상기 제1 트랜지스터의 제어 전극과 상기 제2 트랜지스터의 제어 전극을 연결하는 부분은 상기 주사선에 수직하게 배치된다.

제어 신호에 응답하여 프리차지 전압을 상기 제2트랜지스터의 주전극 및 상기 제1 트랜지스터의 제어 전극에 인가하는 제4 트랜지스터를 더 포함할 수 있다.

여기서, 상기 제어 신호는 직전 주사선으로부터의 선택신호일 수 있다.

상기 제어 전극선의 일부는 상기 전원 전극선과 서로 평행하게 형성되어 상기 커패시터로서 동작할 수 있다.

상기 커패시터는 상기 표시소자를 사이에 두고 상기 데이터선과 평행하게 형성될 수 있다.

상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터상기는 동일한 전도 타입의 트랜지스터일 수 있다.

본 발명의 둘째 특징에 따른 유기EL 표시패널은,

주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며 상기 주 전극과 제어 전극 사이의 전압에 대응하는 전류를 표시 소자로 출력하는 제1 트랜지스터; 상기 제1 트랜지스터의 제어 전극에 제어 전극이 연결된 제2 트랜지스터; 현재 주사선으로부터의 선택신호에 응답하여 데이터선 전압을 상기 제2 트랜지스터에 인가하는 제3트랜지스터; 및 직전 주사선으로부터의 선택신호에 응답하여 프리차지 전압을 상기 제1 트랜지스터의 제어 전극에 인가하는 제4 트랜지스터를 포함하는 화소 회로가 형성된 유기EL 표시패널로서,

상기 제4트랜지스터의 주전극, 상기 제1 트랜지스터의 제어 전극 및 상기 제2 트랜지스터의 제어 전극이 연결된 제어 전극선; 및

상기 데이터선과 평행하고 상기 제1 트랜지스터의 주 전극과 연결되는 전원 전극선을 포함하고,

상기 제1 트랜지스터의 채널 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되고,

상기 제어 전극선에서, 상기 제1 트랜지스터의 제어 전극과 상기 제2 트랜지스터의 제어 전극을 연결하는 부분은 상기 주사선에 수직하게 배치되며, 상기 제4트랜지스터의 주전극과 연결되는 부분은 상기 전원 전극선과 수직적으로 평행하게 형성되어 커패시터로서 동작한다.

상기 커패시터는 상기 표시소자를 사이에 두고 상기 데이터선과 평행하게 형성될 수 있다.

제어 신호에 응답하여 상기 제1 트랜지스터와 상기 표시 소자 사이를 전기적으로 차단하는 제5 트랜지스터를 더 포함할 수 있다.

상기 제5트랜지스터의 채널은 상기 데이터선과 평행하게 형성될 수 있다.

본 발명의 셋째 특징에 따른 표시패널의 배치구조는,

주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며 상기 주 전극과 제어 전극 사이의 전압에 대응하는 전류를 표시소자로 출력하는 제1 트랜지스터; 상기 제1 트랜지스터의 제어 전극에 제어 전극이 연결된 제2 트랜지스터; 현재 주사선으로부터의 선택신호에 응답하여 데이터선 전압을 상기 제2 트랜지스터에 인가하는 제3트랜지스터; 및 직전 주사선으로부터의 선택신호에 응답하여 프리차지 전압을 상기 제1 트랜지스터의 제어 전극에 인가하는 제4 트랜지스터를 포함하는 화소 회로가 형성된 표시패널의 배치구조로서,

상기 제1 트랜지스터의 제어 전극, 상기 제2 트랜지스터의 제어 전극 및 상기 제4트랜지스터의 주전극이 연결된 제어 전극선; 및

상기 데이터선과 평행하고 상기 제1 트랜지스터의 주 전극과 연결되는 전원 전극선을 포함하고,

상기 제1 트랜지스터의 채널 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되고,

상기 제어 전극선에서, 상기 제1 트랜지스터의 제어 전극과 상기 제2 트랜지스터의 제어 전극을 연결하는 부분은 상기 주사선에 수직하게 배치되고, 상기 제4트랜지스터의 주전극과 연결되는 부분은 상기 전원 전극선과 수직적으로 평행하게 형성된다.

상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터 및 제4 트랜지스터는 동일한 전도 타입의 트랜지스터일 수 있다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다.

도 2는 유기 EL 표시패널의 각 표시셀을 구동하는 화소 회로(11)의 등가 회로도이다.

도 2에서는 설명의 편의상 m번째 데이터선(D_m)과 n번째 주사선(S_n)에 연결된 화소 회로만을 도시하였다. 그리고 주사선에 관한 용어를 정의하면, 현재 선택 신호를 전달하려고 하는 주사선을 "현재 주사선"이라 하고 현재 선택 신호가 전달되기 전에 선택 신호를 전달한 주사선을 "직전 주사선"이라 한다.

도 2에 나타난 바와 같이, 화소 회로(11)는 유기 EL 소자(OLED), 트랜지스터(M1-M5) 및 커패시터(Cst)를 포함한다. 그리고 트랜지스터(M1-M5)는 MOS트랜지스터로 형성된다. 이러한 트랜지스터(M1-M5)는 표시패널(10)의 유리 기판 위에 형성되는 게이트 전극, 드레인 전극 및 소스 전극을 각각 제어 전극 및 2개의 주 전극으로 가지는 박막 트랜지스터인 것이 바람직하다.

구동 트랜지스터(M1)는 전원 전압(VDD)에 소스가 연결되고, 게이트와 소스 사이에 커패시터(Cst)가 연결되어 있다.

커패시터(Cst)는 트랜지스터(M1)의 게이트-소스 전압(V_{GS})을 일정 기간 유지한다.

보상 트랜지스터(M2)는 다이오드 연결되어 있으며 트랜지스터(M2)의 게이트는 트랜지스터(M1)의 게이트에 연결된다.

스위칭 트랜지스터(M3)는 현재 주사선(S_n)으로부터의 선택 신호에 응답하여 데이터선(D_m)으로부터의 데이터 전압을 트랜지스터(M2)로 전달한다. 트랜지스터(M2)의 드레인에는 트랜지스터(M4)가 연결된다.

프리차지(precharge) 트랜지스터(M4)는 직전 주사선(S_{n-1})으로부터의 선택 신호에 응답하여 프리차지 전압(V_p)을 트랜지스터(M2)로 전달한다.

트랜지스터(M5)는, 제어선(C_n)으로부터의 하이 레벨의 제어 신호에 응답하여 트랜지스터(M1)와 유기 EL 소자(OLED)를 전기적으로 차단한다.

유기 EL 소자(OLED)는 캐소드가 기준 전압(V_{ss})에 연결되며 인가되는 전류에 대응하는 빛을 발광한다. 이러한 기준 전압(V_{ss})은 전원 전압(VDD)보다 낮은 레벨의 전압으로서 그라운드 전압 등이 사용될 수 있다.

이와 같이 구성된 n번째 현재 화소 회로에서, 보상 트랜지스터(M2)의 게이트와 구동 트랜지스터(M1)의 게이트가 연결된다. 이 게이트들이 연결된 전극이 커패시터(Cst)의 일측 단자에 연결되며, 또한 프리차지 트랜지스터(M4)의 소스전극에 연결된다. 이 프리차지 트랜지스터(M4)의 드레인전극은 직전 주사선(S_{n-1})에 접속된다. 이에 더하여, 보상 트랜지스터(M2)는 스위칭 트랜지스터(M3)와 다이오드 연결되고 스위칭 트랜지스터(M3)의 게이트는 현재 주사선(S_n)에 접속된다.

한편, 본 실시예에서는 프리차지 트랜지스터가 직전 주사선에 연결되는 구조를 예로서 설명하였으나, 이외에도 별도의 제어선에 연결될 수도 있다.

도 3은 도 2와 같은 화소 회로를 갖는 화상 표시패널의 배치구조를 나타낸 도면이다.

도 3에 도시한 바와 같이, 데이터선(100)이 세로 방향(도면의 위아래 방향)으로 형성되며, 유기EL 소자층(700)을 사이에 두고 데이터선(100)과 평행하게 형성된 전원 전극선(200)이 형성된다. 주사선(S_n , 300)은 데이터선(100)과 교차하면서 데이터선(100)에 수직한 방향으로 형성되어 있다.

스위칭 트랜지스터(M3)의 소스 전극(S1)이 데이터선(100)에 접속되도록 형성되고, 주사선(S_n)을 기준으로 소스 전극(S1)의 반대편에 드레인 전극(D1)이 형성되어 있고, 상기 소스 전극(S1)과 드레인 전극(D1) 사이에 형성되는 채널이 데이터선(100)과 평행하도록 형성되며 이 채널 위에 형성되는 게이트는 주사선(300)에 연결된다.

보상 트랜지스터(M2)의 소스 전극(S2)이 스위칭 트랜지스터(M3)의 드레인 전극(D1)과 연결되며, 이 소스전극(S2)과 쌍을 이루어 주사선(300)과 평행하게 채널을 형성하도록 드레인 전극(D2)이 형성된다.

구동 트랜지스터(M1)의 드레인 전극(D3)과 소스 전극(S3)은, 보상 트랜지스터(M2)의 소스 전극(S2)과 드레인 전극(D2)에 의해 형성된 채널방향과 동일한 채널방향을 갖도록 각각 형성된다. 즉, 상기 소스 전극(S3)과 드레인 전극(D3) 사이에 형성되는 채널도 주사선(S_n)과 평행하게 형성된다.

화소 회로(11)는, 보상 트랜지스터(M2)의 게이트와 구동트랜지스터(M1)의 게이트는 연결되는 구조 및 구동 트랜지스터(M1)의 소스 전극(S3)과 게이트 사이에는 커패시터(도 2에서 Cst)가 형성되는 구조를 포함한다(도 2의 점선). 따라서 서로 채널이 평행하게 형성된 구동트랜지스터(M1)와 보상 트랜지스터(M2)의 게이트는 채널 방향과 수직한 방향으로 연결된다. 또한 소스 전극(S3)은 전원 전극선(200)에 연결되며 구동 트랜지스터(M1)의 게이트는 전원 전극선(200)과 커패시터를 형성하도록 전원 전극선(200)과 수직적으로 평행하게 전원 전극선(200)의 하부에 나란히 형성된다. 따라서 보상 트랜지스터(M2)의 게이트와 구동트랜지스터(M1)의 게이트는 연결된 구조 및 구동 트랜지스터(M1)의 소스 전극(S3)과 게이트 사이에는 커패시터가 형성되는 구조를 형성하는 제어전극선인 게이트연결선(500)이 형성된다.

트랜지스터(M5)는 트랜지스터(M1-M4)와 동일하게 PMOS형 트랜지스터로 형성되며, 트랜지스터(M5)의 소스 전극(S4)은 구동 트랜지스터(M1)의 드레인 전극(D3)에 연결되고 트랜지스터(M5)의 드레인 전극(D4)은 접촉구를 통하여 화소 전극(600)과 연결되어, 트랜지스터(M5)의 채널은 데이터선과 평행하게 형성된다. 그리고 트랜지스터(M5)의 게이트 전극은 제어선(C_n, 400)에 연결된다.

화소 전극(600)의 상부에 표시소자인 유기EL(700)이 형성된다.

다시 말하면, 구동 트랜지스터(M1)의 채널과 보상 트랜지스터(M2)의 채널은 각각 주사선들에 대하여 평행하게 형성되고, 트랜지스터(M5)의 채널은 데이터선에 대하여 평행하게 형성된다.

구동 트랜지스터(M1)의 게이트와 보상 트랜지스터(M2)의 게이트는 제어전극선인 게이트연결선(500)에 의해 연결되고, 이 게이트연결선(500)은 직전 주사선(S_{n-1})의 선택신호에 응답하여 프리차지전압(V_p)을 구동 트랜지스터(M1)의 게이트에 인가하기 위하여, 프리차지 트랜지스터(M4)의 드레인전극까지 연장된다.

이 경우, 구동 트랜지스터(M1)의 게이트와 보상 트랜지스터(M2)의 게이트가 연결되는 게이트연결선(500)의 부분은 주사선들에 수직한 방향으로 형성되고, 프리차지 트랜지스터(M4)의 드레인전극까지 연장되는 부분은 전원 전극선(200)과 수직적으로 평행하게 형성된다.

결국, 구동 트랜지스터(M1)의 게이트, 구동 트랜지스터(M1)의 게이트 및 프리차지 트랜지스터(M4)의 드레인 전극은 게이트선(500)에 의해 연결된다. 구동 트랜지스터(M1)의 소스전극에 연결되는 전원 전극선(200)이 하나의 전극이 되고 게이트연결선(500)이 다른 전극이 되어 커패시터(Cst)가 형성된다.

이와 같은 배치구조를 갖는 화소 회로는, 각 트랜지스터가 형성되는 영역의 면적을 최소화하여, 표시 소자가 차지하는 면적을 충분히 확보함으로써 화소의 개구율을 향상시킬 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이와 같이 본 발명에 의하면, 구동 트랜지스터(M1)의 채널과 보상 트랜지스터(M2)의 채널을 주사선에 각각 평행하게 형성하고, 트랜지스터(M5)의 채널은 데이터선과 평행하게 형성하고, 구동 트랜지스터(M1)의 게이트와 보상 트랜지스터(M2)의 게이트전극이 연결되는 게이트연결선(500)의 부분은 주사선에 수직하게 형성하며 프리차지 트랜지스터(M4)까지 연장되는 부분은 전원 전극선(200)과 수직적으로 평행하게 형성되는 배선구조에 의해, 회로가 차지하는 면적을 감소시켜 표시소자가 차지하는 영역을 확보함으로써 화소의 개구율을 향상시킬 수 있다.

또한, 게이트연결선(500)과 전원 전극선(200)이 수직적으로 평행하게 형성되어 커패시터(Cst)로서 동작함으로써 더욱더 화소의 개구율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며 상기 주 전극과 제어 전극 사이의 전압에 대응하는 전류를 표시 소자로 출력하는 제1 트랜지스터; 상기 제1 트랜지스터의 제어 전극에 제어 전극이 연결된 제2 트랜지스터; 및 현재 주사 선으로부터의 선택신호에 응답하여 데이터선 전압을 상기 제2 트랜지스터에 인가하는 제3트랜지스터를 포함하는 화소 회로가 형성된 유기EL 표시패널에 있어서,

상기 제1 트랜지스터의 제어 전극 및 상기 제2 트랜지스터의 제어 전극이 연결된 제어 전극선; 및

상기 데이터선과 평행하고 상기 제1 트랜지스터의 주 전극과 연결되는 전원 전극선을 포함하고,

상기 제1 트랜지스터의 채널 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되는 유기EL 표시패널.

청구항 2.

제1항에 있어서,

상기 제어 전극선에서, 상기 제1 트랜지스터의 제어 전극과 상기 제2 트랜지스터의 제어 전극을 연결하는 부분은 상기 주사선에 수직하게 배치되는 유기EL 표시패널.

청구항 3.

제2항에 있어서,

상기 제어 전극선의 일부는 상기 전원 전극선과 서로 평행하게 형성되어 상기 커패시터로서 동작하는 유기EL 표시패널.

청구항 4.

제3항에 있어서, 상기 커패시터는 상기 표시소자를 사이에 두고 상기 데이터선과 평행하게 형성되는 유기EL 표시패널.

청구항 5.

제1항 또는 제2항에 있어서,

제어 신호에 응답하여 프리차지 전압을 상기 제2트랜지스터의 주전극 및 상기 제1 트랜지스터의 제어 전극에 인가하는 제4 트랜지스터를 더 포함하는 유기EL 표시패널.

청구항 6.

제5항에 있어서,

상기 제4 트랜지스터는 화소를 사이에 두고 상기 제1 트랜지스터와 반대편에 위치되는 유기EL 표시패널.

청구항 7.

제1항에 있어서,

상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 동일한 전도 타입의 트랜지스터인 유기EL 표시패널.

청구항 8.

주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며 상기 주 전극과 제어 전극 사이의 전압에 대응하는 전류를 표시 소자로 출력하는 제1 트랜지스터; 상기 제1 트랜지스터의 제어 전극에 제어 전극이 연결된 제2 트랜지스터; 현재 주사선으로부터의 선택신호에 응답하여 데이터선 전압을 상기 제2 트랜지스터에 인가하는 제3트랜지스터; 및 직전 주사선으로부터의 선택신호에 응답하여 프리차지 전압을 상기 제1 트랜지스터의 제어 전극에 인가하는 제4 트랜지스터를 포함하는 화소 회로가 형성된 유기EL 표시패널에 있어서,

상기 제4트랜지스터의 주전극, 상기 제1 트랜지스터의 제어 전극 및 상기 제2 트랜지스터의 제어 전극이 연결된 제어 전극선; 및

상기 데이터선과 평행하고 상기 제1 트랜지스터의 주 전극과 연결되는 전원 전극선을 포함하고,

상기 제1 트랜지스터의 채널 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되는 유기EL 표시패널.

청구항 9.

제8항에 있어서,

상기 제어 전극선에서, 상기 제1 트랜지스터의 제어 전극과 상기 제2 트랜지스터의 제어 전극을 연결하는 부분은 상기 주사선에 수직하게 배치되며, 상기 제4트랜지스터의 주전극과 연결되는 부분은 상기 전원 전극선과 수직적으로 평행하게 형성되어 커패시터로서 동작하는 유기EL 표시패널.

청구항 10.

제9항에 있어서,

상기 커패시터는 상기 표시소자를 사이에 두고 상기 데이터선과 평행하게 형성되는 유기EL 표시패널.

청구항 11.

제9항에 있어서,

제어 신호에 응답하여 상기 제1 트랜지스터와 상기 표시 소자 사이를 전기적으로 차단하는 제5 트랜지스터를 더 포함하는 유기EL 표시패널.

청구항 12.

제11항에 있어서,

상기 제5트랜지스터의 채널은 상기 데이터선과 평행하게 형성되는 유기EL 표시패널.

청구항 13.

주 전극과 제어 전극 사이에 커패시터가 형성되어 있으며 상기 주 전극과 제어 전극 사이의 전압에 대응하는 전류를 표시 소자로 출력하는 제1 트랜지스터; 상기 제1 트랜지스터의 제어 전극에 제어 전극이 연결된 제2 트랜지스터; 현재 주사선으로부터의 선택신호에 응답하여 데이터선 전압을 상기 제2 트랜지스터에 인가하는 제3트랜지스터; 및 직전 주사선으로부터의 선택신호에 응답하여 프리차지 전압을 상기 제1 트랜지스터의 제어 전극에 인가하는 제4 트랜지스터를 포함하는 화소 회로가 형성된 표시패널의 배치구조에 있어서,

상기 제1 트랜지스터의 제어 전극, 상기 제2 트랜지스터의 제어 전극 및 상기 제4트랜지스터의 주전극이 연결된 제어 전극선; 및

상기 데이터선과 평행하고 상기 제1 트랜지스터의 주 전극과 연결되는 전원 전극선을 포함하고,

상기 제1 트랜지스터의 채널 및 제2 트랜지스터의 채널은 상기 주사선과 각각 평행하게 형성되고,

상기 제어 전극선에서, 상기 제1 트랜지스터의 제어 전극과 상기 제2 트랜지스터의 제어 전극을 연결하는 부분은 상기 주사선에 수직하게 배치되고, 상기 제4트랜지스터의 주전극과 연결되는 부분은 상기 전원 전극선과 수직적으로 평행하게 형성되는 표시패널의 배치구조.

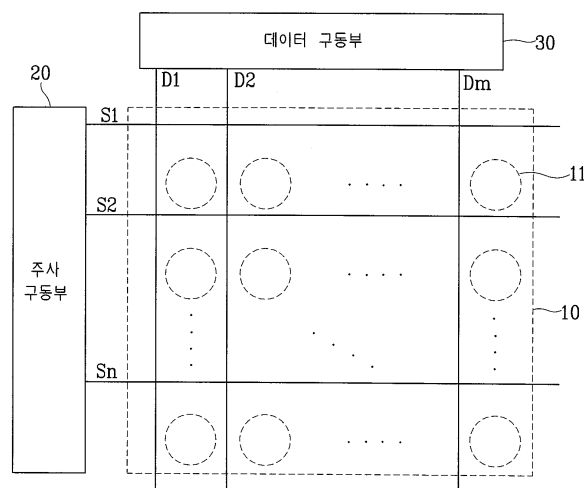
청구항 14.

제13항에 있어서,

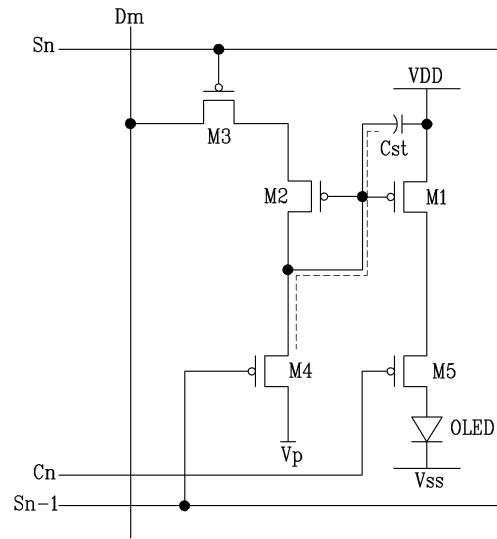
상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터 및 제4 트랜지스터는 동일한 전도 타입의 트랜지스터인 표시패널의 배치구조.

도면

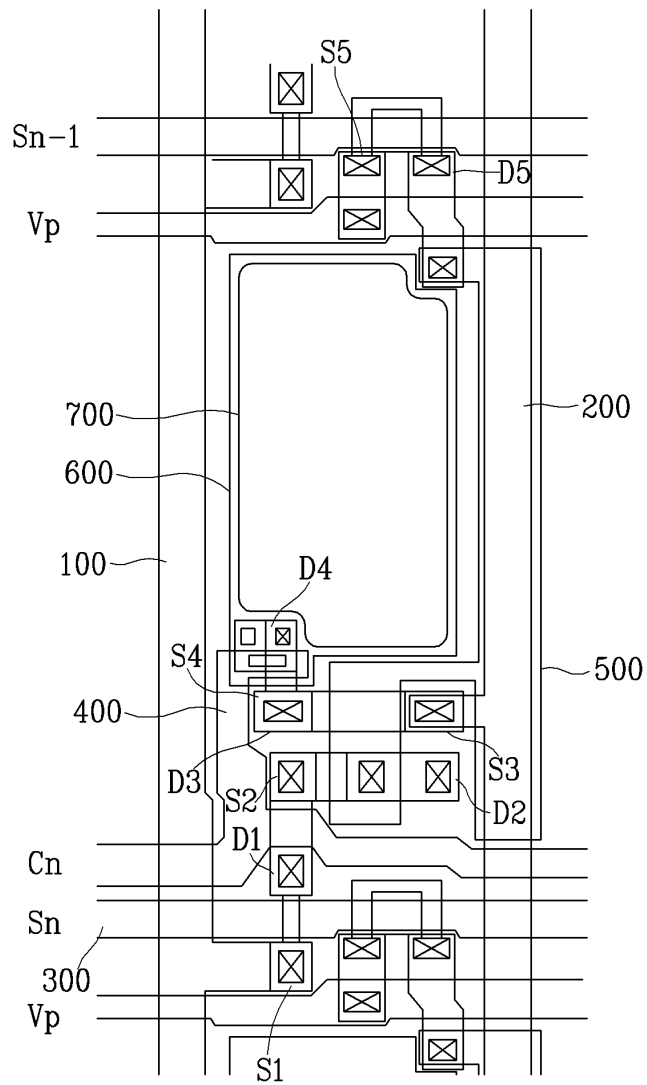
도면1



도면2



도면3



专利名称(译)	有机EL显示屏		
公开(公告)号	KR100515306B1	公开(公告)日	2005-09-15
申请号	KR1020030075988	申请日	2003-10-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM KUMNAM 김금남 LEE ULHO 이을호		
发明人	김금남 이을호		
IPC分类号	H01L27/32 H05B33/08 H05B33/12 G09G3/30 G09G3/32 H01L21/20		
CPC分类号	G09G2300/0842 G09G2300/0861 G09G2320/043 H01L27/3244 G09G2310/0251 G09G3/3233 G09G2300/0819		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR1020050041076A		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够增加每个显示像素的开口率的有机EL显示面板。根据本发明的显示面板包括控制电极线，第一晶体管的控制电极，第二晶体管的控制电极和第四晶体管的主电极连接到该控制电极线;还有第二个晶体管以及连接到电极的电源电极线，其中第一晶体管的沟道和第二晶体管的沟道分别与扫描线平行地形成。连接第一晶体管的控制电极和第二晶体管的控制电极的部分垂直于控制电极线上的扫描线设置延伸到第四晶体管的主电极的部分形成成为垂直平行于电源电极线。根据本发明，可以通过减小显示像素中的电路元件占据的面积来增加像素的孔径比，以增加显示元件占据的面积。3 指数方面 有机EL，排放，

