



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0044042
(43) 공개일자 2012년05월07일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 29/786 (2006.01)

H01L 51/56 (2006.01)

(21) 출원번호 10-2010-0105405

(22) 출원일자 2010년10월27일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

조규식

경기도 수원시 영통구 봉영로1770번길 21, 황골마을2단지 신명아파트 204동 801호 (영통동)

최준후

서울특별시 용산구 한강대로 211, 101동 1804호 (한강로1가, 대우 월드마크 용산)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

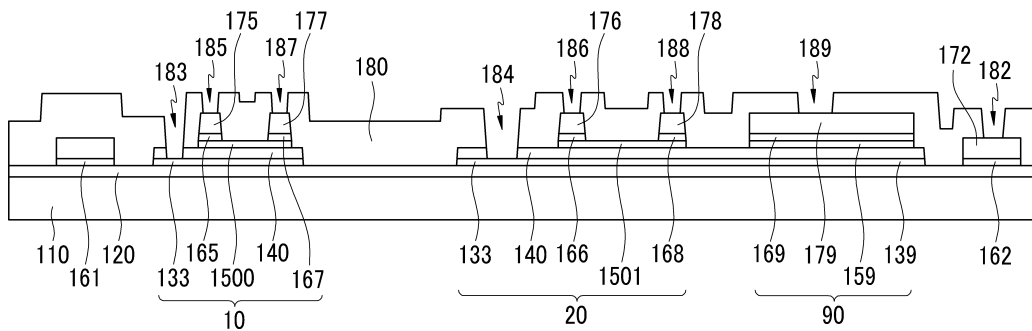
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

유기 발광 표시 장치 및 그 제조 방법에서, 본 발명의 실시예에 따른 유기 발광 표시 장치는 기판과, 상기 기판 상에 반도체 물질로 형성된 액티브층과, 상기 반도체층 상에 형성된 제1 절연층과, 상기 제1 절연층 상에 형성되며 복수의 화소 금속막들과 복수의 화소 투명 도전막들이 교호적으로 적층되어 만들어진 화소 전극과, 상기 제1 절연층 상에 형성되며 상기 화소 전극과 상이한 구조로 형성된 게이트 전극과, 상기 화소 전극을 드러내는 절연층 개구부를 가지고 상기 게이트 전극을 덮도록 상기 제1 절연층 위에 형성된 제2 절연층과, 상기 제2 절연층 상에 형성되며 각각 상기 액티브층과 전기적으로 연결된 소스 전극 및 드레인 전극과, 상기 화소 전극 상에 형성된 유기 발광층, 그리고 상기 유기 발광층 상에 형성된 공통 전극을 포함한다.

대표도 - 도9



(72) 발명자

추병권

경기 화성시 동탄면 반송리 나루마을 신도브레뉴아파트 619동 901호

신민철

서울특별시 구로구 부일로 861-6, 월드주택 A동 102호 (온수동)

양태훈

경기도 용인시 기흥구 삼성2로 95 (농서동)

이원규

경기도 성남시 분당구 미금로 63, 청구아파트 511동 1302호 (구미동, 무지개마을)

이윤규

경기도 용인시 기흥구 삼성2로 95 (농서동)

최보경

경기도 용인시 기흥구 삼성2로 95 (농서동)

박용환

서울특별시 양천구 오목로 174, 주안아파트 401호 (신정동)

문상호

서울특별시 양천구 월정로 5-1, 2층 (신월동)

특허청구의 범위

청구항 1

기관;

상기 기관 상에서 불순물이 도핑된 다결정 규소막을 패터닝하여 형성된 제1 게이트 전극, 제2 게이트 전극, 및 제1 캐패시터 전극을 포함하는 제1 다결정 규소막 패턴;

상기 제1 다결정 규소막 패턴 위에 상기 제1 다결정 규소막 패턴과 중첩되도록 형성된 게이트 절연막 패턴;

상기 게이트 절연막 패턴 상에서 다결정 규소막을 패터닝하여 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 일부와 중첩되도록 형성된 제1 액티브층 및 제2 액티브층과, 상기 제1 캐패시터 전극과 중첩되도록 형성된 캐패시터 다결정 더미층을 포함하는 제2 다결정 규소막 패턴;

상기 제2 다결정 규소막 패턴 상에서 불순물이 도핑된 비정질 규소막을 패터닝하여 상기 제1 액티브층의 일부 영역 위에 각각 형성된 제1 소스 저항성 접촉층 및 제1 드레인 저항성 접촉층과, 상기 제2 액티브층의 일부 영역 위에 각각 형성된 제2 소스 저항성 접촉층 및 제2 드레인 저항성 접촉층, 그리고 상기 캐패시터 다결정 더미층 위에 형성된 캐패시터 비정질 더미층을 포함하는 제3 비정질 규소막 패턴; 및

상기 제3 비정질 규소막 패턴 상에서 금속막을 패터닝하여 상기 제1 소스 저항성 접촉층, 상기 제1 드레인 저항성 접촉층, 상기 제2 소스 저항성 접촉층, 및 상기 제2 드레인 저항성 접촉층 위에 각각 형성된 제1 소스 전극, 제1 드레인 전극, 제2 소스 전극, 및 제2 드레인 전극과, 상기 캐패시터 비정질 더미층 위에 형성된 제2 캐패시터 전극을 포함하는 데이터 금속막 패턴

을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 게이트 절연막 패턴은 상기 제1 다결정 규소막 패턴의 일부를 드러내는 복수의 접촉 구멍들을 가지며,

상기 게이트 절연막 패턴은 상기 복수의 접촉 구멍들을 제외하면 상기 제1 다결정 규소막 패턴과 동일한 패턴으로 형성된 유기 발광 표시 장치.

청구항 3

제1항에서,

상기 제3 비정질 규소막 패턴은 상기 데이터 금속막 패턴과 동일한 패턴으로 형성된 유기 발광 표시 장치.

청구항 4

제1항에서,

상기 불순물은 N형 불순물인 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 금속막은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 금속을 포함하는 유기 발광 표시 장치.

청구항 6

제1항 내지 제5항 중 어느 한 항에서,

상기 데이터 금속막 패턴 상에 형성된 층간 절연막;

상기 층간 절연막 위에 형성되며, 상기 제1 게이트 전극과 연결된 게이트 라인, 상기 제2 게이트 전극과 상기 제1 드레인 전극을 연결하는 제1 연결부, 상기 제1 소스 전극과 상기 데이터 라인을 연결하는 제2 연결부, 상기 제2 소스 전극과 상기 공통 전원 라인을 연결하는 제3 연결부, 및 상기 제2 드레인 전극과 상기 제2 캐패시터 전극을 연결하는 제4 연결부를 포함하는 연결 금속막 패턴; 및

상기 층간 절연막 및 상기 연결 금속막 패턴 상에 형성된 투명 도전막 패턴을 더 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 투명 도전막 패턴은 상기 층간 절연막 상에 형성되어 상기 제2 드레인 연결부와 접속된 화소 전극을 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 화소 전극 상에 형성된 유기 발광층과, 상기 유기 발광층 상에 형성된 공통 전극을 더 포함하는 유기 발광 표시 장치.

청구항 9

제6항에서,

상기 투명 도전막 패턴은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO) 중 하나 이상을 포함하는 물질로 만들어진 유기 발광 표시 장치.

청구항 10

기판 상에 불순물이 도핑된 제1 비정질 규소막, 게이트 절연막, 및 불순물이 도핑되지 않은 제2 비정질 규소막을 차례로 적층하는 단계;

상기 제1 비정질 규소막 및 상기 제2 비정질 규소막을 결정화하여 불순물이 도핑된 제1 다결정 규소막 및 불순물이 도핑되지 않은 제2 다결정 규소막을 형성하는 단계;

상기 제1 다결정 규소막, 상기 게이트 절연막, 및 상기 제2 다결정 규소막을 함께 패터닝하여 동일한 패턴으로 형성된 제1 다결정 규소막 패턴, 게이트 절연막 패턴, 및 제2 다결정 규소막 패턴 중간체를 형성하는 단계;

상기 제2 다결정 규소막 패턴 중간체 위에 불순물이 도핑된 제3 비정질 규소막과 데이터 금속막을 차례로 적층하는 단계;

상기 데이터 금속막 상에 복수의 두께를 갖는 감광막 패턴을 형성하는 단계; 및

상기 감광막 패턴을 통해 상기 제2 다결정 규소막 패턴 중간체, 상기 제3 비정질 규소막, 및 상기 데이터 금속막을 패터닝하여 제2 다결정 규소막 패턴, 제3 비정질 규소막 패턴, 및 데이터 금속막 패턴을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 11

제10항에서,

상기 제2 다결정 규소막 패턴, 상기 제3 비정질 규소막 패턴, 및 상기 데이터 금속막 패턴을 형성하는 단계는,

상기 감광막 패턴을 이용한 1차 식각 공정을 통해 상기 제2 다결정 규소막 패턴 중간체, 상기 제3 비정질 규소막, 및 상기 데이터 금속막을 패터닝하여 제2 다결정 규소막 패턴, 제3 비정질 규소막 패턴 중간체, 및 데이터 금속막 패턴 중간체를 형성하는 단계와;

상기 감광막 패턴을 이용한 2차 식각 공정을 통해 상기 제3 비정질 규소막 패턴 중간체 및 상기 데이터 금속막 패턴 중간체를 패터닝하여 제3 비정질 규소막 패턴 및 데이터 금속막 패턴을 형성하는 단계

를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 12

제11항에서,

상기 제1 다결정 규소막 패턴은 제1 게이트 전극, 제2 게이트 전극, 및 제1 캐패시터 전극을 포함하고,

상기 제2 다결정 규소막 패턴은 상기 제1 게이트 전극 및 상기 제2 게이트 전극 상에 각각 형성된 제1 액티브층 및 제2 액티브층과, 상기 제1 캐패시터 전극 상에 형성된 캐패시터 다결정 더미층을 포함하며,

상기 제3 비정질 규소막 패턴은 상기 제1 액티브층의 일부 영역 위에 각각 형성된 제1 소스 저항성 접촉층 및 제1 드레인 저항성 접촉층과, 상기 제2 액티브층의 일부 영역 위에 각각 형성된 제2 소스 저항성 접촉층 및 제2 드레인 저항성 접촉층, 그리고 상기 캐패시터 다결정 더미층 위에 형성된 캐패시터 비정질 더미층, 그리고 더미 데이터 라인 및 더미 공통 전원 라인을 포함하고,

상기 데이터 금속막 패턴은 상기 제1 소스 저항성 접촉층, 상기 제1 드레인 저항성 접촉층, 상기 제2 소스 저항성 접촉층, 및 상기 제2 드레인 저항성 접촉층 위에 각각 형성된 제1 소스 전극, 제1 드레인 전극, 제2 소스 전극, 및 제2 드레인 전극과, 상기 캐패시터 비정질 더미층 위에 형성된 제2 캐패시터 전극, 그리고 더미 데이터 라인 위에 형성된 데이터 라인 및 더미 공통 전원 라인 위에 형성된 공통 전원 라인을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 13

제12항에서,

상기 감광막 패턴은 제1 두께부와, 상기 제2 두께부보다 작은 두께를 갖는 제2 두께부, 그리고 실질적으로 두께를 갖지 않는 개구 영역을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 14

제13항에서,

상기 감광막 패턴의 상기 제1 두께부는 상기 제1 소스 전극, 상기 제1 드레인 전극, 상기 제2 소스 전극, 상기 제2 드레인 전극, 및 상기 제2 캐패시터 전극이 형성될 위치에 대응되며,

상기 감광막 패턴의 상기 제2 두께부는 상기 제1 소스 전극, 상기 제1 드레인 전극, 상기 제2 소스 전극, 및 상기 제2 드레인 전극과 겹치지 않는 상기 제1 액티브층 및 상기 제2 액티브층의 채널 영역과 대응되는 유기 발광 표시 장치 제조 방법.

청구항 15

제14항에서,

상기 1차 식각 공정은 상기 감광막 패턴의 상기 제1 두께부 및 상기 제2 두께부를 통해 수행되며,

상기 2차 식각 공정은 상기 감광막 패턴의 상기 제2 두께부가 제거된 후, 상기 제1 두께부를 통해 수행되는 유기 발광 표시 장치 제조 방법.

청구항 16

제10항에서,

상기 불순물은 N형 불순물인 유기 발광 표시 장치 제조 방법.

청구항 17

제10항에서,

상기 데이터 금속막은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디

륨(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 금속을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 18

제10항 내지 제17항 중 어느 한 항에서,

상기 데이터 금속막 패턴 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막과 상기 게이트 절연막 패턴 중 하나 이상을 식각하여 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제1 소스 전극, 상기 제2 소스 전극, 상기 제1 드레인 전극, 상기 제2 드레인 전극, 및 상기 제2 캐패시터 전극의 일부를 드러내는 복수의 접촉 구멍들을 형성하는 단계;

상기 층간 절연막 상에 형성된 연결 금속막 패턴을 형성하는 단계;

상기 층간 절연막 및 상기 연결 금속막 패턴 상에 투명 도전막 패턴을 형성하는 단계

를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 19

제18항에서,

상기 투명 도전막 패턴은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO) 중 하나 이상을 포함하는 물질로 만들어진 유기 발광 표시 장치 제조 방법.

청구항 20

제18항에서,

상기 연결 금속막 패턴은 상기 복수의 접촉 구멍들을 통해 각각 상기 제1 게이트 전극과 연결된 게이트 라인, 상기 제2 게이트 전극과 상기 제1 드레인 전극을 연결하는 제1 연결부, 상기 제1 소스 전극과 상기 데이터 라인을 연결하는 제2 연결부, 상기 제2 소스 전극과 상기 공통 전원 라인을 연결하는 제3 연결부, 및 상기 제2 드레인 전극과 상기 제2 캐패시터 전극을 연결하는 제4 연결부를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 21

제18항에서,

상기 투명 도전막 패턴은 상기 층간 절연막 상에 형성되어 상기 상기 제2 드레인 연결부와 접속된 화소 전극을 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 22

제21항에서,

상기 화소 전극 상에 유기 발광층을 형성하는 단계와, 상기 유기 발광층 상에 공통 전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

명세서

기술 분야

[0001] 본 발명의 실시예는 바텀(bottom) 게이트(gate) 구조를 갖는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 경량 박형이 가능할 뿐만 아니라, 광시야각, 빠른 응답 속도, 그리고 상대적으로 적은 소비 전력 등의 장점으로 인하여 차세대 디스플레이로서 주목받고 있

다.

[0003] 유기 발광 표시 장치는 전자 이동도(carrier mobility)가 우수하여 고속 동작 회로에 적용이 가능하며 CMOS 회로 구성도 가능한 저온 다결정 규소 박막 트랜지스터(LTPS TFT)를 주로 사용한다. 그런데, 저온 다결정 규소 박막 트랜지스터(LTPS TFT)를 형성하기 위해선 상대적으로 더 많은 박막 공정이 요구된다.

[0004] 하지만, 유기 발광 표시 장치가 점점 대형화되면서, 제조 과정에서 사용되는 박막 공정이 많아질수록 생산성이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 바텀 게이트 구조를 가지면서도 제조 공정을 단순화시킬 수 있는 구조를 갖는 유기 발광 표시 장치를 제공한다.

[0006] 또한, 상기한 유기 발광 표시 장치의 제조 방법을 제공한다.

과제의 해결 수단

[0007] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 기판과, 상기 기판 상에서 불순물이 도핑된 다결정 규소막을 패터닝하여 형성된 제1 게이트 전극, 제2 게이트 전극, 및 제1 캐패시터 전극을 포함하는 제1 다결정 규소막 패턴과, 상기 제1 다결정 규소막 패턴 위에 상기 제1 다결정 규소막 패턴과 중첩되도록 형성된 게이트 절연막 패턴과, 상기 게이트 절연막 패턴 상에서 다결정 규소막을 패터닝하여 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 일부와 중첩되도록 형성된 제1 액티브층 및 제2 액티브층과 상기 제1 캐패시터 전극과 중첩되도록 형성된 캐패시터 다결정 더미층을 포함하는 제2 다결정 규소막 패턴과, 상기 제2 다결정 규소막 패턴 상에서 불순물이 도핑된 비정질 규소막을 패터닝하여 상기 제1 액티브층의 일부 영역 위에 각각 형성된 제1 소스 저항성 접촉층 및 제1 드레인 저항성 접촉층과 상기 제2 액티브층의 일부 영역 위에 각각 형성된 제2 소스 저항성 접촉층 및 제2 드레인 저항성 접촉층, 그리고 상기 캐패시터 다결정 더미층 위에 형성된 캐패시터 비정질 더미층을 포함하는 제3 비정질 규소막 패턴과, 상기 제3 비정질 규소막 패턴 상에서 금속막을 패터닝하여 상기 제1 소스 저항성 접촉층, 상기 제1 드레인 저항성 접촉층, 상기 제2 소스 저항성 접촉층, 및 상기 제2 드레인 저항성 접촉층 위에 각각 형성된 제1 소스 전극, 제1 드레인 전극, 제2 소스 전극, 및 제2 드레인 전극과 상기 캐패시터 비정질 더미층 위에 형성된 제2 캐패시터 전극을 포함하는 데이터 금속막 패턴을 포함한다.

[0008] 상기 게이트 절연막 패턴은 상기 제1 다결정 규소막 패턴의 일부를 드러내는 복수의 접촉 구멍들을 가지며, 상기 게이트 절연막 패턴은 상기 복수의 접촉 구멍들을 제외하면 상기 제1 다결정 규소막 패턴과 동일한 패턴으로 형성될 수 있다.

[0009] 상기 제3 비정질 규소막 패턴은 상기 데이터 금속막 패턴과 동일한 패턴으로 형성될 수 있다.

[0010] 상기 불순물은 N형 불순물일 수 있다.

[0011] 상기 금속막은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 금속을 포함할 수 있다.

[0012] 상기한 유기 발광 표시 장치는 상기 데이터 금속막 패턴 상에 형성된 층간 절연막과, 상기 층간 절연막 위에 형성되며 상기 제1 게이트 전극과 연결된 게이트 라인, 상기 제2 게이트 전극과 상기 제1 드레인 전극을 연결하는 제1 연결부, 상기 제1 소스 전극과 상기 데이터 라인을 연결하는 제2 연결부, 상기 제2 소스 전극과 상기 공통 전원 라인을 연결하는 제3 연결부, 및 상기 제2 드레인 전극과 상기 제2 캐패시터 전극을 연결하는 제4 연결부를 포함하는 연결 금속막 패턴과, 상기 층간 절연막 및 상기 연결 금속막 패턴 상에 형성된 투명 도전막 패턴을 더 포함할 수 있다.

[0013] 상기 투명 도전막 패턴은 상기 층간 절연막 상에 형성되어 상기 제2 드레인 연결부와 접속된 화소 전극을 포함할 수 있다.

[0014] 상기 화소 전극 상에 형성된 유기 발광층과, 상기 유기 발광층 상에 형성된 공통 전극을 더 포함할 수 있다.

[0015] 상기 투명 도전막 패턴은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide:

IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO) 중 하나 이상을 포함하는 물질로 만들어질 수 있다.

- [0016] 또한, 본 발명의 실시예에 따르면, 유기 발광 표시 장치 제조 방법은 기판 상에 불순물이 도핑된 제1 비정질 규소막, 게이트 절연막, 및 불순물이 도핑되지 않은 제2 비정질 규소막을 차례로 적층하는 단계와, 상기 제1 비정질 규소막 및 상기 제2 비정질 규소막을 결정화하여 불순물이 도핑된 제1 다결정 규소막 및 불순물이 도핑되지 않은 제2 다결정 규소막을 형성하는 단계와, 상기 제1 다결정 규소막, 상기 게이트 절연막, 및 상기 제2 다결정 규소막을 함께 패터닝하여 동일한 패턴으로 형성된 제1 다결정 규소막 패턴, 게이트 절연막 패턴, 및 제2 다결정 규소막 패턴 중간체를 형성하는 단계와, 상기 제2 다결정 규소막 패턴 중간체 위에 불순물이 도핑된 제3 비정질 규소막과 데이터 금속막을 차례로 적층하는 단계와, 상기 데이터 금속막 상에 복수의 두께를 갖는 감광막 패턴을 형성하는 단계, 그리고 상기 감광막 패턴을 통해 상기 제2 다결정 규소막 패턴 중간체, 상기 제3 비정질 규소막, 및 상기 데이터 금속막을 패터닝하여 제2 다결정 규소막 패턴, 제3 비정질 규소막 패턴, 및 데이터 금속막 패턴을 형성하는 단계를 포함한다.
- [0017] 제2 다결정 규소막 패턴, 제3 비정질 규소막 패턴, 및 데이터 금속막 패턴을 형성하는 단계는 상기 감광막 패턴을 이용한 1차 식각 공정을 통해 상기 제2 다결정 규소막 패턴 중간체, 상기 제3 비정질 규소막, 및 상기 데이터 금속막을 패터닝하여 제2 다결정 규소막 패턴, 제3 비정질 규소막 패턴 중간체, 및 데이터 금속막 패턴 중간체를 형성하는 단계와, 상기 감광막 패턴을 이용한 2차 식각 공정을 통해 상기 제3 비정질 규소막 패턴 중간체 및 상기 데이터 금속막 패턴 중간체를 패터닝하여 제3 비정질 규소막 패턴 및 데이터 금속막 패턴을 형성하는 단계를 포함할 수 있다.
- [0018] 상기 제1 다결정 규소막 패턴은 제1 게이트 전극, 제2 게이트 전극, 및 제1 캐패시터 전극을 포함하고, 상기 제2 다결정 규소막 패턴은 상기 제1 게이트 전극 및 상기 제2 게이트 전극 상에 각각 형성된 제1 액티브층 및 제2 액티브층과, 상기 제1 캐패시터 전극 상에 형성된 캐패시터 다결정 더미층을 포함할 수 있다. 또한, 상기 제3 비정질 규소막 패턴은 상기 제1 액티브층의 일부 영역 위에 각각 형성된 제1 소스 저항성 접촉층 및 제1 드레인 저항성 접촉층과, 상기 제2 액티브층의 일부 영역 위에 각각 형성된 제2 소스 저항성 접촉층 및 제2 드레인 저항성 접촉층, 그리고 상기 캐패시터 다결정 더미층 위에 형성된 캐패시터 비정질 더미층, 그리고 더미 데이터 라인 및 더미 공통 전원 라인을 포함할 수 있다. 또한, 상기 데이터 금속막 패턴은 상기 제1 소스 저항성 접촉층, 상기 제1 드레인 저항성 접촉층, 상기 제2 소스 저항성 접촉층, 및 상기 제2 드레인 저항성 접촉층 위에 각각 형성된 제1 소스 전극, 제1 드레인 전극, 제2 소스 전극, 및 제2 드레인 전극과, 상기 캐패시터 비정질 더미층 위에 형성된 제2 캐패시터 전극, 그리고 더미 데이터 라인 위에 형성된 데이터 라인 및 더미 공통 전원 라인 위에 형성된 공통 전원 라인을 포함할 수 있다.
- [0019] 상기 감광막 패턴은 제1 두께부와, 상기 제2 두께부보다 작은 두께를 갖는 제2 두께부, 그리고 실질적으로 두께를 갖지 않는 개구 영역을 포함할 수 있다.
- [0020] 상기 감광막 패턴의 상기 제1 두께부는 상기 제1 소스 전극, 상기 제1 드레인 전극, 상기 제2 소스 전극, 상기 제2 드레인 전극, 및 상기 제2 캐패시터 전극이 형성될 위치에 대응되며, 상기 감광막 패턴의 상기 제2 두께부는 상기 제1 소스 전극, 상기 제1 드레인 전극, 상기 제2 소스 전극, 및 상기 제2 드레인 전극과 겹치지 않는 상기 제1 액티브층 및 상기 제2 액티브층의 채널 영역과 대응될 수 있다.
- [0021] 상기 1차 식각 공정은 상기 감광막 패턴의 상기 제1 두께부 및 상기 제2 두께부를 통해 수행되며, 상기 2차 식각 공정은 상기 감광막 패턴의 상기 제2 두께부가 제거된 후, 상기 제1 두께부를 통해 수행될 수 있다.
- [0022] 상기 불순물은 N형 불순물일 수 있다.
- [0023] 상기 데이터 금속막은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 금속을 포함할 수 있다.
- [0024] 상기한 유기 발광 표시 장치 제조 방법은 상기 데이터 금속막 패턴 상에 층간 절연막을 형성하는 단계와, 상기 층간 절연막과 상기 게이트 절연막 패턴 중 하나 이상을 식각하여 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제1 소스 전극, 상기 제2 소스 전극, 상기 제1 드레인 전극, 상기 제2 드레인 전극, 및 상기 제2 캐패시터 전극의 일부를 드러내는 복수의 접촉 구멍들을 형성하는 단계와, 상기 층간 절연막 상에 형성된 연결 금속막 패턴을 형성하는 단계와, 상기 층간 절연막 및 상기 연결 금속막 패턴 상에 투명 도전막 패턴을 형성하는

단계를 더 포함할 수 있다.

- [0025] 상기 투명 도전막 패턴은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO) 중 하나 이상을 포함하는 물질로 만들어질 수 있다.
- [0026] 상기 연결 금속막 패턴은 상기 복수의 접촉 구멍들을 통해 각각 상기 제1 게이트 전극과 연결된 게이트 라인, 상기 제2 게이트 전극과 상기 제1 드레인 전극을 연결하는 제1 연결부, 상기 제1 소스 전극과 상기 데이터 라인을 연결하는 제2 연결부, 상기 제2 소스 전극과 상기 공통 전원 라인을 연결하는 제3 연결부, 및 상기 제2 드레인 전극과 상기 제2 캐패시터 전극을 연결하는 제4 연결부를 포함할 수 있다.
- [0027] 상기 투명 도전막 패턴은 상기 층간 절연막 상에 형성되어 상기 상기 제2 드레인 연결부와 접속된 화소 전극을 더 포함할 수 있다.
- [0028] 상기 화소 전극 상에 유기 발광층을 형성하는 단계와, 상기 유기 발광층 상에 공통 전극을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0029] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 바텀 게이트 구조를 가지면서도 제조 공정을 단순화시킬 수 있다.

도면의 간단한 설명

- [0030] 도 1 내지 도 13은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 과정을 순차적으로 나타낸 단면도들이다.
- 도 14는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0032] 또한, 명세서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0033] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도식된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0034] 이하, 도 1 내지 도 14를 참조하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101) 및 그 제조 방법을 설명한다.
- [0035] 먼저, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)의 제조 방법을 적층 순서에 따라 제1 박막 트랜지스터(10), 제2 박막 트랜지스터(20), 및 캐패시터(90)를 중심으로 설명한다.
- [0036] 도 1 및 도 2에 도시한 바와 같이, 기판(111) 상에 버퍼층(120)이 형성된다.
- [0037] 기판(111)은 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 투명한 절연성 기판으로 형성된다. 그러나 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 또한, 기판(111)이 플라스틱 등으로 만들어질 경우 플렉서블(flexible)한 기판으로 형성될 수도 있다.
- [0038] 버퍼층(120)은 화학적 기상 증착(chemical vapor deposition)법 또는 물리적 기상 증착(physical vapor deposition)법과 같이 해당 기술 분야의 종사자에게 공지된 다양한 방법들을 이용하여 산화규소막 및 질화규소막 등과 같은 절연막들을 하나 이상 포함하는 단층 또는 복층 구조로 형성된다.
- [0039] 버퍼층(120)은 기판(111)에서 발생하는 수분 또는 불순물의 확산 및 침투를 방지하고, 표면을 평탄화하며, 반도체

체층을 형성하기 위한 결정화 공정에서 열의 전달 속도를 조절하여 결정화가 잘 이루어질 수 있도록 돕는 역할을 한다.

[0040] 한편, 버퍼층(120)은 기판(111)의 종류 및 공정 조건에 따라 생략될 수도 있다.

[0041] 다음, 버퍼층(120) 상에 불순물이 도핑된 제1 비정질 규소막, 게이트 절연막, 및 불순물이 도핑되지 않은 제2 비정질 규소막을 차례로 적층한다. 그리고 제1 비정질 규소막 및 제2 비정질 규소막을 결정화하여 불순물이 도핑된 제1 다결정 규소막 및 불순물이 도핑되지 않은 제2 다결정 규소막을 형성한다. 이때, 결정화 방법으로는 급속 열처리(rapid thermal annealing, RTA) 공정이 사용된다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니며, 해당 기술 분야의 종사자에게 공지된 다양한 결정화 방법이 사용될 수 있다. 여기서, 제1 비정질 규소막에 도핑된 불순물은 N형 불순물이다. N형 불순물로는 해당 기술 분야의 종사자에게 공지된 다양한 불순물을 사용할 수 있다.

[0042] 다음, 제1 다결정 규소막, 게이트 절연막, 및 제2 다결정 규소막을 제1 사진 식각 공정을 통해 패터닝하여 서로 동일한 패턴으로 형성된 제1 다결정 규소막 패턴(130), 게이트 절연막 패턴(140), 및 제2 다결정 규소막 패턴 중간체(1501)를 형성한다. 제1 다결정 규소막 패턴(130), 게이트 절연막 패턴(140), 및 제2 다결정 규소막 패턴 중간체(1501)는, 도 1에 도시한 바와 같이, 동일한 식각 단면을 갖는다.

[0043] 여기서, 제1 다결정 규소막 패턴(130)은 제1 게이트 전극(133), 제2 게이트 전극(134), 및 제1 캐패시터 전극(139)을 포함한다.

[0044] 또한, 게이트 절연막 패턴(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소(SiN_x), 및 산화규소(SiO_2) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질 중 하나 이상을 포함하여 형성된다.

[0045] 다음, 도 3에 도시한 바와 같이, 제2 다결정 규소막 패턴 중간체(1501) 위에 불순물이 도핑된 제3 비정질 규소막(1600)과 데이터 금속막(1700)을 차례로 적층한다. 여기서, 제3 비정질 규소막(1600)에 도핑된 불순물은 N형 불순물이다. 또한, 데이터 금속막(1700)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 금속을 포함한다.

[0046] 다음, 데이터 금속막(1700) 위에 노광 및 현상 공정을 통해 감광막 패턴(800)을 형성한다. 이때, 노광 공정은 하프톤(halftone) 노광 공정 또는 이중 노광 공정을 포함할 수 있다. 그리고 감광막 패턴(800)은 복수의 두께를 갖는다. 구체적으로, 감광막 패턴(800)은 제1 두께부(801)와, 제1 두께부(801)보다 작은 두께를 갖는 제2 두께부(802), 그리고 실질적으로 두께를 갖지 않는 개구 영역을 포함한다. 여기서, 실질적으로 두께를 갖지 않는다는 것은 공정에 영향을 미치지 않는 매우 얇은 막이 잔존할 수도 있음을 의미한다.

[0047] 다음, 도 4에 도시한 바와 같이, 제1 두께부(801) 및 제2 두께부(802)를 갖는 감광막 패턴(800)을 이용한 1차 식각 공정을 통해 제2 다결정 규소막 패턴 중간체(1501), 제3 비정질 규소막(1600), 및 데이터 금속막(1700)을 패터닝하여 제2 다결정 규소막 패턴(150), 제2 비정질 규소막 패턴 중간체(1601), 및 데이터 금속막 패턴 중간체(1701)를 형성한다.

[0048] 제2 다결정 규소막 패턴(150)은 제1 액티브층(153), 제2 액티브층(154), 및 캐패시터 다결정 더미층(159)을 포함한다. 제1 액티브층(153)은 제1 게이트 전극(133) 상에 형성되며, 제2 액티브층(154)은 제2 게이트 전극(134) 상에 형성된다. 캐패시터 다결정 더미층(159)은 제1 캐패시터 전극(139) 상에 형성된다.

[0049] 다음, 도 5에 도시한 바와 같이, 감광막 패턴(800)의 제2 두께부(802)를 에싱(ashing) 공정을 통해 제거한다. 이때, 감광막 패턴(800)의 제1 두께부(801)의 두께도 일정 부분 감소된다.

[0050] 다음, 도 6 및 도 7에 도시한 바와 같이, 제1 두께부(801)를 갖는 감광막 패턴(800)을 이용한 2차 식각 공정을 통해 제3 비정질 규소막 패턴 중간체(1601) 및 데이터 금속막 패턴 중간체(1701)를 패터닝하여 제2 비정질 규소막 패턴(160) 및 데이터 금속막 패턴(170)을 형성한다.

[0051] 제2 비정질 규소막 패턴(160)은 제1 소스 저항성 접촉층(165), 제1 드레인 저항성 접촉층(167), 제2 소스 저항성 접촉층(166), 제2 드레인 저항성 접촉층(168), 및 캐패시터 비정질 더미층(169)을 포함한다.

[0052] 제1 소스 저항성 접촉층(165) 및 제1 드레인 저항성 접촉층(167)은 제1 액티브층(153)의 일부 영역 위에 각각 형성된다. 그리고 제1 소스 저항성 접촉층(165) 및 제1 드레인 저항성 접촉층(167)은 서로 이격된다. 제2 소

스 저항성 접촉층(166) 및 제2 드레인 저항성 접촉층(168)은 제2 액티브층(154)의 일부 영역 위에 각각 형성된다. 그리고 제2 소스 저항성 접촉층(166) 및 제2 드레인 저항성 접촉층(168)은 서로 이격된다. 캐패시터 비정질 더미층(169)은 캐패시터 다결정 더미층(159) 위에 형성된다.

- [0053] 데이터 금속막 패턴(170)은 제1 소스 전극(175), 제1 드레인 전극(177), 제2 소스 전극(176), 제2 드레인 전극(178), 및 제2 캐패시터 전극(179)을 포함한다.
- [0054] 제1 소스 전극(175)은 제1 소스 저항성 접촉층(165) 위에 형성된다. 제1 드레인 전극(177)은 제1 드레인 저항성 접촉층(167) 위에 형성된다. 제2 소스 전극(176)은 제2 소스 저항성 접촉층(166) 위에 형성된다. 제2 드레인 전극(178)은 제2 드레인 저항성 접촉층(168) 위에 형성된다. 그리고 제2 캐패시터 전극(179)은 캐패시터 비정질 더미층(169) 위에 형성된다. 제1 캐패시터 전극(139)과 제2 캐패시터 전극(179)은 캐패시터(90)의 양 전극이 된다.
- [0055] 또한, 데이터 금속막 패턴(170)은 데이터 라인(171)과 공통 전원 라인(172)을 더 포함한다. 그리고 비정질 금속막 패턴(160)은 데이터 라인(171) 및 공통 전원 라인(172)과 동일한 패턴으로 데이터 라인(171) 및 공통 전원 라인(172) 아래에 각각 형성된 더미 데이터 라인(161)과 더미 공통 전원 라인(162)을 더 포함한다.
- [0056] 다음, 잔존하는 감광막 패턴(800)을 모두 제거한다.
- [0057] 이상, 도 3 내지 도 7에서 설명한 노광 공정, 현상 공정, 제1 식각 공정, 에칭 공정, 및 제2 식각 공정은 제2 사진 식각 공정에 포함된다.
- [0058] 구체적으로, 감광막 패턴(800)의 제1 두께부(801)는 제1 소스 전극(175), 제1 드레인 전극(177), 제2 소스 전극(176), 제2 드레인 전극(178), 및 제2 캐패시터 전극(179)이 형성될 위치에 대응된다. 그리고 감광막 패턴(800)의 제2 두께부(802)는 제1 소스 전극(175), 제1 드레인 전극(177), 제2 소스 전극(176), 및 제2 드레인 전극(178)과 겹치지 않는 제1 액티브층(153) 및 제2 액티브층(154)의 채널 영역과 대응된다.
- [0059] 다음, 도 8 및 도 9에 도시한 바와 같이, 데이터 금속막 패턴(170) 상에 층간 절연막(180)을 형성한다. 그리고 제3 사진 식각 공정을 통해 층간 절연막(180)을 관통하거나 층간 절연막(180)과 게이트 절연막 패턴(140)을 함께 관통하는 복수의 접촉 구멍들(182, 183, 184, 185, 186, 187, 188, 189)을 형성한다.
- [0060] 복수의 접촉 구멍들(182, 183, 184, 185, 186, 187, 188, 189)은 제1 게이트 전극(133), 제2 게이트 전극(134), 제1 소스 전극(175), 제2 소스 전극(176), 제1 드레인 전극(177), 제2 드레인 전극(178), 제2 캐패시터 전극(179), 및 공통 전원 라인(172) 등의 일부를 드러낸다.
- [0061] 다음, 도 10 및 도 11에 도시한 바와 같이, 층간 절연막(180) 상에 연결 금속막 패턴(190)을 형성한다. 연결 금속막 패턴(190)은 게이트 라인(191), 제1 연결부(196), 제2 연결부(197), 제3 연결부(198), 및 제4 연결부(199)를 포함한다.
- [0062] 게이트 라인(191)은 접촉 구멍(183)을 통해 제1 게이트 전극(133)과 연결된다. 제1 연결부(196)는 접촉 구멍들(184, 187)을 통해 제2 게이트 전극(134)과 제1 드레인 전극(177)을 연결한다. 제2 연결부(197)는 접촉 구멍들(185)을 통해 제1 소스 전극(175)과 데이터 라인(171)을 연결한다. 제3 연결부(198)는 접촉 구멍들(186)을 통해 제2 소스 전극(176)과 공통 전원 라인(172)을 연결한다. 제4 연결부(199)는 접촉 구멍들(188, 189)을 통해 제2 드레인 전극(178)과 제2 캐패시터 전극(179)을 연결한다.
- [0063] 또한, 연결 금속막 패턴(190)은 공통 전원 라인(172)과 연결된 라인 연결부(192)를 더 포함할 수 있다.
- [0064] 연결 금속막 패턴(190)은 제4 사진 식각 공정을 통해 형성된다.
- [0065] 다음, 도 12 및 도 13에 도시한 바와 같이, 층간 절연막(180)의 일부 영역 및 연결 금속막 패턴(190)의 전 영역 위에 투명 도전막 패턴(270)을 형성한다. 투명 도전막 패턴(270)은 제5 사진 식각 공정을 통해 형성된다.
- [0066] 투명 도전막 패턴(270)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO) 중 하나 이상을 포함할 수 있다.
- [0067] 투명 도전막 패턴(270)은 층간 절연막(180) 위에 바로 형성되어 제4 연결부(199)와 연결되는 화소 전극(71)을 더 포함한다.
- [0068] 다음, 도 14에 도시한 바와 같이, 투명 도전막 패턴(190) 위에 화소 정의막(280)을 형성한다. 화소 정의막

(280)은 화소 전극(71)의 일부를 드러내는 화소 개구부(285)를 가지며, 제6 사진 식각 공정을 통해 형성된다.

- [0069] 다음, 화소 개구부(285) 내에서 화소 전극(71) 상에 유기 발광층(72)을 형성한다. 유기 발광층(72)은 저분자 또는 고분자 유기물이 사용될 수 있다.
- [0070] 유기 발광층(72)은 발광층을 중심으로 화소 전극(710)의 방향으로 홀 수송층(hole transport layer: HTL) 및 홀 주입층(hole injection layer: HIL) 등이 적층되고, 공통 전극(미도시) 방향으로 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다.
- [0071] 유기 발광층(72) 상에는 공통 전극(미도시)이 형성된다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)는 화소 전극(71)을 애노드 전극으로 사용하고, 공통 전극(미도시)을 캐소드 전극으로 사용한다. 하지만, 본 발명의 일 실시예가 전술한 바에 한정되는 것은 아니며, 화소 전극(71)과 공통 전극(미도시)의 극성은 반대로 적용될 수도 있다.
- [0072] 또한, 본 발명의 일 실시예에서, 공통 전극(미도시)는 반사 물질을 포함하는 소재로 만들어진다. 즉, 유기 발광 표시 장치(101)는 배면 발광형 구조를 갖는다. 구체적으로, 공통 전극(730)은 Al, Ag, Mg, Li, Ca, LiF/Ca, 또는 LiF/Al로 만들어질 수 있다.
- [0073] 이와 같이, 화소 전극(71), 유기 발광층(72), 및 공통 전극(미도시)을 포함하는 유기 발광 소자(70)가 완성된다.
- [0074] 또한, 도시하지는 않았으나, 유기 발광 표시 장치(101)는 유기 발광 소자(70)의 유기 발광층(72)에 외부의 수분이나 산소 등이 침투하는 것을 방지하기 위한 위한 밀봉 부재를 더 포함할 수 있다.
- [0075] 상기한 바와 같은 제조 방법에 의해 제조된 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)는 게이트 전극(133, 134)이 액티브층(153, 154) 아래에 위치하는 바텀 게이트 구조를 가지면서도 제조 공정을 단순화시킬 수 있다.
- [0076] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

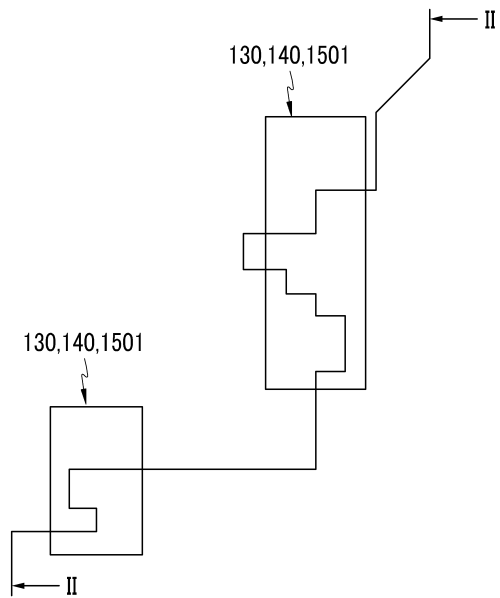
- [0077]
- | | |
|---------------------|---------------------|
| 10, 20: 박막 트랜지스터 | 70: 유기 발광 소자 |
| 71 : 화소 전극 | 72: 유기 발광층 |
| 90: 캐패시터 | 101: 유기 발광 표시 장치 |
| 111: 기판 | 120: 버퍼층 |
| 130: 제1 다결정 규소막 패턴 | 133: 제1 게이트 전극 |
| 134 : 제2 게이트 전극 | 139: 제1 캐패시터 전극 |
| 140: 게이트 절연막 패턴 | 150: 제2 다결정 규소막 패턴 |
| 153 : 제1 액티브층 | 154: 제2 액티브층 |
| 160: 제3 비정질 규소막 패턴 | 165: 제1 소스 저항성 접촉층 |
| 166: 제2 소스 저항성 접촉층 | 167: 제1 드레인 저항성 접촉층 |
| 168: 제2 드레인 저항성 접촉층 | 170: 데이터 금속막 패턴 |
| 171: 데이터 라인 | 172: 공통 전원 라인 |
| 175: 제1 소스 전극 | 176: 제2 소스 전극 |
| 177: 제1 드레인 전극 | 178: 제2 드레인 전극 |
| 180: 층간 절연막 | 190: 연결 금속막 패턴 |

270: 투명 도전막 패턴

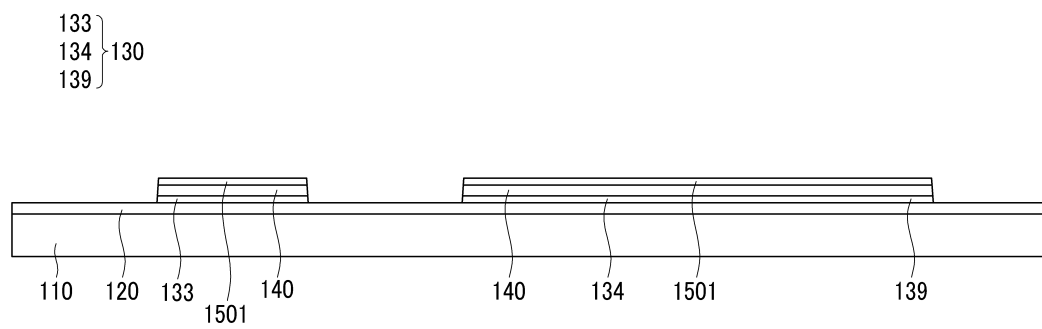
280: 화소 정의막

도면

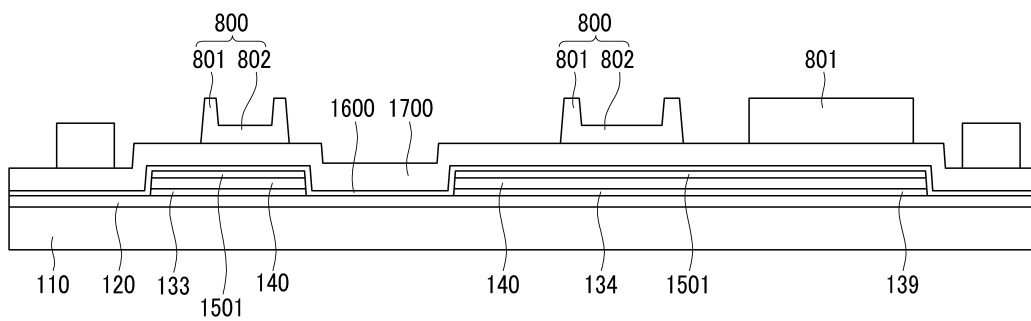
도면1



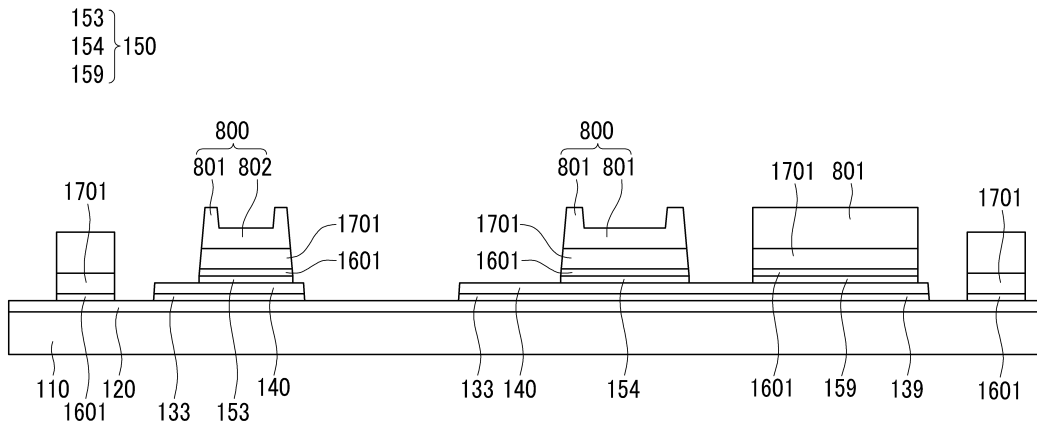
도면2



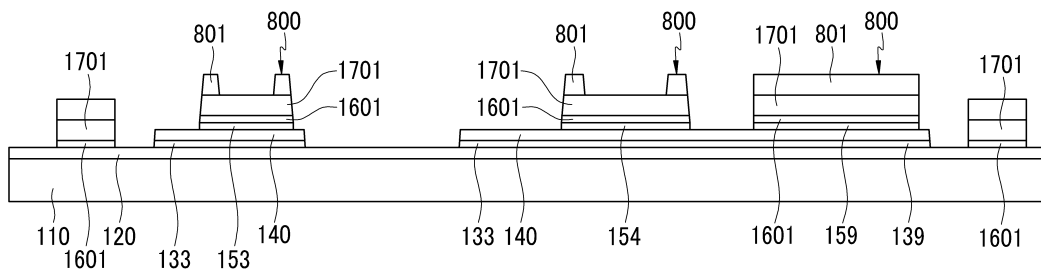
도면3



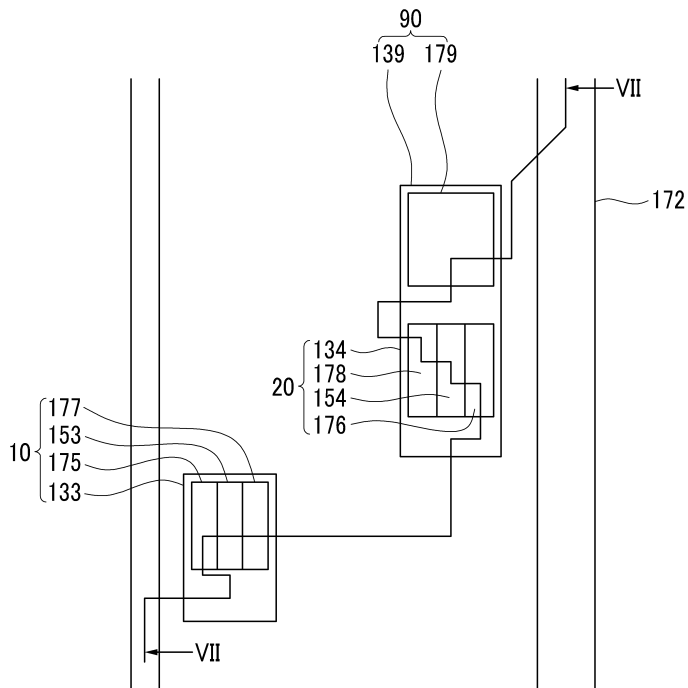
도면4



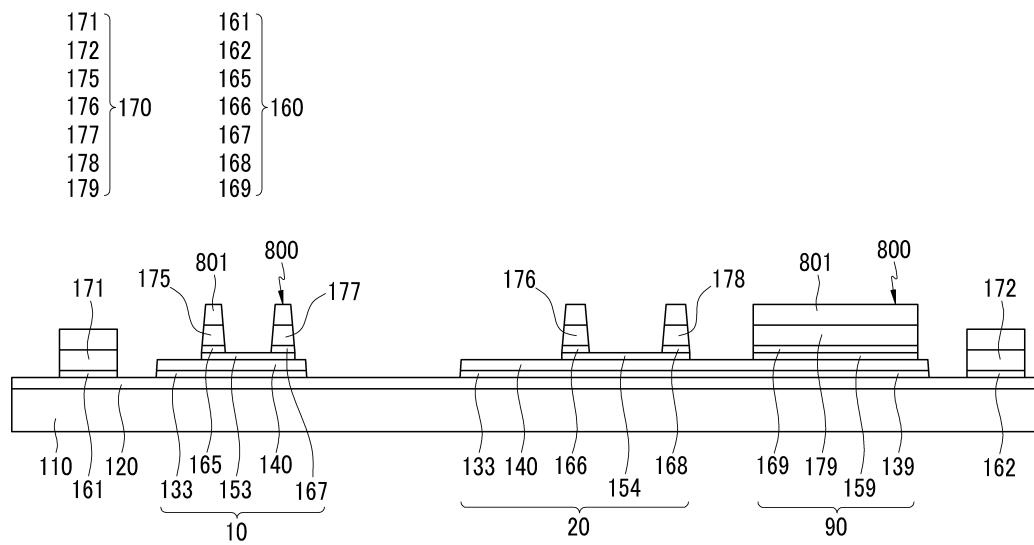
도면5



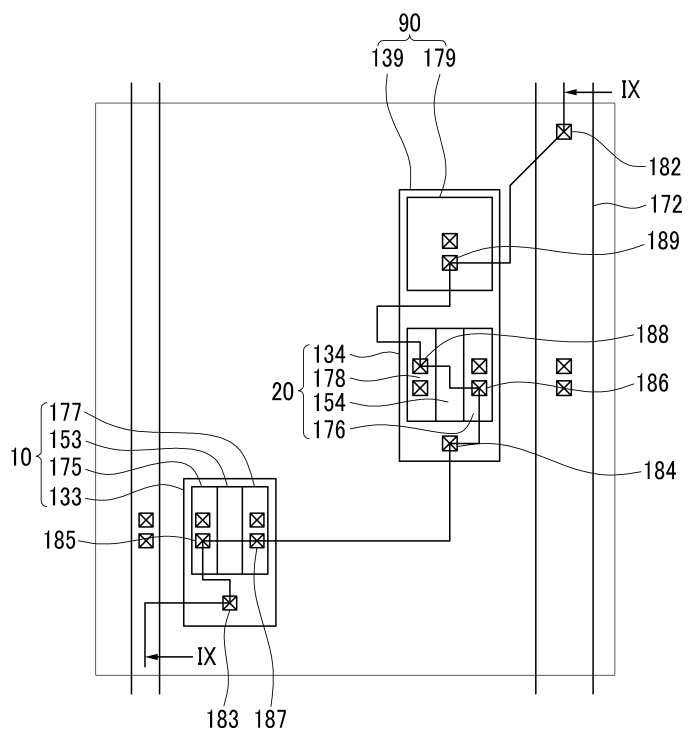
도면6



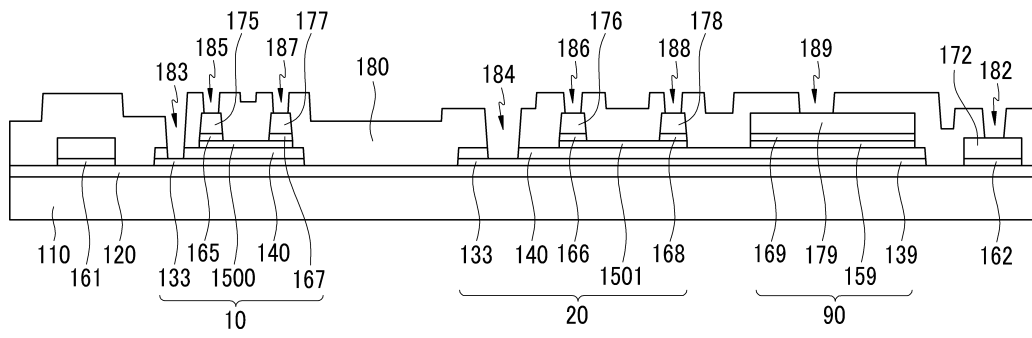
도면7



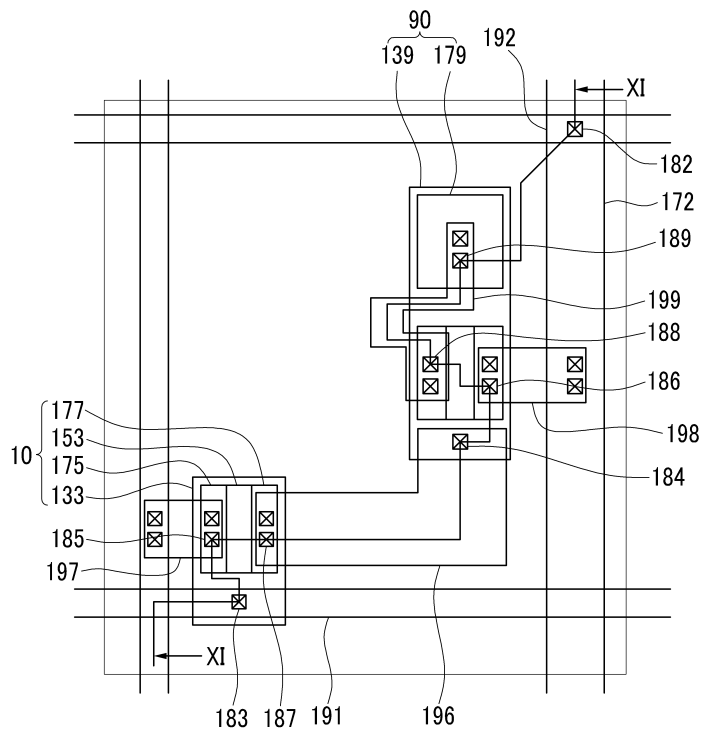
도면8



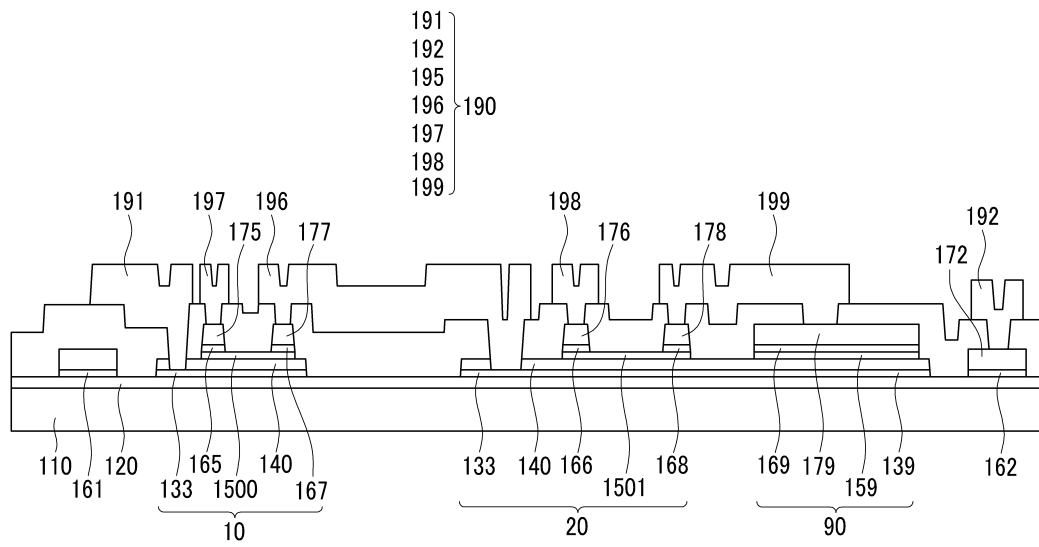
도면9



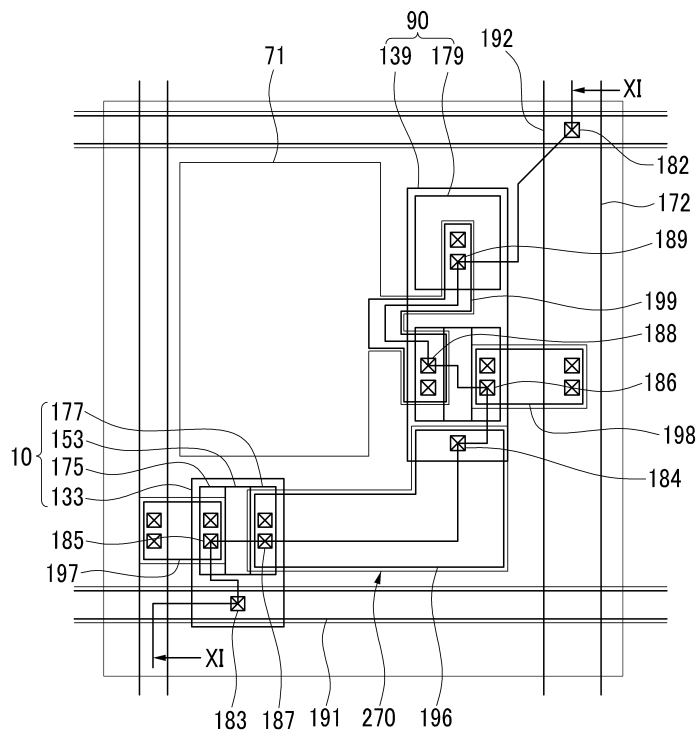
도면10



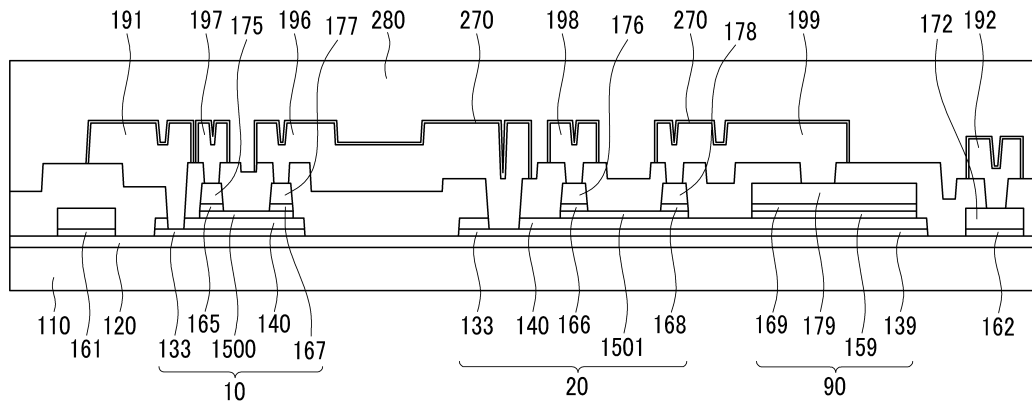
도면11



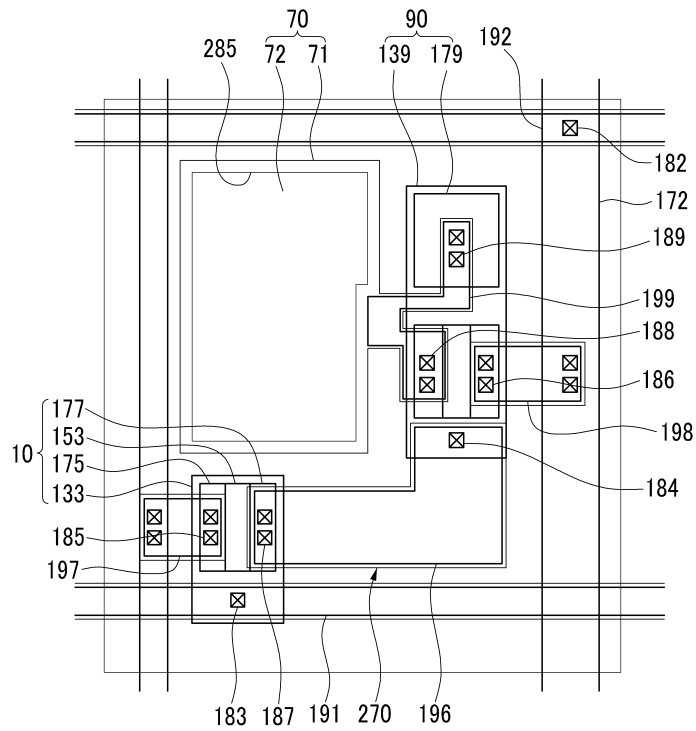
도면12



도면13



도면14



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020120044042A	公开(公告)日	2012-05-07
申请号	KR1020100105405	申请日	2010-10-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO KYU SIK 조규식 CHOI JOON HOO 최준후 CHOO BYOUNG KWON 추병권 SHIN MIN CHUL 신민철 YANG TAE HOON 양태훈 LEE WON KYU 이원규 LEE YUN GYU 이윤규 CHOI BO KYUNG 최보경 PARK YONG HWAN 박용환 MOON SANG HO 문상호		
发明人	조규식 최준후 추병권 신민철 양태훈 이원규 이윤규 최보경 박용환 문상호		
IPC分类号	H01L51/52 H01L29/786 H01L51/56		
CPC分类号	H01L51/56 H01L27/3262 H01L27/3265 H01L27/1288 H01L27/1255 H01L27/124 H01L27/3276		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光二极管 (OLED) 显示装置及其制造方法包括基板，形成在基板上的有源层，形成在半导体层上的第一绝缘层，像素电极形成在第一绝缘层上并通过交替堆叠多个像素金属膜和多个像素透明导电膜制成;栅电极形成在第一绝缘层上并形成与像素电极不同的结构;形成在第一绝缘层上以覆盖栅电极的第二绝缘层，其具有暴露像素电极的绝缘层开口;以及形成在第二绝缘层上的第二绝缘层，形成在像素电极上的有机发光层和形成在有机发光层上的公共电极。

