



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0085777
(43) 공개일자 2011년07월27일

(51) Int. Cl.

H01L 51/52 (2006.01) H05B 33/22 (2006.01)

(21) 출원번호 10-2010-0005745

(22) 출원일자 2010년01월21일

심사청구일자 2010년01월21일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

강진구

경기도 용인시 기흥구 농서동 산24

김무현

경기도 용인시 기흥구 농서동 산24

김재복

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 16 항

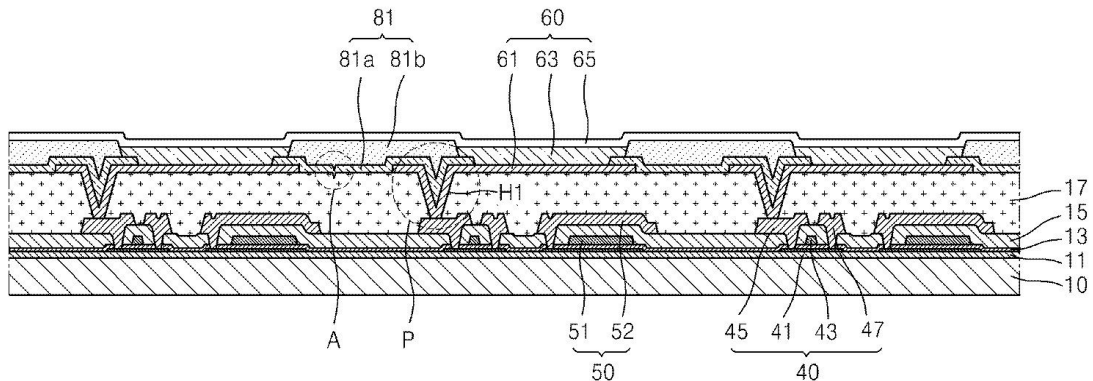
(54) 유기 발광 디스플레이 장치 및 그 제조방법

(57) 요약

본 발명은 유기 발광 디스플레이 장치 및 그 제조방법을 개시한다.

본 발명은 무기 절연막과 유기 절연막으로 형성된 화소정의막을 형성함으로써 유기 발광층의 막 두께 불균일을 최소화하고, 하부 박막 트랜지스터(TFT)부를 평탄화함으로써 소자의 수명을 향상시킬 수 있다.

대표도



특허청구의 범위

청구항 1

기관 상부에 형성된 박막 트랜지스터;

상기 박막 트랜지스터를 덮는 평탄화막 상부에 화소마다 형성되는 제1전극;

상기 제1전극 사이에서 상기 제1전극의 외곽부를 덮는 제1화소정의막, 및 상기 제1화소정의막의 에지를 노출시키며 상기 제1화소정의막을 덮는 제2화소정의막을 포함하는 화소정의막;

상기 제1전극 상부에 형성되고, 발광층을 포함하는 중간층; 및

상기 제1전극에 대향하여 위치하는 제2전극;을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 제2화소정의막이, 상기 평탄화막 상부에 형성된 요철 부분을 매립하며 상기 제1화소정의막 상부에 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 3

제1항에 있어서,

상기 제1화소정의막이 무기막으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 4

제1항에 있어서,

상기 제1화소정의막이 SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃로 이루어진 군에서 선택되는 하나로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 5

제1항에 있어서,

상기 제1화소정의막이 0.1 μ m 내지 1 μ m의 두께로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 6

제1항에 있어서,

상기 제2화소정의막이 유기막으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 7

제1항에 있어서,

상기 제2화소정의막이 폴리아크릴(polyacryl), 폴리이미드(polyimide), 폴리아마이드(PA), 벤조사이클로부텐(BCB) 및 페놀수지로 이루어진 군에서 선택되는 하나로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 8

제1항에 있어서,

상기 제2화소정의막의 두께가 상이한 화소가 배열되는 방향에서 0.1 μ m 내지 2 μ m의 범위를 갖고, 동일한 화소가 배열되는 방향에서 0.1 μ m 내지 1 μ m의 범위를 갖는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9

기관상에 화소마다 제1전극을 형성하는 단계;

상기 제1전극 사이에서 상기 제1전극의 외곽부를 덮는 제1화소정의막을 형성하는 단계;

상기 제1화소정의막의 에지를 노출시키며 상기 제1화소정의막을 덮는 제2화소정의막을 형성하는 단계;

상기 제1전극 상부에 발광층을 포함하는 중간층을 형성하는 단계; 및

상기 제1전극에 대하여 제2전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치 제조 방법.

청구항 10

제9항에 있어서,

상기 제2화소정의막이, 상기 평탄화막 상부에 형성된 요철 부분을 매립하며 상기 제1화소정의막 상부에 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치 제조 방법.

청구항 11

제9항에 있어서,

상기 제1화소정의막이 무기막으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치 제조 방법.

청구항 12

제9항에 있어서,

상기 제1화소정의막이 SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃로 이루어진 군에서 선택되는 하나로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치 제조 방법.

청구항 13

제9항에 있어서,

상기 제1화소정의막이 0.1 내지 1 μ m의 두께로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치 제조 방법.

청구항 14

제9항에 있어서,

상기 제2화소정의막이 유기막으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치 제조 방법.

청구항 15

제9항에 있어서,

상기 제2화소정의막이 폴리아크릴(polyacryl), 폴리이미드(polyimide), 폴리아마이드(PA), 벤조사이클로부텐(BCB) 및 페놀수지로 이루어진 군에서 선택되는 하나로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치 제조 방법.

청구항 16

제9항에 있어서,

상기 제2화소정의막의 두께가 상이한 화소가 배열되는 방향에서 0.1 μ m 내지 2 μ m의 범위를 갖고, 동일한 화소가 배열되는 방향에서 0.1 μ m 내지 1 μ m의 범위를 갖는 것을 특징으로 하는 유기 발광 디스플레이 장치 제조 방법.

명세서

기술분야

본 발명은 유기 발광 디스플레이 장치 및 그 제조방법에 관한 것으로서, 보다 상세하게는, 화소의 막 두께가 균

[0001]

일한 유기 발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

배경 기술

- [0002] 유기 발광 디스플레이 장치는 그 구동방식에 따라, 수동 구동방식의 패시브 매트릭스(PM: Passive Matrix)형과, 능동 구동방식의 액티브 매트릭스(AM: Active Matrix)형으로 구분된다. 패시브 매트릭스형 OLED(PM-OLED)는 단순히 양극과 음극이 각각 컬럼(column)과 로우(row)로 배열되어 음극에는 로우 구동회로로부터 스캐닝 신호가 공급되고, 이때, 복수의 로우 중 하나의 로우만이 선택된다. 또한, 컬럼 구동회로에는 각 화소로 데이터 신호가 입력된다. 한편, 액티브 매트릭스형 OLED(AM-OLED)는 박막 트랜지스터(Thin Film Transistor)를 이용해 각 화소 당 입력되는 신호를 제어하는 것으로, 방대한 양의 신호를 처리하기에 적합하여 동영상 구현하기 위한 디스플레이 장치로서 많이 사용되고 있다.
- [0003] 능동 구동형(AM: active matrix) 발광 디스플레이 장치의 박막 트랜지스터의 상부로는 박막 트랜지스터를 보호하는 보호막의 역할을 할 수도 있고, 그 상면을 평탄화시키는 평탄화막의 역할을 할 수도 있는 패시베이션막이 형성되고, 패시베이션막의 상부에는 화소정의막이 형성되어 있다.
- [0004] 상기 화소정의막이 화소 간 혼색을 방지하기 위해 높게 형성되는 경우 화소 정의막 사이에 형성되는 발광부의 막두께가 달라지는 문제점이 있다. 이를 해소하기 위해 얇은 화소정의막을 형성하는 경우 하부의 박막 트랜지스터부의 평탄화가 이루어지지 못하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 발광부의 막 두께를 균일하게 하고, 하부 박막 트랜지스터부의 평탄화를 이룰 수 있는 유기 발광 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0006] 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치는, 기판 상부에 형성된 박막 트랜지스터; 상기 박막 트랜지스터를 덮는 평탄화막 상부에 화소마다 형성되는 제1전극; 상기 제1전극 사이에서 상기 제1전극의 외곽부를 덮는 제1화소정의막, 및 상기 제1화소정의막의 에지를 노출시키며 상기 제1화소정의막을 덮는 제2화소정의막을 포함하는 화소정의막; 상기 제1전극 상부에 형성되고, 발광층을 포함하는 중간층; 및 상기 제1전극에 대향하여 위치하는 제2전극;을 포함할 수 있다.
- [0007] 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치 제조 방법은, 기판상에 화소마다 제1전극을 형성하는 단계; 상기 제1전극 사이에서 상기 제1전극의 외곽부를 덮는 제1화소정의막을 형성하는 단계; 상기 제1화소정의막의 에지를 노출시키며 상기 제1화소정의막을 덮는 제2화소정의막을 형성하는 단계; 상기 제1전극 상부에 발광층을 포함하는 중간층을 형성하는 단계; 및 상기 제1전극에 대향하여 제2전극을 형성하는 단계;를 포함할 수 있다.
- [0008] 보다 바람직하게, 상기 제2화소정의막은 상기 평탄화막 상부에 형성된 요철 부분을 매립하며 상기 제1화소정의막 상부에 형성될 수 있다.
- [0009] 보다 바람직하게, 상기 제1화소정의막은 무기막으로 형성될 수 있으며, SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃로 이루어진 군에서 선택되는 하나로 형성될 수 있다.
- [0010] 보다 바람직하게, 상기 제1화소정의막은 0.1 μ m 내지 1 μ m의 두께로 형성될 수 있다.
- [0011] 보다 바람직하게, 상기 제2화소정의막은 유기막으로 형성될 수 있으며, 상기 제2화소정의막이 폴리아크릴(polyacryl), 폴리이미드(polyimide), 폴리아마이드(PA), 벤조사이클로부텐(BCB) 및 페놀수지로 이루어진 군에서 선택되는 하나로 형성될 수 있다.
- [0012] 보다 바람직하게, 상기 제2화소정의막은 상이한 화소가 반복 배열되는 좌우 방향으로 0.1 μ m 내지 2 μ m의 두께로 형성되고, 동일한 화소가 반복 배열되는 상하 방향으로 0.1 μ m 내지 1 μ m의 두께로 형성될 수 있다.

발명의 효과

- [0013] 본 발명은 무기 절연막 과 유기 절연막으로 형성된 화소정의막을 형성함으로써 유기 발광층의 막 두께 불균일을

최소화하고, 하부 TFT부를 평탄화함으로써 소자의 수명을 향상시킬 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 화소 전극 부분을 개략적으로 도시한 평면도이다.
- 도 2는 도 1의 유기 발광 디스플레이 장치의 일 화소의 구조를 도시한 확대 평면도이다.
- 도 3은 본 발명의 바람직한 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.
- 도 4 내지 도 6은 본 발명의 바람직한 일 실시예에 따른 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하 본 발명의 바람직한 실시예가 첨부된 도면들을 참조하여 설명될 것이다. 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0016] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0017] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 화소 전극 부분을 개략적으로 도시한 평면도이다. 도 2는 도 1의 유기 발광 디스플레이 장치의 일 화소의 구조를 도시한 확대 평면도이다.
- [0018] 도 1 및 도 2를 참조하면, 본 발명의 유기 발광 디스플레이 장치는 적색(R), 녹색(G), 청색(B)의 화소(pixel)들이 반복하여 배치된 디스플레이부를 포함한다. 본 실시예에서는 적색(R), 녹색(G), 청색(B)의 화소(pixel)가 열 및 행 방향으로 반복 배치된 스트라이프 패턴을 도시한다. 그러나, 이러한 화소들의 구성은 반드시 이에 한정되는 것은 아니며, 각 열의 화소가 어긋나는 지그재그형, 매트릭스형 등 다양한 패턴으로 배열될 수 있다. 본 실시예에서는 설명의 편의를 위해 디스플레이부의 일부만을 도시하며, A-A' 방향으로 R, G, B의 상이한 화소가 반복 배열되고, B-B' 방향으로 동일한 화소가 반복 배열되는 경우를 설명한다.
- [0019] 각 화소들은 박막 트랜지스터(TFT)(30)(40), 커패시터(50) 등을 갖는 선택 구동 회로와, 발광 소자인 유기 발광 소자(60)를 구비한다. 각 화소에는 데이터 라인(72), 스캔 라인(71), 및 유기 발광 소자의 일 구동 전원이 되는 전원 라인(73)이 구비된다.
- [0020] 박막 트랜지스터(TFT)는 스위칭용인 스위칭 TFT(30)와, 구동용인 구동 TFT(40)의 2개의 박막 트랜지스터를 포함한다. 상기 스위칭 TFT(30)는 게이트 라인(71)에 인가되는 스캔 신호에 구동되어서 데이터 라인(72)에 인가되는 데이터 신호를 전달하는 역할을 하고 있다. 상기 구동 TFT(40)는 상기 스위칭 TFT(30)를 통하여 전달되는 데이터 신호에 따라서, 즉, 게이트와 소스 간의 전압 차에 의하여 유기 발광 소자(60)로 유입되는 전류량을 결정한다. 상기 커패시터(50)는 상기 스위칭 TFT(30)를 통하여 전달되는 데이터 신호를 한 프레임 동안 저장하는 역할을 하고 있다.
- [0021] 상기 스위칭 TFT(30)의 소스 전극(31)은 데이터 라인(72)에 의하여 구동 회로에 연결되고, 스위칭 TFT(30)의 게이트 전극(32)은 게이트 라인(71)에 의하여 다른 구동 회로에 연결되어 있다. 상기 스위칭 TFT(30)의 드레인 전극(33)은 커패시터(50)의 제1커패시터 전극(51) 및 구동 TFT(40)의 게이트 전극(43)과 연결되어 있다.
- [0022] 상기 커패시터(50)의 제2커패시터 전극(52)과 구동 TFT(40)의 소스 전극(47)은 전원 라인(73)과 연결되고, 구동 TFT(40)의 드레인 전극(45)은 유기 발광 소자(60)의 제1전극(61)과 연결되어 있다.
- [0023] 상기 선택 구동 회로의 박막 트랜지스터 및 커패시터의 개수는 반드시 이에 한정되는 것은 아니며, 소망하는 소자의 설계에 따라 이보다 더 많은 수의 박막 트랜지스터 및 커패시터를 구비할 수 있음은 물론이다.
- [0024] 유기 발광 소자(60)는 화소 전극이 되는 제1전극(61)과, 이 제1전극(61)과 소정의 간극을 두고 대향 위치된 공통전극인 제2전극(미도시)을 가지며, 제1전극(61)과 제2전극 사이에는 유기 발광층을 포함하는 중간층(미도시)이 형성되어 제1전극(61) 및 제2전극에 의해 발광한다.
- [0025] 상기 제1전극(61) 주변에는 제1전극(61)의 가장자리를 따라 화소정의막(81)이 구비된다. 화소정의막(81)은 무기

막인 제1화소정의막(81a)과 유기막인 제2화소정의막(81b)을 포함한다. 제1화소정의막(81a)은 제1전극(61)의 외곽부를 덮도록 형성되고, 제2화소정의막(81b)은 제1화소정의막(81a) 상부에 제1화소정의막(81a)의 에지를 노출시키며 형성된다.

- [0026] 도 3은 본 발명의 바람직한 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.
- [0027] 도 3을 참조하면, 본 발명의 유기 발광 디스플레이 장치는 기판(10) 상부에 형성된 다수의 박막 트랜지스터(40) 및 유기발광소자(60)를 포함한다.
- [0028] 박막 트랜지스터(40)는 활성층(41), 게이트 전극(43) 및 소스/드레인 전극(45/47)으로 구성된다. 상기 게이트 전극(43)과 활성층(41) 사이에는 이들 간의 절연을 위한 게이트 절연막(13)이 개재되어 있다. 또한, 상기 활성층(41)은 양쪽 가장자리에 고농도의 불순물이 주입된 소스/드레인 영역과 이들 사이의 채널 영역이 형성되어 있으며, 소스/드레인 영역은 상기 소스/드레인 전극(45/47)에 각각 연결되어 있다.
- [0029] 유기발광소자(60)는 제1전극(61), 제2전극(65) 및 그 사이에 개재된 중간층(63)으로 구성된다. 제1전극(61)은 상기 박막 트랜지스터(40)를 덮는 패시베이션막(17) 상부에 화소마다 형성되고, 비어홀(H3)을 통해 상기 박막 트랜지스터(40)의 소스/드레인 전극(45/47) 중 하나와 접촉된다.
- [0030] 상기 제1전극(61)의 양측 외곽부에는 화소를 정의하는 화소정의막(81)이 형성된다. 화소정의막(81)은 제1화소정의막(81a)과 제2화소정의막(81b)으로 구성된다. 제1화소정의막(81a)은 제1전극(61) 사이에서 제1전극(61)의 외곽부를 덮으며, 무기막으로 형성된다. 제2화소정의막(81b)은 제1전극(61)의 외곽부 및 비어홀(H1) 등이 형성되는 급경사 영역(P)을 덮으며, 제1화소정의막(81a) 상부에 유기막으로 형성된다. 제2화소정의막(81b)은 제1화소정의막(81a)의 에지로부터 일정 거리만큼 떨어져 위치한다. 제1화소정의막(81a)과 제2화소정의막(81b)의 에지 간의 간격은 약 $1\mu\text{m}$ 이하인 것이 바람직하며, 제1전극(61)의 개구율 및 발광 유효 영역을 고려하여 결정할 수 있다.
- [0031] 상기 제1화소정의막(81a)의 두께는 약 0.1 내지 $1\mu\text{m}$ 로 설정된다.
- [0032] 상기 제2화소정의막(81b)의 두께는, 도 1의 A-A' 방향의 경우 이웃하는 R,G,B 화소 간의 혼색을 방지하기 위해 약 0.1 내지 $2\mu\text{m}$ 로 설정하고, B-B' 방향의 경우 유기 발광층의 막 두께 단차를 최소화하기 위해 약 0.1 내지 $1\mu\text{m}$ 로 설정하는 것이 바람직하다.
- [0033] 상기 제1화소정의막(81a)은 제1전극(61)의 상부에 적층되는 중간층(63)의 표면 에너지와 유사한 표면 에너지를 갖는 무기 재료로 형성하고, 상기 제2화소정의막(81b)은 중간층(63)의 표면 에너지와 상이한 표면 에너지를 갖는 유기 재료로 형성한다.
- [0034] 유기 발광층을 잉크젯, 노즐 등의 프린팅 방법을 통해 형성하기 위해서는 화소 간 혼색을 방지하기 위해 화소 사이에 화소정의막을 형성하고 화소정의막의 발액성 표면 처리가 필요하다. 이때 화소정의막이 높을 경우 화소정의막과 만나는 화소의 외곽부(edge)와 중심부의 막 두께가 달라지는 문제점이 있다. 또한 화소정의막이 낮을 경우 비어홀 등이 형성된 급경사 영역(P)이나 식각 과정에서 형성된 함몰 영역(A) 등 요철부에 의한 하부 박막 트랜지스터부의 굴곡을 충분히 평탄화시켜주지 못하게 되어, 수분, 산소 등이 침투할 수 있고, 제1전극(61)과 제2전극(65) 간에 쇼트(short)가 발생할 수 있다.
- [0035] 따라서 본 발명은 얇은 제1화소정의막(81a)을 제1전극(61)의 외곽부에 형성하고 제2화소정의막(81b)을 제1화소정의막(81a)의 에지로부터 일정 간격 떨어져 형성함으로써 유기 발광층의 막 두께 불균일을 최소화한다. 또한 크랙 등의 요철이 형성된 제1화소정의막(81a) 상부에 제2화소정의막(81b)을 형성하여 스텝 커버리지(step coverage)를 향상시킴으로써 하부 TFT부를 평탄화하고, 제1전극(61)과 제2전극(65) 간의 쇼트(short)를 최소화할 수 있다.
- [0036] 상기 실시예에서는 제1화소정의막(81a)의 에지를 제외한 상부에 제2화소정의막(81b)을 형성하고 있으나, 다른 실시예로서, 상기 제2화소정의막(81b)은 급경사 영역(P)이나 함몰 영역(A) 등 요철부에만 추가로 형성할 수도 있다.
- [0037] 상기 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.
- [0038] 도 4 내지 도 6은 본 발명의 바람직한 일 실시예에 따른 유기 발광 디스플레이 장치의 제조 공정을 개략적으로

도시한 단면도이다. 본 실시예에서는 상하 방향으로 동일한 화소가 배열되고, 좌우 방향으로 R, G, B의 상이한 화소가 배열되는 스트라이프 구조의 디스플레이 장치를 예로서 설명한다.

- [0039] 도 4를 참조하면, 기판(10) 상부에 박막 트랜지스터(TFT) 및 제1전극(61)을 형성한다.
- [0040] 기판(10)은 SiO₂를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0041] 기판(10)은 화상이 기판(10)방향으로 구현되는 배면 발광형인 경우에는 투명한 재질로 형성해야 한다. 그러나 화상이 기판(10)의 반대 방향으로 구현되는 전면 발광형인 경우에는 반드시 투명한 재질로 형성할 필요는 없다. 이 경우 금속으로 기판(10)을 형성할 수 있다. 금속으로 기판(10)을 형성할 경우 기판(10)은 탄소, 철, 크롬, 망간, 니켈, 티타늄, 몰리브덴, 스테인레스 스틸(SUS), Invar 합금, Inconel 합금 및 Kovar 합금으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있으나, 이에 한정되는 것은 아니다. 기판(10)은 금속 포일로 형성할 수 있다.
- [0042] 절연층(11)은 기판(10)의 상면에서 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층 및/또는 버퍼층의 역할을 한다. 상기 절연층(11)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0043] 상기 절연층(11) 상에 TFT의 활성층(41)이 형성된다. TFT의 활성층(41)은 상기 절연층(11) 상부에 비정질 실리콘을 먼저 증착한 후 이를 결정화함으로써 다결정 실리콘층(미도시)을 형성하고, 상기 다결정 실리콘층을 패터닝함으로써 형성될 수 있다.
- [0044] 상기 TFT의 활성층(41)은 n형 또는 p형의 불순물 도핑에 의해 게이트 전극(43)의 양측에 대응하는 활성층(41)의 가장자리에 형성된 소스/드레인 영역과 이들 사이의 채널 영역을 구비한다.
- [0045] 상기 TFT의 활성층(41) 상에 게이트 절연막(13)이 형성된다. 게이트 절연막(13)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다.
- [0046] 상기 게이트 절연막(13) 상에는 게이트 전극(43)이 구비되고, 이를 덮도록 층간 절연막(15)이 형성된다.
- [0047] 게이트 전극(43)은 Al, Mo, W, Cr, Ni 또는 이들의 화합물과 같은 다양한 도전성 재료로 형성될 수 있다. 물론 박막 트랜지스터의 활성층 외에 다른 구성요소까지도 광이 통과할 필요성이 있을 경우에는, 게이트 전극(43)이 ITO 또는 IZO 등과 같은 다양한 투명한 도전성 재료로 형성될 수 있다.
- [0048] 상기 층간 절연막(15) 상에는 소스/드레인 전극(45/47)이 콘택홀을 통해 활성층(41)과 연결되며, 이를 덮도록 평탄화막(17)이 형성된다.
- [0049] 상기 평탄화막(17)은 무기 절연막 및/또는 유기 절연막을 사용할 수 있는데, 무기 절연막으로는 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 등이 포함되도록 할 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아미드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함되도록 할 수 있다. 또한 평탄화막(17)은 무기 절연막과 유기 절연막의 복합 적층체로도 형성될 수 있다.
- [0050] 상술한 바와 같은 TFT의 적층 구조는 반드시 이에 한정되는 것은 아니며, 다양한 구조의 TFT가 모두 적용 가능하다. 또한 본 실시예에서는 TFT의 일 예로서 탑 게이트(top gate) 방식의 TFT를 도시하고 있으나, 이와 달리 다른 구조의 TFT가 구비될 수 있음은 물론이다.
- [0051] 상기 평탄화막(17)의 상부에는 유기 발광 소자(OLED)의 화소 전극인 제1전극(61)이 형성되고, 비어홀(H1)을 통하여 소스/드레인 전극(45/47)과 전기적으로 연결된다. 비어홀(H1)은 평탄화막(17)을 식각하여 소스/드레인 전극(45/47)을 노출시킴으로써 형성된다.
- [0052] 상기 제1전극(61)은 화소별로 다양한 도전성 물질로 형성될 수 있다. 디스플레이 장치가 기판(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)일 경우, 상기 제1전극(61)은 투명 전극이 되고, 일함수가 높은 ITO, IZO, ZnO, 또는 In₂O₃ 등으로 형성될 수 있다. 디스플레이 장치가 기판(10)의 반대 방향으로 화상을 구현하는 전면 발광형(top emission type)일 경우, 상기 제1전극(61)은 반사 전극으로 구비될 수 있고, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 일함수가 높

은 ITO, IZO, ZnO, 또는 In₂O₃ 등을 형성하여 이루어질 수 있다.

- [0053] 도 5를 참조하면, 상기 제1전극(61)의 외곽부를 덮는 제1화소정의막(81a)을 형성한다.
- [0054] 상기 제1화소정의막(81a)을 형성하기 위해, 상기 제1전극(61)이 형성된 기관(10) 전면에 무기 절연층을 증착하고, 포토리소그래피 공정에 의해 패터닝하여 제1전극(61)의 중앙부가 노출되도록 개구(H2)를 형성한다.
- [0055] 무기 절연층은 SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 하나 이상의 무기 절연 물질로 스퍼터법, 화학진공증착(CVD:chemical vapor deposition)법, 증착법 등에 의해 형성될 수 있다.
- [0056] 상기 제1화소정의막(81a)은 화소의 외곽부와 중심부 간의 유기 발광층의 막 두께 차이를 최소화하기 위해 약 0.1 μ m 내지 1 μ m 범위의 두께로 형성될 수 있다.
- [0057] 도 6을 참조하면, 상기 제1화소정의막(81a) 상부에 제2화소정의막(81b)을 형성한다.
- [0058] 상기 제1화소정의막(81a)이 형성된 기관(10) 전면에 유기 절연층을 증착하고, 포토리소그래피 공정에 의해 패터닝하여 제1전극(61)의 중앙부 및 제1화소정의막(81a)의 에지가 노출되도록 개구(H3)를 형성한다.
- [0059] 유기 절연층은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅, 슬롯 코팅 등의 방법으로 형성될 수 있다.
- [0060] 상기 제2화소정의막(81b)의 두께는, 좌우 방향의 경우 이웃하는 R,G,B 화소 간의 혼색을 방지하기 위해 약 0.1 내지 2 μ m로 설정하고, 상하 방향의 경우 유기 발광층의 막 두께 단차를 최소화하기 위해 약 0.1 내지 1 μ m로 설정하는 것이 바람직하다.
- [0061] 상기 제1화소정의막(81a)과 제2화소정의막(81b)의 에지 간 간격은 약 1 μ m인 것이 바람직하다.
- [0062] 상기 제1전극(61) 및 상기 제1화소정의막(81a)은 제1전극(61)의 외곽부 및 비어홀(H) 주변에서 낮은 스텝 커버리지로 인해 크랙이 형성될 수 있다. 따라서 상기 제1화소정의막(81a) 상부에 제2화소정의막(81b)을 추가 형성함으로써 크랙을 매립하여 스텝 커버리지를 향상시키고 외기 침투 및 전극 간 쇼트를 방지할 수 있다.
- [0063] 이후, 도 1에 도시된 바와 같이, 상기 제1전극(61)이 노출된 개구에 유기 발광층을 포함하는 중간층(63) 및 제2전극(65)을 형성한다.
- [0064] 상기 중간층(63)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0065] 상기 중간층(63)은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0066] 저분자 유기물로 형성되는 경우, 중간층(63)은 유기 발광층을 중심으로 제1전극(61)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 제2전극(65) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0067] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(63)은 유기 발광층을 중심으로 제1전극(61) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 제1전극(61) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0068] 상기 제2전극(65)은 기관(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 디스플레이 장치의 경우, 제1전극(61)은 애노드 전극으로 사용되고, 제2전극(65)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0069] 유기 발광 디스플레이 장치가 기관(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 제1전극(61)은 투명전극이 되고 제2전극(65)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속,

예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.

[0070] 한편, 상기 도면에는 도시되지 않았지만, 제2전극(65) 상에는 외부의 수분이나 산소 등으로부터 유기 발광층을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.

[0071] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

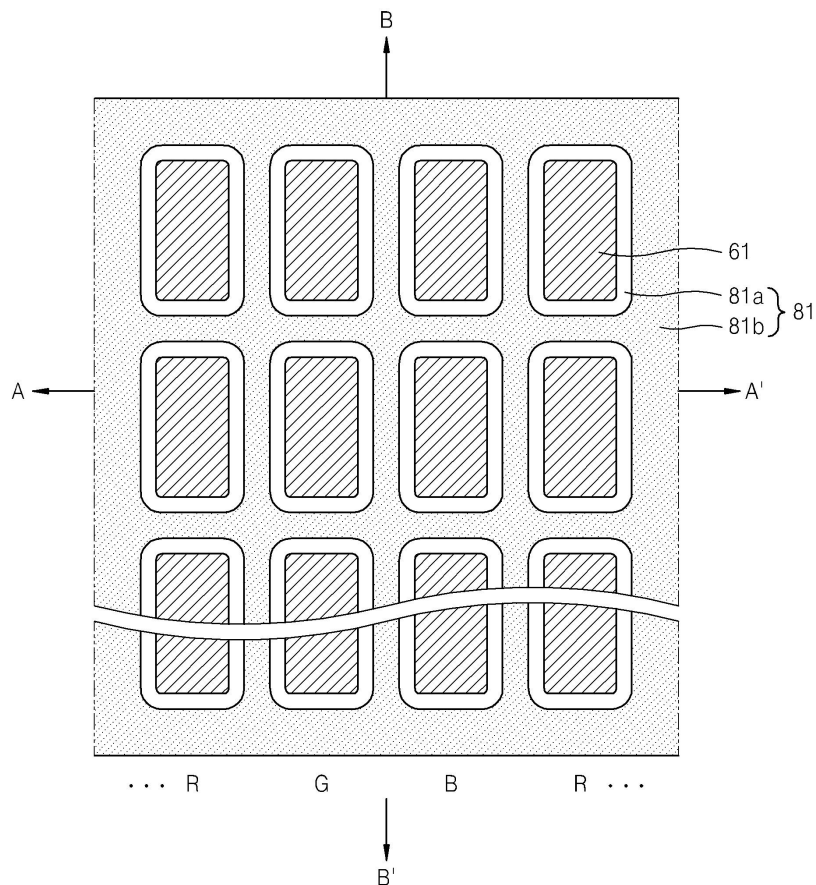
[0072] 10: 기판 40: 구동 TFT

 50: 커패시터 60: 유기 발광 소자

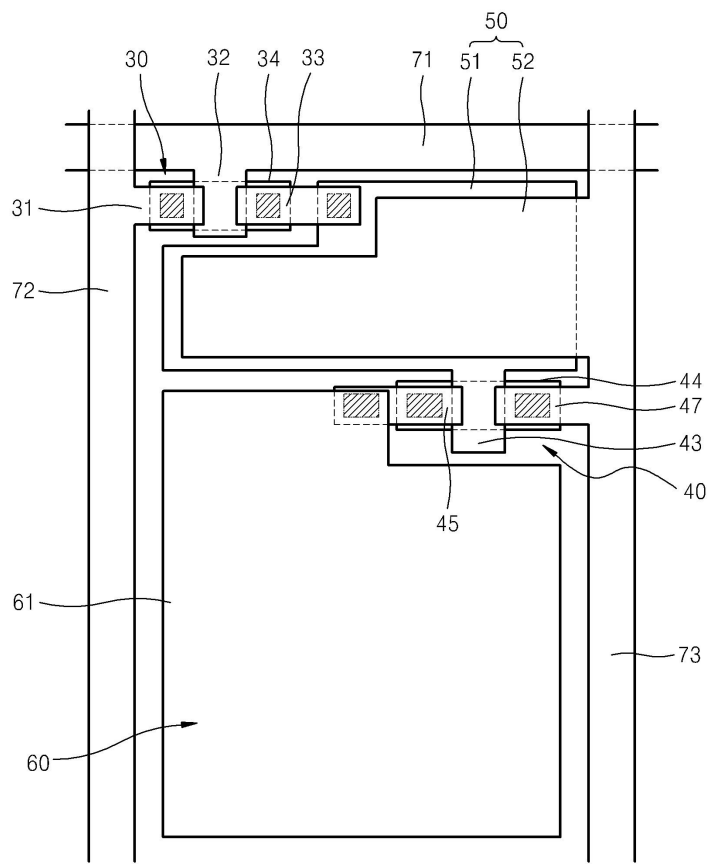
 61: 제1전극 81: 화소정의막

도면

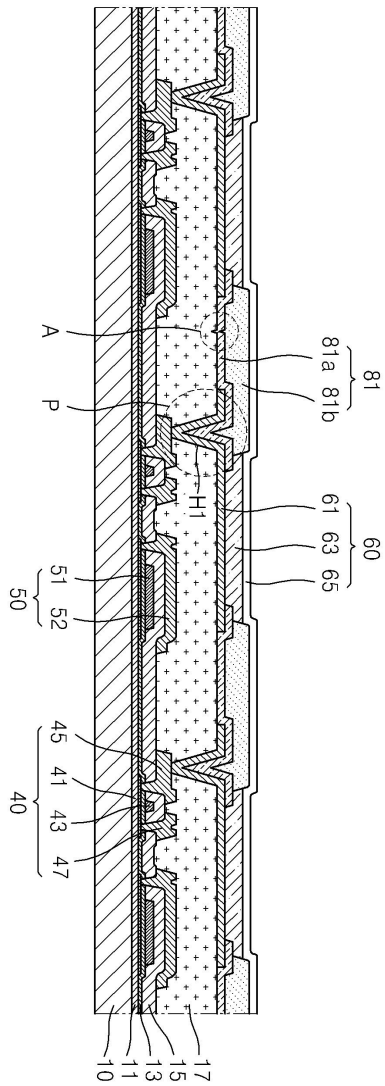
도면1



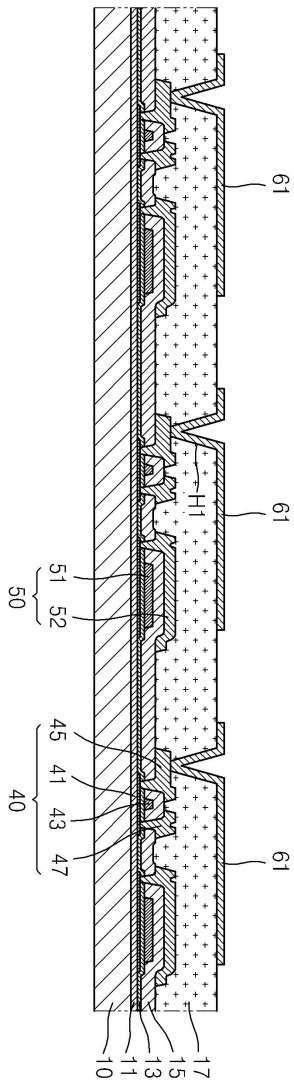
도면2



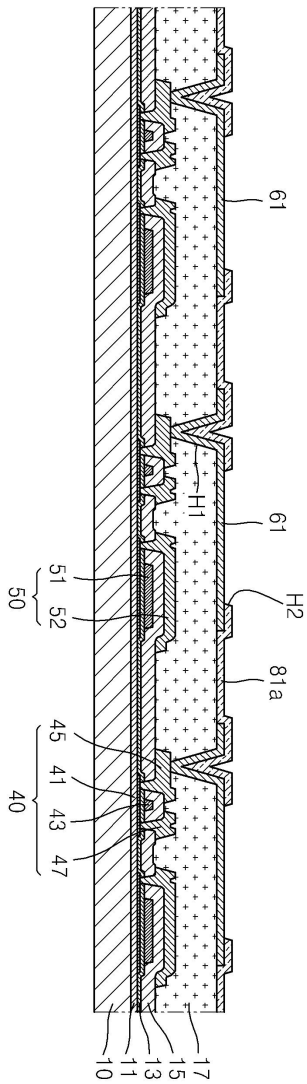
도면3



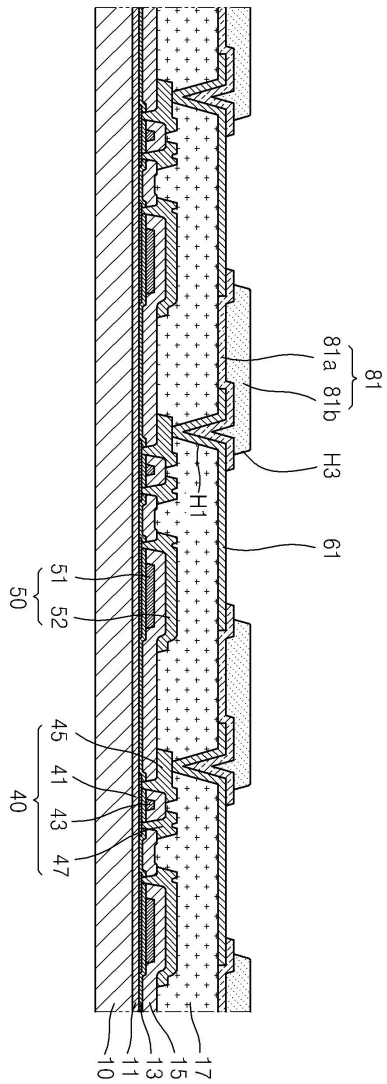
도면4



도면5



도면6



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR1020110085777A	公开(公告)日	2011-07-27
申请号	KR1020100005745	申请日	2010-01-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KANG JIN GOO 강진구 KIM MU HYUN 김무현 KIM JAE BOK 김재복		
发明人	강진구 김무현 김재복		
IPC分类号	H05B33/22 H01L H05B H01L51/52		
CPC分类号	H01L27/3246 H01L2251/558		
其他公开文献	KR101084187B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机发光显示装置及其制造方法。本发明涉及无机绝缘膜和有机绝缘膜。并且通过形成所形成的像素限定层，有机发光层的层厚度不均匀被最小化。通过平坦化底部薄膜晶体管（TFT）部分可以改善器件的寿命。图像的存在（专业参考）。

