



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0055235
(43) 공개일자 2010년05월26일

(51) Int. Cl.

H05B 33/26 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0114207

(22) 출원일자 2008년11월17일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최희동

충남 서산시 음암면 탑곡리 3구 178번지

(74) 대리인

특허법인로알

전체 청구항 수 : 총 12 항

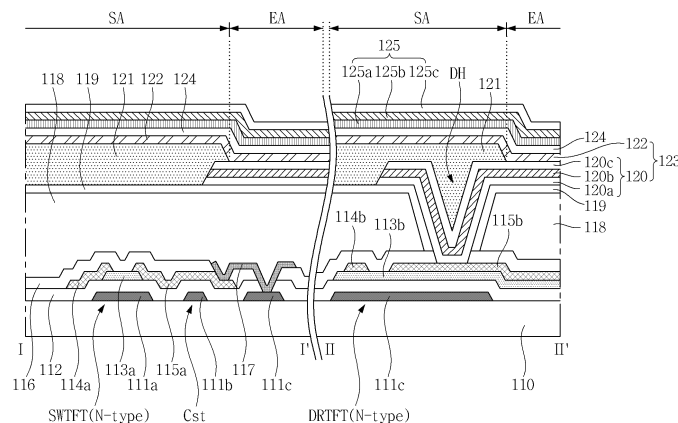
(54) 유기발광다이오드 표시장치

(57) 요약

본 발명은 탑 에미션 방식으로 발광되는 유기발광다이오드 표시장치에 관한 것이다.

이 유기발광다이오드 표시장치는 유기화합물층을 사이에 두고 애노드전극을 상부전극으로 함과 아울러 캐소드전극을 하부전극으로 하여 탑 에미션 방식으로 발광하는 유기발광다이오드; 드레인 접촉홀을 통해 상기 캐소드전극에 연결되어 자신의 게이트-소스 간 전압차에 따라 상기 유기발광다이오드의 발광량을 제어하는 구동 TFT; 및 게이트라인으로부터의 스캔펄스에 응답하여 데이터라인으로부터의 데이터전압을 상기 구동 TFT의 게이트전극에 인가하는 스위치 TFT를 구비하고; 상기 캐소드전극은, 반사막 상에 위치하는 투명전극층 또는 상기 반사막을 사이에 두고 위치하는 투명전극층들을 포함하는 캐소드 다중층과, 상기 캐소드 다중층과 상기 유기화합물층 사이에 위치하는 캐소드 금속층을 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

유기화합물층을 사이에 두고 애노드전극을 상부전극으로 함과 아울러 캐소드전극을 하부전극으로 하여 탑 에미션 방식으로 발광하는 유기발광다이오드;

드레인 접촉홀을 통해 상기 캐소드전극에 연결되어 자신의 게이트-소스 간 전압차에 따라 상기 유기발광다이오드의 발광량을 제어하는 구동 TFT; 및

게이트라인으로부터의 스캔펄스에 응답하여 데이터라인으로부터의 데이터전압을 상기 구동 TFT의 게이트전극에 인가하는 스위치 TFT를 구비하고;

상기 캐소드전극은, 반사막 상에 위치하는 투명전극층 또는 상기 반사막을 사이에 두고 위치하는 투명전극층들을 포함하는 캐소드 다중층과, 상기 캐소드 다중층과 상기 유기화합물층 사이에 위치하는 캐소드 금속층을 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 캐소드 다중층은,

은 재질의 반사막; 및

상기 반사막 상에 위치하는 ITO 또는 IZO 재질의 투명전극층을 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제 1 항에 있어서,

상기 캐소드 다중층은,

ITO 또는 IZO 재질의 제1 투명전극층;

상기 제1 투명전극층 상에 위치하는 은 재질의 반사막; 및

상기 반사막 상에 위치하는 ITO 또는 IZO 재질의 제2 투명전극층을 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제 1 항에 있어서,

상기 캐소드 금속층은,

은 재질의 제1 금속층; 및

상기 제1 금속층 상에 위치하는 알루미늄 재질의 제2 금속층을 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5

제 1 항에 있어서,

상기 캐소드 금속층은,

은 재질과 알루미늄 재질이 혼합된 혼합 금속층인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제 1 항에 있어서,

상기 캐소드 금속층의 두께는 50Å 이하인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

제 1 항에 있어서,

상기 애노드전극은 제1 투명전극층, 애노드 금속층 및 제2 투명전극층을 포함하는 애노드 다중층을 포함하고;

상기 제1 및 제2 투명전극층은 ITO 또는 IZO 재질을 가지며, 상기 애노드 금속층은 은 재질을 갖는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

제 7 항에 있어서,

상기 애노드 금속층의 두께는 10 ~ 20 Å인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 9

제 1 항에 있어서,

상기 게이트라인에 스캔펄스를 공급하기 위한 게이트패드를 더 구비하고;

상기 게이트패드는, 상기 게이트라인에 접속된 게이트패드 하부전극과, 게이트 패시홀을 통해 상기 게이트패드 하부전극에 접속되는 게이트패드 상부전극과, 상기 게이트패드 상부전극 상에 위치하는 상기 캐소드 다중층을 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 10

제 1 항에 있어서,

상기 데이터라인에 데이터전압을 공급하기 위한 데이터패드를 더 구비하고;

상기 데이터패드는, 상기 데이터라인에 접속된 데이터패드 하부전극과, 데이터 패시홀을 통해 상기 데이터패드 하부전극에 접속되는 데이터패드 상부전극과, 상기 데이터패드 상부전극 상에 위치하는 상기 캐소드 다중층을 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 11

제 1 항에 있어서,

상기 캐소드 다중층은 상기 TFT들과 함께 TFT 공정을 통해 형성되고;

상기 캐소드 금속층은 상기 유기화합물층 및 상기 애노드전극과 함께 OLED 공정을 통해 형성되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 12

제 1 항에 있어서,

상기 캐소드 다중층이 형성된 기판 상에서 개구영역을 구획하는 बैं크패턴을 더 구비하고;

상기 बैं크패턴은 상기 드레인 접촉홀을 차폐하는 것을 특징으로 하는 유기발광다이오드 표시장치.

명 세 서

발명의 상세한 설명

기술 분야

본 발명은 탑 에미션 방식으로 발광되는 유기발광다이오드 표시장치에 관한 것이다.

배 경 기 술

[0001]

- [0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광소자(Electroluminescence Device) 등이 있다.
- [0003] 전계발광소자는 발광층의 재료에 따라 무기발광다이오드 표시장치와 유기발광다이오드 표시장치로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.
- [0004] 액티브 매트릭스 타입의 유기발광다이오드 표시장치(Active Matrix type Organic Light Emitting Diode display, AMOLED)는 박막트랜지스터(Thin Film Transistor : 이하, "TFT")를 이용하여 유기발광다이오드소자(이하, "OLED"라 함)에 흐르는 전류를 제어하여 화상을 표시한다. 이러한 유기발광다이오드 표시장치는 애노드 전극, 캐소드전극 및 유기화합물층을 포함하는 OLED의 구조에 따라 탑 에미션(Top emission) 방식 또는 보텀 에미션(bottom emission) 방식 등의 형태로 화상을 표시한다. 보텀 에미션 방식이 유기화합물층에서 발생된 가시광을 TFT가 형성된 기관 하부쪽으로 표시하는 데 반해, 탑 에미션 방식은 유기화합물층에서 발생된 가시광을 TFT가 형성된 기관 상부쪽으로 표시한다. 세부적으로, 이 탑 에미션 방식은 애노드전극을 상부전극으로 함과 아울러 불투명 캐소드전극을 하부전극으로 하는 인버티드(Inverted) OLED 방식(이하, "IOD 방식"이라 함)과, 투명 캐소드전극을 상부전극으로 함과 아울러 반사전극과 투명 애노드전극을 하부전극으로 하는 노멀(Normal) OLED 방식으로 대별된다. 도 1과 같이 n-Type TFT를 사용하여 유기발광다이오드 표시장치를 구성하는 경우에는 IOD 방식이 주로 이용된다.
- [0005] 도 2는 IOD 방식으로 형성된 화소와 패드들의 단면 구조를 보여주는 것으로서, 도 2를 참조하면, 종래 유기발광다이오드 표시장치는 기관(10) 상에 형성된 데이터라인과 게이트라인, 스위치 TFT(SWTFT), 구동 TFT(DRTFT), 스토리지 커패시터, 오버코트층(18), 버퍼층(19), 캐소드전극(20), 뱅크패턴(21), 유기화합물층(22) 및 애노드전극(23)을 포함하는 화소와, 게이트라인에 접속된 게이트패드와 데이터라인에 접속된 데이터패드를 구비한다. 도 2에는 스토리지 커패시터는 생략되었다.
- [0006] 기관(10) 상에는 게이트라인, 게이트라인과 연결된 스위치 TFT(SWTFT), 구동 TFT(DRTFT)의 게이트전극(11a, 11b) 및 게이트라인의 끝단에 연결된 게이트패드 하부전극(31a)등을 포함한 게이트금속패턴이 형성된다. 게이트 절연막(12)은 게이트금속패턴을 덮도록 게이트금속패턴과 기관(10) 상에 형성된다. 스위치 TFT(SWTFT) 및 구동 TFT(DRTFT)의 액티브층(13a, 13b)은 게이트 절연막(12) 상에 반도체패턴으로 형성된다. 이 액티브층(13a, 13b)과 함께 데이터패드 위치에서 반도체패턴(13c)이 게이트 절연막(GI) 상에 형성된다. 스위치 TFT(SWTFT) 및 구동 TFT(DRTFT)의 소스 전극(14a, 14b)과 드레인 전극(15a, 15b), 데이터라인의 끝단에 연결된 데이터패드 하부전극(32a) 등을 포함한 소스/드레인금속패턴은 반도체패턴과 게이트 절연막(12) 상에 형성된다. 패시베이션층(16)은 소스/드레인금속패턴과 게이트 절연막(12) 상에 형성된다. 구동 TFT(DRTFT)에서 게이트전극(11b)의 일부는 패시베이션층(16)과 게이트 절연막(12)을 관통하는 콘택홀을 통해 노출된다. 스위치 TFT(SWTFT)에서 드레인전극(15a)의 일부는 패시베이션층(16)을 관통하는 콘택홀을 통해 노출된다. 또한, 게이트패드 하부전극(31a)의 일부는 패시베이션층(16)과 게이트 절연막(12)을 관통하는 콘택홀을 통해 노출되고, 데이터패드 하부전극(32a)의 일부는 패시베이션층(16)을 관통하는 콘택홀을 통해 노출된다. 패시베이션층(16)에는 콘택전극패턴(17)이 투명전극으로 형성된다. 콘택전극패턴(17)은 패시베이션층(16)을 관통하는 콘택홀을 통해 스위치 TFT(SWTFT)에 접촉되고 또한, 패시베이션층(16)과 게이트절연막(12)을 관통하는 콘택홀을 통해 구동 TFT(DRTFT)의 게이트전극(11b)에 접촉되어 스위치 TFT(SWTFT)와 구동 TFT(DRTFT)를 전기적으로 연결한다. 또한, 콘택전극패턴(17)은 게이트패드 하부전극(31a) 상에 형성되어 게이트패드 상부전극(31b)을 구성하고, 데이터패드 하부전극(32a) 상에 형성되어 데이터패드 상부전극(32b)을 구성한다. 오버코트층(18)은 폴리이미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질로 패시베이션층(16)과 콘택전극패턴(17) 상에 형성된다. 구동 TFT(DRTFT)에서 드레인전극(15b)의 일부는 오버코트층(18)을 관통하는 드레인 접촉홀(DH)을 통해 노출된다. 오버코트층(18) 상에는 질화실리콘(SiNx)으로 이루어진 버퍼층(19)이 형성되고, 이 버퍼층(19)의 일부와 노출된 구동 TFT(DRTFT)의 드레인전극(15b) 상에는 알루미늄-네오듐(AlNd)으로 캐소드전극(20)이 형성된다. 뱅크패턴(21)은 질화실리콘(SiNx)과 같은 무기 절연물질로 캐소드전극(20)의 일부와 버퍼층(19) 상에 형성되어 화소의 개구영역(EA)을 구획한다. 뱅크패턴(21)과 캐소드전극(20) 상에는 유기화합물층(22)과 ITO(Indium Tin Oxide)로 이루어진 애노드전극(23)이 순차적으로 형성된다. 애노드전극(23)에는 고전위 전원전압이 공급된다.
- [0007] 이와 같이, n-Type TFT를 사용하여 유기발광다이오드 표시장치를 제작하게 되면 TFT의 특성으로 인해 기관상에 캐소드전극을 형성해야 한다. 보편적으로 캐소드전극은 알루미늄(Al)계열이 사용되는데 알루미늄(Al)은 수분과 산소에 취약하여 산화되기 쉽다. 도 3a 및 도 3b에 도시된 그래프는 각각 알루미늄-네오듐(AlNd)으로 산소와

수분에 노출하여 캐소드전극을 형성한 경우와 진공 챔버 내에서 알루미늄(Al)을 증착하여 캐소드전극을 형성한 경우의 단위소자 특성을 보여준다. 그래프를 보면 알수 있듯이 알루미늄-네오듐(AlNd)을 캐소드전극으로 해서 단위소자를 만들었을 경우는 진공증착시에 비해 캐소드전극 표면에 자연 산화막이 쉽게 발생되어 정상적인 전자 주입을 방해한다. 이러한 비정상적인 전자주입 특성은 유기발광다이오드의 정상적 발광을 방해하여 실제 패널에 소자특성을 적용했을 경우 패널에서 암점을 유발하여 표시품위를 저하시키는 주된 요인으로 작용한다. 이와 같이 n-Type TFT를 적용하는 경우에는 TFT 공정 과정에서 기판상에 알루미늄-네오듐(AlNd)으로 캐소드전극을 직접 형성하는 IOD구조를 취할 수 밖에 없고 그런 경우에 캐소드전극이 대기중에 그대로 노출될 수밖에 없어 상술한 불량이 항상 수반된다.

[0008] 또한, 종래 유기발광다이오드 표시장치에서는 TFT 공정 과정에서 기판상에 알루미늄-네오듐(AlNd)으로 캐소드전극을 형성하기 때문에, 게이트패드 상부전극 및 데이터패드 상부전극 상에도 캐소드전극패턴이 증착되게 된다. 따라서, 게이트패드 상부전극 및 데이터패드 상부전극 상에 형성된 캐소드전극패턴은 드라이버들과의 접속에 방해가 되므로 습식식각(Wet Etching) 공정을 통해 제거되어야 한다. 그런데, 종래 유기발광다이오드 표시장치에서는 이러한 습식 식각 과정에서 게이트패드 상부전극 및 데이터패드 상부전극에 데미지(Damage)가 가해져 패드부 상부전극들이 손상을 받게 된다.

발명의 내용

해결 하고자하는 과제

[0009] 따라서, 본 발명의 목적은 IOD 방식의 유기발광다이오드 표시장치에서 캐소드전극의 산화를 방지하여 원할한 전자주입이 이루어질 수 있도록 함과 아울러 패드부 상부전극들의 손상을 방지할 수 있도록 한 유기발광다이오드 표시장치를 제공하는 데 있다.

과제 해결수단

[0010] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 유기화합물층을 사이에 두고 애노드전극을 상부전극으로 함과 아울러 캐소드전극을 하부전극으로 하여 탑 에미션 방식으로 발광하는 유기발광다이오드; 드레인 접촉홀을 통해 상기 캐소드전극에 연결되어 자신의 게이트-소스 간 전압차에 따라 상기 유기발광다이오드의 발광량을 제어하는 구동 TFT; 및 게이트라인으로부터의 스캔펄스에 응답하여 데이터라인으로부터의 데이터전압을 상기 구동 TFT의 게이트전극에 인가하는 스위치 TFT를 구비하고; 상기 캐소드전극은, 반사막 상에 위치하는 투명전극층 또는 상기 반사막을 사이에 두고 위치하는 투명전극층들을 포함하는 캐소드 다중층과, 상기 캐소드 다중층과 상기 유기화합물층 사이에 위치하는 캐소드 금속층을 포함한다.

[0011] 상기 캐소드 다중층은, 은 재질의 반사막; 및 상기 반사막 상에 위치하는 ITO 또는 IZO 재질의 투명전극층을 구비한다.

[0012] 상기 캐소드 다중층은, ITO 또는 IZO 재질의 제1 투명전극층; 상기 제1 투명전극층 상에 위치하는 은 재질의 반사막; 및 상기 반사막 상에 위치하는 ITO 또는 IZO 재질의 제2 투명전극층을 구비한다.

[0013] 상기 캐소드 금속층은, 은 재질의 제1 금속층; 및 상기 제1 금속층 상에 위치하는 알루미늄 재질의 제2 금속층을 구비한다.

[0014] 상기 캐소드 금속층은, 은 재질과 알루미늄 재질이 혼합된 혼합 금속층이다.

[0015] 상기 캐소드 금속층의 두께는 50Å 이하이다.

[0016] 상기 애노드전극은 제1 투명전극층, 애노드 금속층 및 제2 투명전극층을 포함하는 애노드 다중층을 포함하고; 상기 제1 및 제2 투명전극층은 ITO 또는 IZO 재질을 가지며, 상기 애노드 금속층은 은 재질을 갖는다.

[0017] 상기 애노드 금속층의 두께는 10 ~ 20 Å이다.

[0018] 이 유기발광다이오드 표시장치는 상기 게이트라인에 스캔펄스를 공급하기 위한 게이트패드를 더 구비하고; 상기 게이트패드는, 상기 게이트라인에 접속된 게이트패드 하부전극과, 게이트 패시홀을 통해 상기 게이트패드 하부전극에 접속되는 게이트패드 상부전극과, 상기 게이트패드 상부전극 상에 위치하는 상기 캐소드 다중층을 포함

한다.

- [0019] 이 유기발광다이오드 표시장치는 상기 데이터라인에 데이터전압을 공급하기 위한 데이터패드를 더 구비하고; 상기 데이터패드는, 상기 데이터라인에 접속된 데이터패드 하부전극과, 데이터 패시홀을 통해 상기 데이터패드 하부전극에 접속되는 데이터패드 상부전극과, 상기 데이터패드 상부전극 상에 위치하는 상기 캐소드 다중층을 포함한다.
- [0020] 상기 캐소드 다중층은 상기 TFT들과 함께 TFT 공정을 통해 형성되고; 상기 캐소드 금속층은 상기 유기화합물층 및 상기 애노드전극과 함께 OLED 공정을 통해 형성된다.
- [0021] 이 유기발광다이오드 표시장치는 상기 캐소드 다중층이 형성된 기판 상에서 개구영역을 구획하는 बैं크패턴을 더 구비하고; 상기 बैं크패턴은 상기 드레인 접촉홀을 차폐한다.

효 과

- [0022] 본 발명에 따른 유기발광다이오드 표시장치는 캐소드전극을 형성하기 위해, TFT 공정에 의해 반사막과 투명전극층을 포함한 다중층을 형성하고 OLED 공정에 의해 상기 다중층 상에 금속층을 형성한다. 이에 따라, TFT 공정 과정에서 대기 상태에 노출되더라도, 캐소드전극의 최상위 투명전극층에 의해 캐소드전극 표면에서의 산화막 발생이 방지되며, 최상위 투명전극층과 유기화합물층 사이에 형성된 금속층에 의해, 최상위 투명전극층으로부터 유기화합물층으로의 좀 더 원활한 전자 주입이 가능해 진다.
- [0023] 나아가, 본 발명에 따른 유기발광다이오드 표시장치는 캐소드전극을 구성하는 다중층을 각 패드 상부전극들 상에도 형성하여 패드부의 부식을 방지할 수 있다. 이때, 패드부 상에 형성된 다중층의 최상위층은 투명전극층이므로, 별도의 습식공정을 통해 패드부 상의 다중층을 제거할 필요도 없다. 따라서, 습식공정으로 인해 발생되던 패드부 상부전극들의 손상 문제는 미연에 방지된다.

발명의 실시를 위한 구체적인 내용

- [0024] 이하, 도 4 및 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0025] 도 4는 본 발명의 실시예에 따른 유기발광다이오드 표시장치에서 한 화소의 평면 구조를 보여 준다. 도 5는 도 4를 I-I' 및 II-II'에 따라 절취하여 도시한 단면 구조를 보여 준다. 그리고, 도 6은 도 4를 III-III' 및 IV-IV'에 따라 절취하여 도시한 단면 구조를 보여 준다.
- [0026] 도 1과 함께 도 4 내지 도 6을 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 기판(110) 상에 형성된 게이트라인(GL), 데이터라인(DL), VSS 공급라인(111b), 스위치 TFT(SWTFT), 구동 TFT(DRTFT), 스토리지 커패시터(Cst), 오버코트층(118), 버퍼층(119), बैं크패턴(121), 및 유기발광다이오드(이하, "OLED")를 포함한다. OLED는 캐소드전극(123), 유기화합물층(124) 및 애노드전극(125)을 포함한다. 그리고, 이 유기발광다이오드 표시장치는 게이트라인(GL)에 접속된 게이트패드(GATE PAD)와 데이터라인(DL)에 접속된 데이터패드(DATA PAD)를 구비한다.
- [0027] 게이트라인(GL)은 게이트패드(GATE PAD)를 통해 게이트 드라이버(미도시)에 접속되어, 게이트 드라이버로부터의 스캔펄스(Scan)를 스위치 TFT(SWTFT)의 일측 전극에 공급한다. 데이터라인(DL)은 데이터패드(DATA PAD)를 통해 데이터 드라이버(미도시)에 접속되어, 데이터 드라이버로부터의 데이터(Data)를 스위치 TFT(SWTFT)에 공급한다. VSS 공급라인(111b)은 VSS 공급패드(미도시)에 접속되어 VSS 공급원으로부터의 저전위 전원전압(VSS)을 구동 TFT(DRTFT)의 일측 전극에 공급한다. 게이트패드(GATE PAD)는 게이트라인(GL)에 접속된 게이트패드 하부전극(111d)과, 제5 패시홀(PH5)을 통해 게이트패드 하부전극(111d)에 접속되는 게이트패드 상부전극(117c)과, 게이트패드 상부전극(117c) 상에 형성되는 캐소드 다중층(120)을 포함한다. 데이터패드(DATA PAD)는 데이터라인(DL)에 접속된 데이터패드 하부전극(114c/115c)과, 제6 패시홀(PH6)을 통해 데이터패드 하부전극(114c/115c)에 접속되는 데이터패드 상부전극(117d)과, 데이터패드 상부전극(117d) 상에 형성되는 캐소드 다중층(120)을 포함한다.
- [0028] 스위치 TFT(SWTFT)의 소스전극(114a)은 데이터라인(DL)과 연결되고, 스위치 TFT(SWTFT)의 드레인전극(115a)은 제1 및 제2 패시홀(PH1, PH2)과 제1 콘택전극패턴(117a)을 통해 구동 TFT(DRTFT)의 게이트전극(111c)에

접촉된다. 스위치 TFT(SWTFT)의 게이트전극(111a)은 스캔펄스(Scan)가 순차적으로 공급되는 게이트라인(GL)에 연결된다. 스위치 TFT(SWTFT)는 게이트라인(GL)으로부터의 스캔펄스(Scan)에 응답하여 턴 온 됨으로써, 데이터 라인(DL)으로부터의 데이터(Data)를 구동 TFT(DRTFT)의 게이트전극(111c)에 공급한다. 스위치 TFT(SWTFT)는 N 타입 전자 금속 산화막 반도체 전계 효과 트랜지스터(Metal-Oxide Semiconductor Field Effect Transistor, 이하 "MOSFET")로 구현된다.

[0029] 구동 TFT(DRTFT)의 소스전극(114b)은 제3 및 제4 패시홀(PH3, PH4)과 제2 콘택전극패턴(117b)을 통해 VSS 공급라인(111b)에 연결되고, 구동 TFT(DRTFT)의 드레인전극(115b)은 캐소드전극(120)에 접촉된다. 구동 TFT(DRTFT)의 게이트전극(111c)의 일측 에지는 스위치 TFT(SWTFT)의 드레인전극(115a)에 접촉된다. 구동 TFT(DRTFT)는 스위치 TFT(SWTFT)를 통해 자신의 게이트전극(111c)에 인가되는 데이터(Data)를 기반으로 OLED에 흐르는 전류량을 조절한다. 구동 TFT(DRTFT)는 N 타입 MOSFET으로 구현된다.

[0030] 스토리지 커패시터(Cst)는 유전체인 게이트 절연막(112)을 사이에 두고 VSS 공급라인(111b)을 일측 전극으로, 스위치 TFT(SWTFT)의 드레인전극(115a)을 타측 전극으로 하여 구성된다. 스토리지 커패시터(Cst)는 구동 TFT(DRTFT)의 게이트전극(111c)과 소스전극(114b) 간의 전압차를 한 프레임 동안 일정하게 유지시킨다.

[0031] 오버코트층(118)은 폴리아미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질로 TFT들(SWTFT, DRTFT) 상에 위치하여 TFT들(SWTFT, DRTFT)로 인한 단차를 없앤다. 구동 TFT(DRTFT)에서 드레인전극(115b)의 일부는 오버코트층(118)을 관통하는 드레인 접촉홀(DH)을 통해 노출된다.

[0032] OLED의 하부전극 역할을 하는 캐소드전극(123)은 이 노출된 구동 TFT(DRTFT)의 드레인전극(115b)에 접촉된다. 캐소드전극(123)은 대기중에 노출시 수분이나 산소로 인해 산화되지 않도록 반사막과 투명전극층을 포함하는 캐소드 다중층(120)으로 형성된다. 예컨대, 반사막(Ag)/투명전극층(Indium Tin Oxide : ITO), 투명전극층(ITO)/반사막(Ag)/투명전극층(ITO), 반사막(Ag)/투명전극층(Indium Zinc Oxide : IZO), 및 투명전극층(ITO)/반사막(Ag)/투명전극층(ITO)을 포함하는 다수의 캐소드 다중층(120)들 중 어느 하나로 형성될 수 있다. 이러한 캐소드전극(123)은, 캐소드 다중층(120)의 최상위 투명전극층과 유기화합물층(124) 사이에 알루미늄(Al)과 은(Ag)을 포함한 캐소드 금속층(122)을 더 구비한다. 알루미늄(Al)은 최상위 투명전극층으로부터 유기화합물층(124)으로의 전자 주입이 원활히 이뤄지도록 하는 역할을 하며, 은(Ag)은 최상위 투명전극층과 알루미늄(Al)간의 접촉 특성을 향상시키는 역할을 한다. 한편, 캐소드전극(123)을 구성하는 캐소드 다중층(120)은 게이트패드(GATE PAD)의 상부전극(117c) 상 및 데이터패드(DATA PAD)의 상부전극(114c/115c) 상에 형성되어 패드부의 부식을 방지한다.

[0033] 오버코트층(118)과 캐소드전극(120) 사이에는 버퍼층(119)이 위치하여 유기막인 오버코트층(118)으로부터의 아웃 게싱(Out-Gasing)을 차폐한다.

[0034] 뱅크패턴(121)은 캐소드전극(120)을 구성하는 캐소드 다중층(120)의 일부와 버퍼층(119) 상에 위치하여 화소의 개구영역(EA)과 비 개구영역(SA)을 구획한다. 뱅크패턴(121)은 개구영역(EA)을 제외한 화소의 상하좌우 측면을 차폐한다. 특히, 화소의 상부 측면에서 뱅크패턴(121)은 드레인 접촉홀(DH)까지 차폐하도록 형성되어 드레인 접촉홀(DH) 내에서 유기화합물층(124)이 급하게 단차지는 것을 방지함으로써 급격한 단차로 인한 유기화합물층(124)의 열화를 방지한다.

[0035] 유기화합물층(124)은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함하여 캐소드전극(123)의 캐소드 금속층(122) 상에 위치한다.

[0036] 유기화합물층(124) 상에는 금속층과 투명전극층을 포함하는 애노드전극(125)이 위치한다. 예컨대, 애노드전극(125)은 투명전극층(ITO)/금속층(Ag)/투명전극층(ITO) 또는 투명전극층(ITO)/금속층(Ag)/투명전극층(ITO)으로 이루어질 수 있다. 이렇게 애노드전극(125)을 애노드 다중층으로 형성하는 이유는 투명전극층들 사이에 형성된 금속층(Ag)을 통해 표면저항을 낮추기 위함이다. 표면저항이 낮아지면, IR 드롭으로 인한 표시 위치별 휘도 편차가 줄어들게 되고, 유기화합물층 재료의 열화 또한 억제된다.

[0037] OLED의 상부전극 역할을 하는 애노드전극(125)에는 VDD 공급패드로부터 고전위 전원전압(VDD)이 공급된다. 애노드전극(125)과 캐소드전극(123)에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생함으로써 계조를 구현한다.

[0038] 이와 같은 유기발광다이오드 표시장치는 TFT 공정과 OLED 공정을 통해 제작된다. 먼저 TFT 공정을 설명하면 다

음과 같다.

- [0039] 투명한 유리 또는 플라스틱 재질로 제작되는 기판(110) 상에 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 중에서 어느 한 금속 또는 2 이상의 금속이나 합금으로 선택되는 게이트금속이 스퍼터링(Sputtering) 공정으로 증착된다. 게이트금속은 포토리소그래피(Photolithograph) 공정과 습식식각(Wet etch) 공정을 통해 패터닝된다. 그 결과, 기판(110) 상에는 스위치 TFT(SWTFT) 및 구동 TFT(DTFT)의 게이트전극들(111a, 111c), 게이트전극(111a)에 연결된 게이트라인(GL), VSS 공급라인(111b), 및 게이트패드 하부전극(111d) 등을 포함한 게이트금속패턴이 형성된다.
- [0040] 게이트금속패턴이 형성된 기판(110) 상에는 산화 실리콘(SiO_2) 또는 질화 실리콘(SiNx) 등의 무기 절연재료와, 비정질 실리콘 또는 폴리실리콘 등의 반도체 재료가 CVD(chemical vapor deposition) 공정 등으로 연속 증착된다. 이어서, 포토리소그래피 공정과 건식 식각(Dry etch) 공정을 통해 스위치 TFT(SWTFT)와 구동 TFT(DTFT)의 게이트전극(111a, 111b) 등 필요한 부분을 제외한 나머지 부분의 반도체층을 제거한다. 그 결과, 스위치 TFT(SWTFT)의 게이트전극(111a)을 덮는 게이트 절연패턴(112)과 그 위에 형성된 제1 액티브 패턴(113a), 구동 TFT(DTFT)의 게이트 전극(111c)을 덮는 게이트 절연패턴(112)과 그 위에 형성된 제2 액티브 패턴(113b), 게이트패드(GATE PAD) 영역에서 게이트패드 하부전극(111d)을 덮는 게이트절연패턴(112)과, 데이터패드(DATA PAD) 영역에서 적층된 게이트 절연패턴(112) 및 제3 액티브 패턴(113c)이 기판(110) 상에 형성된다.
- [0041] 게이트 절연패턴(112)과 액티브패턴들(113a, 113b, 113c)이 형성된 기판(110) 상에는 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 구리(Cu), 알루미늄 합금, 몰리브덴 합금, 구리 합금 등 금속의 단일층 또는 이중층 구조를 갖는 데이터금속이 스퍼터링 공정으로 전면 증착된 후, 포토리소그래피 공정과 습식 식각 공정을 통해 패터닝된다. 그 결과, 기판(110) 상에는 각각 스위치 TFT(SWTFT)의 소스전극(114a) 및 드레인전극(115a), 구동 TFT(DTFT)의 소스전극(114b) 및 드레인전극(115b), 데이터패드 하부전극(114c/115c)들을 포함한 데이터금속패턴이 형성된다.
- [0042] 데이터금속패턴이 형성된 기판(110) 상에는 CVD 공정으로 산화 실리콘(SiO_2), 질화 실리콘(SiNx) 등의 무기 절연재료가 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식공정을 통해 그 무기 절연재료가 부분적으로 제거된다. 그 결과, 스위치 TFT(SWTFT)의 드레인전극(115a) 일부를 노출하는 제1 패시홀(PH1), 구동 TFT(DTFT)의 게이트전극(111c) 일부를 노출하는 제2 패시홀(PH2), VSS 공급라인(111b)의 일부를 노출하는 제3 패시홀(PH3), 구동 TFT(DTFT)의 소스전극(114b) 일부를 노출하는 제4 패시홀(PH4), 게이트패드(GATE PAD)의 게이트패드 하부전극(111d) 일부를 노출하는 제5 패시홀(PH5) 및 데이터패드(DATA PAD)의 데이터패드 하부전극(114c/115c) 일부를 노출하는 제6 패시홀(PH6)을 갖는 패시베이션층(116)이 형성된다.
- [0043] 패시베이션층(116)이 형성된 기판(110) 상에 ITO 또는 IZO 등의 투명 전도성 금속이 스퍼터링 공정으로 전면 증착된 후, 포토리소그래피 공정과 습식공정을 통해 그 투명 전도성 금속이 부분적으로 제거된다. 그 결과, 스위치 TFT(SWTFT)의 드레인전극(115a)과 구동 TFT(DTFT)의 게이트전극(111c)을 전기적으로 연결하는 제1 콘택전극패턴(117a)과, VSS 공급라인(111b)과 구동 TFT(DTFT)의 소스전극(114b)을 전기적으로 연결하는 제2 콘택전극패턴(117b)과, 게이트패드 하부전극(111d)과 접촉되는 게이트패드 상부전극(117c)과, 데이터패드 하부전극(114c/115c)과 접촉되는 데이터패드 상부전극(117d)이 형성된다.
- [0044] 콘택전극패턴들(117a, 117b)과 패드 상부전극들(117c, 117d)이 형성된 기판(110) 상에 폴리이미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질이 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식공정을 통해 그 유기 절연재료가 부분적으로 제거된다. 그 결과, 구동 TFT(DTFT)의 드레인전극(115b) 일부와 구동 TFT(DTFT)의 드레인전극(115b) 상에 형성된 패시베이션층(116) 일부를 노출하는 드레인접촉홀(DH)을 갖는 오버코트층(118)이 형성된다.
- [0045] 오버코트층(118)이 형성된 기판(110) 상에 CVD 공정으로 산화 실리콘(SiO_2), 질화 실리콘(SiNx) 등의 무기 절연재료가 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식공정을 통해 그 무기 절연재료가 부분적으로 제거된다. 그 결과, 오버코트층(118)과 노출된 패시베이션층(116) 일부 상에 버퍼층(119)이 형성된다.
- [0046] 버퍼층(119)이 형성된 기판(110) 상에 스퍼터링 방법으로 반사막과 투명전극층을 포함하는 캐소드 다중층(120)이 증착된다. 캐소드 다중층(120)은 반사막/투명전극층으로 구성되는 2중층 또는 투명전극층/반사막/투명전극층으로 구성되는 3중층 중 어느 하나일 수 있다. 캐소드 다중층(120)이 3중층으로 구성되는 경우, 캐소드 다중층은 연속적으로 증착되는 투명전극층(120a), 반사막(120b) 및 투명전극층(120c)을 포함한다. 여기서, 투명전극층들(120a, 120c)은 각각 ITO 또는 IZO로 이루어질 수 있으며, 반사막(120b)은 은(Ag)으로 이루어질 수 있다.

이어서, 포토리소그래피 공정과 식각 공정을 통해 이 캐소드 다중층(120)이 동시에 패터닝되어 캐소드전극(123)의 일부가 형성된다. 이 캐소드전극(123)의 최하위 투명전극층(120c)은 드레인 접촉홀(DH)을 통해 구동 TFT(DRIFT)의 드레인전극(115b)에 접촉된다. 본 발명에서는, 이렇게 TFT 공정 과정에서 형성되는 캐소드전극(123)의 최상위층에 산화에 강한 투명전극층(120a)을 위치시킴으로써, 수분이나 산소에 노출되더라도 캐소드전극(123) 상에 산화막이 발생하는 것을 방지할 수 있다. 한편, 상기 캐소드 다중층(120)은 게이트패드(GATE PAD)의 상부전극(117c)상 및 데이터패드(DATA PAD)의 상부전극(114c/115c) 상에 형성되어 패드부의 부식을 방지하는 역할을 하기도 한다. 특히, 패드부 상에서 캐소드 다중층(120)의 투명전극층(120a)이 최상위층에 위치하므로, 별도의 습식공정을 통해 패드부 상의 캐소드 다중층(120)을 제거할 필요도 없다. 따라서, 습식공정으로 인해 게이트패드 상부전극 및 데이터패드 상부전극에 데미지(Damage)가 가해져 패드부 상부전극들이 손상을 받게 되었던 종래 문제점은 미연에 해결된다.

[0047] 캐소드전극(123)의 캐소드 다중층(120)이 형성된 기판(110) 상에 폴리이미드(Polyimide) 또는 포토아크릴(Photoacrylic)과 같은 유기 절연물질이 CVD 공정을 통해 전면 증착된 후, 포토리소그래피 공정과 건식공정을 통해 그 유기 절연재료가 부분적으로 제거된다. 그 결과, 화소에서 개구영역(EA)과 비 개구영역(SA)을 구획하는 बैंक패턴(121)이 형성된다. बैंक패턴(121)은 드레인 접촉홀(DH)까지 차폐하도록 형성되어 드레인 접촉홀(DH) 내에서 유기화합물층(124)이 급하게 단차지는 것을 방지함으로써 급격한 단차로 인한 유기화합물층(124)의 열화를 방지한다. 한편, बैंक패턴(121)은 드레인 접촉홀(DH)을 완전히 차폐하는 대신 도 7과 같이 드레인 접촉홀(DH) 근방까지만 차폐함으로써, 화소에서 개구영역(EA)의 크기를 넓게 할 수도 있다.

[0048] 다음으로, OLED 공정을 설명하면 다음과 같다.

[0049] बैंक패턴(121)이 형성된 기판(110)을 플라즈마 처리한다. 이어서, 플라즈마 처리된 기판(110) 상에 알루미늄(Al)과 은(Ag)을 포함한 캐소드 금속층(122)이 스퍼터링 방법등으로 전면 증착된다. 캐소드 금속층(122)의 형성 순서는 은(Ag)이 먼저 증착된 후 알루미늄(Al)이 증착되거나 또는 은(Ag)과 알루미늄(Al)이 동시에 증착될 수 있다. 여기서, 알루미늄(Al)은 최상위 투명전극층(120c)으로부터 유기화합물층(124)으로의 전자 주입이 원활히 이뤄지도록 하는 역할을 하며, 은(Ag)은 최상위 투명전극층(120c)과 알루미늄(Al)간의 접촉 특성을 향상시키는 역할을 한다. 캐소드 금속층(122)의 두께는 화소간 쇼트 현상 발생을 고려하여 50Å 이내로 함이 바람직하다. 이러한 캐소드 금속층(122)은 TFT 공정을 통해 형성된 캐소드 다중층(120)과 함께 캐소드전극(123)을 구성한다.

[0050] 캐소드 금속층(122)이 형성된 기판(110) 상에 열 증착(thermal evaporation) 공정으로 전자주입층 재료, 전자수송층 재료, 발광층 재료, 정공수송층 재료, 및 정공주입층 재료가 연속적으로 전면 증착되어 유기화합물층(124)이 형성된다.

[0051] 유기화합물층(124)이 형성된 기판(110) 상에 스퍼터링 공정 또는 열 증착 공정으로 투명전극층(125a)/금속층(125b)/투명전극층(125c)을 포함하는 애노드전극(125)이 형성된다. 여기서, 투명전극층들(125a, 125c)은 각각 스퍼터링 공정을 통해 증착되는 ITO 또는 IZO로 이루어질 수 있으며, 금속층(125b)은 열 증착 공정을 통해 증착되는 은(Ag)으로 이루어질 수 있다. 이렇게 애노드전극(125)을 애노드 다중층으로 형성하는 이유는 투명전극층들 사이에 형성된 금속층(Ag)을 통해 표면저항을 낮추기 위함이다. 표면저항이 가장 낮아지는 바람직한 금속층(Ag)의 두께는 10 ~ 20 Å이다.

[0052] 상술한 바와 같이, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 캐소드전극을 형성하기 위해, TFT 공정에 의해 반사막과 투명전극층을 포함한 캐소드 다중층을 형성하고 OLED 공정에 의해 상기 캐소드 다중층 상에 캐소드 금속층을 형성한다. 이에 따라, TFT 공정 과정에서 대기 상태에 노출되더라도, 캐소드전극의 최상위 투명전극층에 의해 캐소드전극 표면에서의 산화막 발생이 방지되며, 최상위 투명전극층과 유기화합물층 사이에 형성된 금속층에 의해, 최상위 투명전극층으로부터 유기화합물층으로의 좀 더 원활한 전자 주입이 가능해 진다.

[0053] 나아가, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 캐소드전극을 구성하는 캐소드 다중층을 각 패드 상부전극들 상에도 형성하여 패드부의 부식을 방지할 수 있다. 이때, 패드부 상에 형성된 캐소드 다중층의 최상위층은 투명전극층이므로, 별도의 습식공정을 통해 패드부 상의 캐소드 다중층을 제거할 필요도 없다. 따라서, 습식공정으로 인해 발생되던 패드부 상부전극들의 손상 문제는 미연에 방지된다.

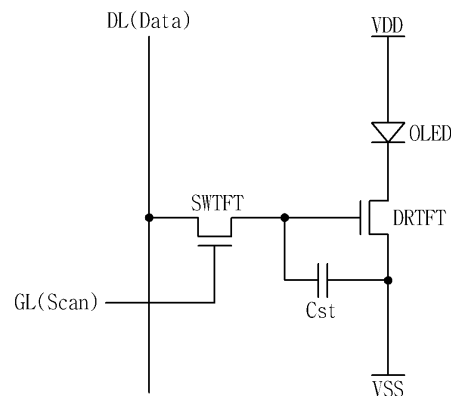
[0054] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

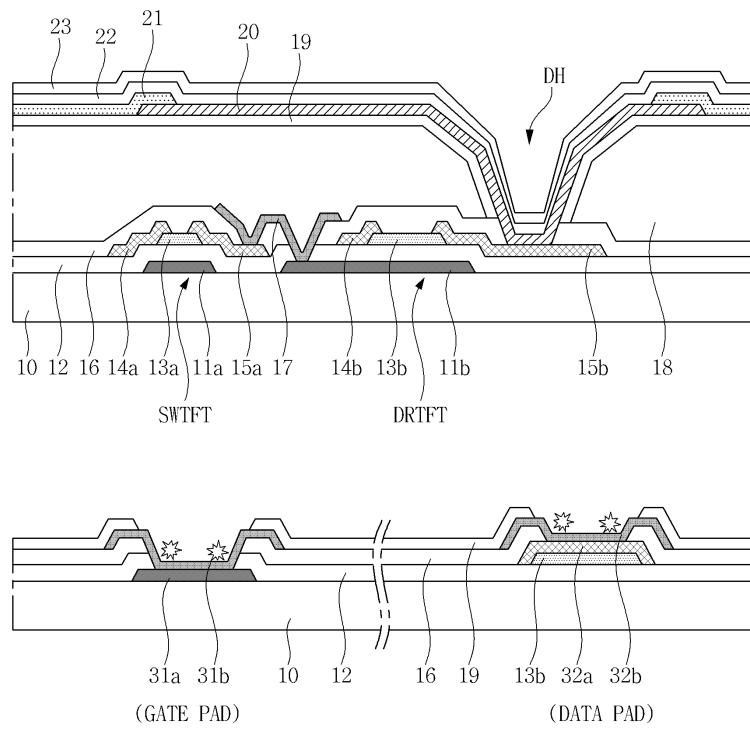
- | | | | |
|--------|--|---|----------------|
| [0055] | 도 1은 일반적인 IOD 방식의 유기발광다이오드 표시장치에서 한 화소의 등가회로도를 보여주는 도면. | | |
| [0056] | 도 2는 IOD 방식으로 형성된 화소와 패드들의 단면 구조를 보여주는 도면. | | |
| [0057] | 도 3a는 알루미늄-네오듐(AlNd)을 산소와 수분에 노출하여 캐소드전극을 형성한 경우의 단위소자 특성을 보여주는 그래프. | | |
| [0058] | 도 3b는 진공 챔버 내에서 알루미늄(Al)을 증착하여 캐소드전극을 형성한 경우의 단위소자 특성을 보여주는 그래프 | | |
| [0059] | 도 4는 본 발명의 실시예에 따른 유기발광다이오드 표시장치에서 한 화소의 평면 구조를 보여주는 도면. | | |
| [0060] | 도 5는 도 4를 I-I' 및 II-II'에 따라 절취하여 도시한 단면 구조를 보여주는 도면. | | |
| [0061] | 도 6은 도 4를 III-III' 및 IV-IV'에 따라 절취하여 도시한 단면 구조를 보여 주는 도면. | | |
| [0062] | 도 7은 도 4에서뱅크패턴의 형성 위치를 다르게 한 후, I-I' 및 II-II'에 따라 절취하여 도시한 단면 구조를 보여주는 도면. | | |
| [0063] | 〈도면의 주요 부분에 대한 부호의 설명〉 | | |
| [0064] | 110 : 기판 | 111a, 111c : 게이트전극 | |
| [0065] | 111b : VSS 공급라인 | 111d : 게이트패드 하부전극 | |
| [0066] | 112 : 게이트 절연막
스전극 | 113a, 113b, 113c : 액티브층
114c/115c : 데이터패드 하부전극 | 114a, 114b : 소 |
| [0067] | 115a, 115b : 드레인전극 | 116 : 패시베이션층 | |
| [0068] | 117a, 117b : 콘택전극패턴 | 118 : 오버코트층 | |
| [0069] | 119 : 버퍼층 | 120 : 캐소드 다중층 | |
| [0070] | 121 : 뱅크패턴 | 122 : 캐소드 금속층 | |
| [0071] | 123 : 캐소드전극 | 124 : 유기화합물층 | |
| [0072] | 125 : 애노드전극 | | |

도면

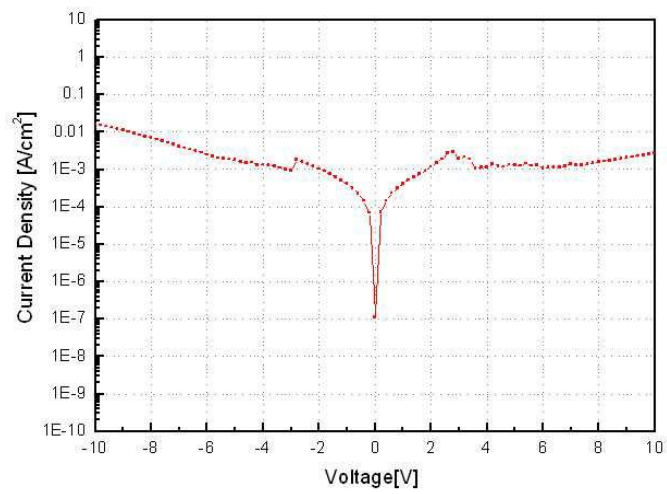
도면1



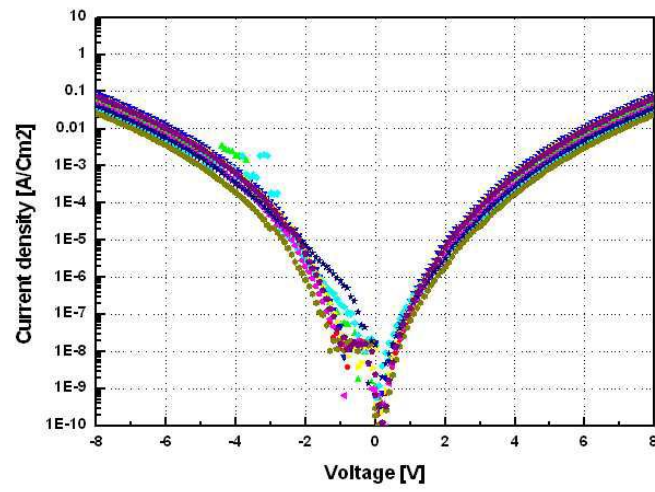
도면2



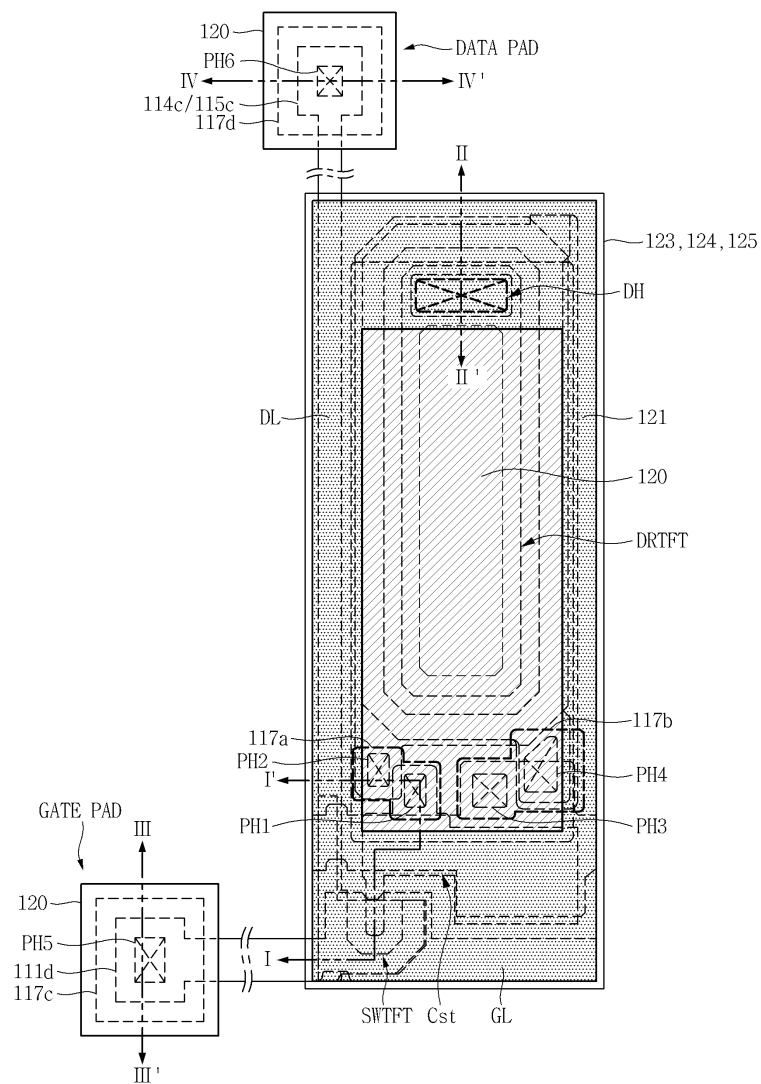
도면3a



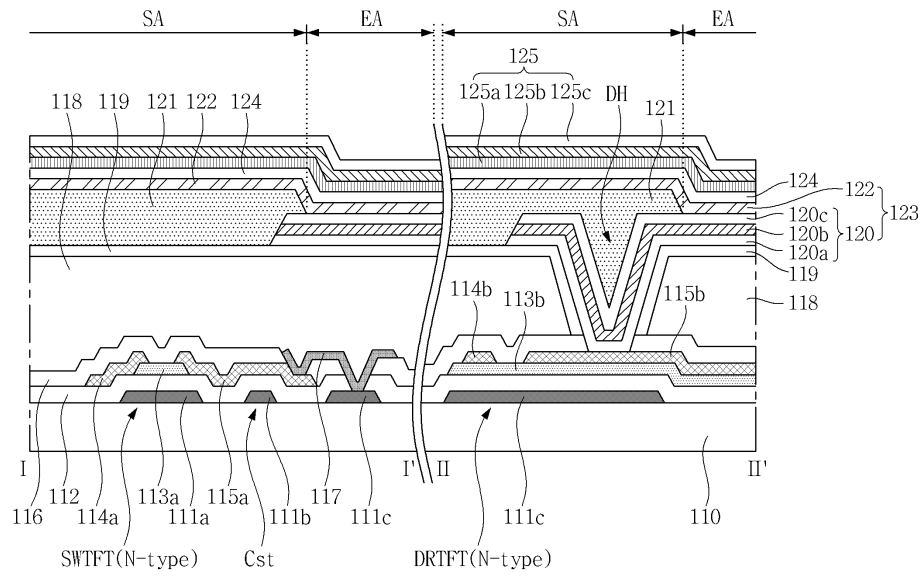
도면3b



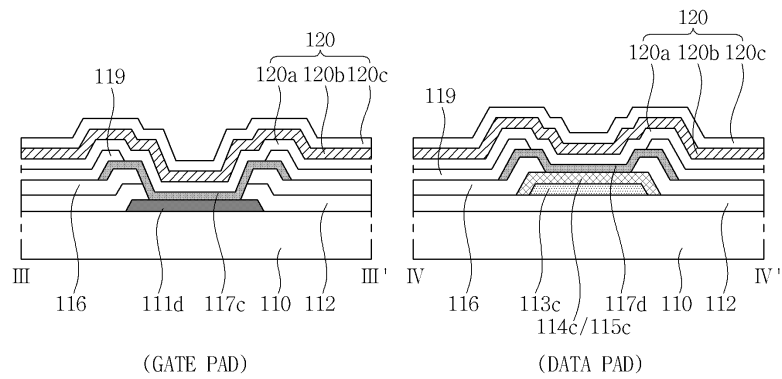
도면4



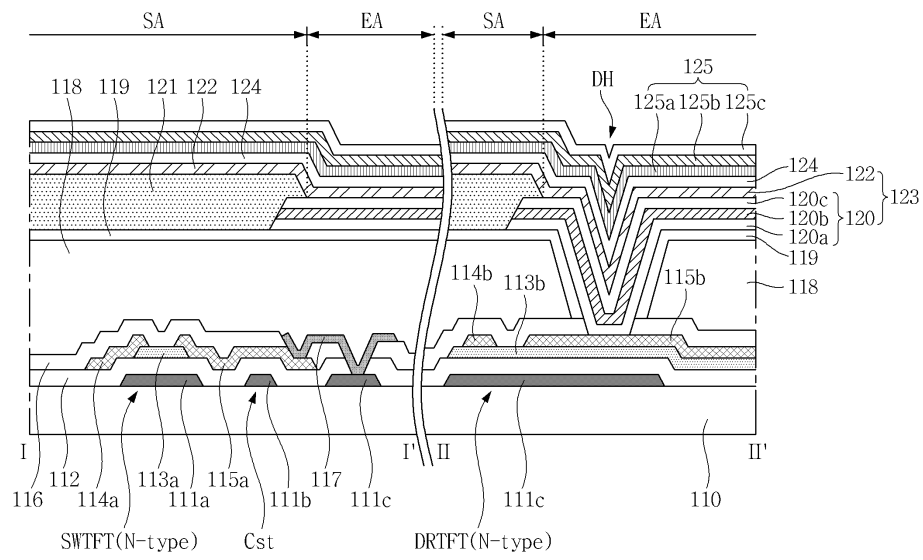
도면5



도면6



도면7



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020100055235A	公开(公告)日	2010-05-26
申请号	KR1020080114207	申请日	2008-11-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG		
发明人	CHOI HEE DONG		
IPC分类号	H05B33/26 H01L51/50		
CPC分类号	H01L51/5234 H01L27/3246 H01L51/5218 H01L2251/558		
外部链接	Espacenet		

摘要(译)

本发明涉及发光至顶部发光模式的有机发光二极管显示装置。该有机发光二极管显示装置包括有机发光二极管：驱动TFT，其通过漏极接触孔连接到阴极，并根据与其相应的电压差控制有机发光二极管的发光输出。自己的栅极源辐射到顶部发射模式，阴极电极到达底部电极，阳极电极到达上部电极，它将有机化合物层放置在间隔中，阴极多层，包括开关TFT，授权来自数据的数据电压线路响应于来自驱动TFT的栅电极中的栅极线的扫描脉冲，并且透明电极层和阴极多层，以及位于有机化合物层之间的阴极金属层。透明电极层，阴极电极位于反射膜或在间隔中具有反射膜的透明电极层的表面上并定位。

