



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0086025
(43) 공개일자 2008년09월25일

(51) Int. Cl.

H05B 33/22 (2006.01)

(21) 출원번호 10-2007-0027579

(22) 출원일자 2007년03월21일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이정수

서울 관악구 봉천6동 1687-18번지 104호

이동원

경기 성남시 분당구 정자동 한솔마을청구아파트
110동 302호

이상우

경기 수원시 권선구 곡반정동 77-16번지 204호

(74) 대리인

조희원

전체 청구항 수 : 총 17 항

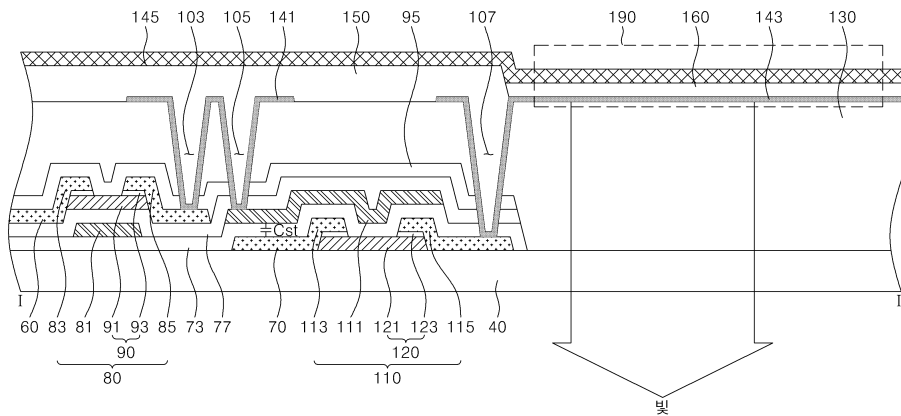
(54) 유기발광장치의 제조방법 및 유기발광장치

(57) 요약

본 발명은 유기발광층의 하부막 구조의 변경으로 투과도를 향상시키는 유기발광장치의 제조방법 및 유기발광장치에 관한 것이다.

본 발명은 기관 상에 스위칭 소자와 질화실리콘층을 형성하는 단계, 광이 방출되는 발광 영역에 형성된 질화실리콘층을 패터닝하여 제거하는 단계, 질화실리콘층의 상부에 평탄화층을 형성하며, 평탄화층은 발광 영역에서 기관의 상부에 1.1 ~ 2.1 μ m의 두께로 형성하는 단계, 발광 영역에 스위칭 소자와 연결되는 제1 전극을 형성하는 단계 및 제1 전극의 상부에 유기발광층 및 제2 전극을 형성하는 단계를 포함하는 유기발광장치의 제조방법을 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 스위칭 소자와 질화실리콘층을 형성하는 단계,

광이 방출되는 발광 영역에 형성된 질화실리콘층을 패터닝하여 제거하는 단계,

상기 질화실리콘층의 상부에 평탄화층을 형성하며, 상기 평탄화층은 상기 발광 영역에서 상기 기관의 상부에 1.1 ~ 2.1 μ m의 두께로 형성하는 단계,

상기 발광 영역에 상기 스위칭 소자와 연결되는 제1 전극을 형성하는 단계 및

상기 제1 전극의 상부에 유기발광층 및 제2 전극을 형성하는 단계를 포함하는 유기발광장치의 제조방법.

청구항 2

제1 항에 있어서,

상기 평탄화층을 형성하는 단계는

상기 평탄화층을 1.6 μ m의 두께로 형성하는 단계인 것을 특징으로 하는 유기발광장치의 제조방법.

청구항 3

제1 항에 있어서,

상기 스위칭 소자를 형성하는 단계는

상기 기관 상에 제1 게이트 절연막을 사이에 두고 게이트 라인 및 전원 라인과 연결되는 제1 박막 트랜지스터를 형성하는 단계 및

제2 게이트 절연막을 사이에 두고 게이트 라인 및 데이터 라인과 연결되는 제2 박막 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광장치의 제조방법.

청구항 4

제3 항에 있어서,

상기 스위칭 소자를 형성하는 단계는

상기 스위칭 소자를 보호하는 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기발광장치의 제조방법.

청구항 5

제4 항에 있어서,

상기 보호막을 형성하는 단계는

상기 보호막과 제1 및 제2 게이트 절연막을 포함하는 질화실리콘층에서 발광 영역과 중첩되는 부분을 패터닝하여 제거하는 단계를 더 포함하는 것을 특징으로 하는 유기발광장치의 제조방법.

청구항 6

제5 항에 있어서,

상기 보호막을 형성하는 단계 이후에

상기 기관 상에 형성된 적색(R), 녹색(G), 청색(B), 백색(W)의 서브 화소에 컬러필터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기발광장치의 제조방법.

청구항 7

제6 항에 있어서,

상기 컬러필터를 형성하는 단계는

상기 유기발광층의 하부에 적색(R), 녹색(G), 청색(B)의 컬러필터를 형성하는 것을 특징으로 하는 유기발광장치의 제조방법.

청구항 8

화소마다 제1 영역과 제2 영역으로 구분되는 기관,

상기 제1 영역의 기관 상에 형성되는 스위칭 소자,

상기 스위칭 소자 상에 형성되는 질화실리콘층,

상기 질화실리콘층과 상기 제2 영역의 기관 상에 형성되는 평탄화층 및

상기 제2 영역의 평탄화층 상에 형성되며, 상기 스위칭 소자와 연결되는 유기발광부를 포함하는 유기발광장치.

청구항 9

제8 항에 있어서,

상기 평탄화층은 상기 기관 상에 1.1 ~ 2.1 μ m의 두께로 형성되는 것을 특징으로 하는 유기발광장치.

청구항 10

제9 항에 있어서,

상기 평탄화층은 1.6 μ m의 두께로 형성되는 것을 특징으로 하는 유기발광장치.

청구항 11

제9 항에 있어서,

상기 유기발광부는 상기 평탄화층의 상부에 형성되는 제1 전극과 유기발광층 및 제2 전극을 포함하는 것을 특징으로 하는 유기발광장치.

청구항 12

제11 항에 있어서,

상기 유기발광부의 하층에 상기 기관 상에 형성되는 컬러필터를 더 포함하는 것을 특징으로 하는 유기발광장치.

청구항 13

제12 항에 있어서,

상기 화소는 적색(R), 녹색(G), 청색(B), 백색(W)의 서브 화소를 포함하는 것을 특징으로 하는 유기발광장치.

청구항 14

제12 항에 있어서,

상기 화소는 적색(R), 녹색(G), 청색(B)의 서브 화소를 포함하는 것을 특징으로 하는 유기발광장치.

청구항 15

제13 또는 제14 항에 있어서,

상기 컬러필터는 적색(R), 녹색(G), 청색(B)으로 형성되는 것을 특징으로 하는 유기발광장치.

청구항 16

제8 항에 있어서,

상기 평탄화층은 아크릴 계열의 재질로 형성되는 것을 특징으로 하는 유기발광장치.

청구항 17

제16 항에 있어서,

상기 평탄화층은 폴리아크릴레이트(Polyacrylate)로 형성되는 것을 특징으로 하는 유기발광장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 유기발광층의 하부막 구조의 변경으로 투과도를 향상시키는 유기발광장치의 제조방법 및 유기발광장치에 관한 것이다.
- <20> 평판표시소자(Flat Panel Display Device) 중에서 유기발광장치(Organic Electroluminescence Display Device)는 자발광이며, 시야각이 넓고, 응답속도가 빠르며, 얇은 두께와 낮은 제작비용 및 높은 콘트라스트(Contrast) 등의 특성을 나타냄으로써 향후 차세대 평판표시소자로 주목받고 있다.
- <21> 일반적으로 유기발광장치는 기판, 상기 기판 상에 위치한 애노드(anode), 상기 애노드 상에 위치한 발광층(emission layer:EML), 상기 발광층 상에 위치한 캐소드(cathode)로 이루어진다. 이러한 유기발광장치에 있어서, 상기 애노드와 캐소드 간에 전압을 인가하면, 정공과 전자가 상기 발광층 내로 주입되고, 상기 발광층내로 주입된 상기 정공과 전자는 상기 발광층에서 재결합하여 여기자(exiton)을 생성하고, 이러한 여기자가 여기상태에서 기저상태로 전이하면서 발생하는 에너지에 의해 발광하게 된다.
- <22> 유기발광장치는 유기발광층으로부터 발생된 광이 방출되는 방향에 따라 배면 발광형과 전면 발광형으로 나뉘어 지는데, 배면 발광형은 형성된 기판측으로 광이 방출되는 것으로서 유기발광층 상부에 반사전극이 형성되고 상기 유기발광층 하부에는 투명전극이 형성된다.
- <23> 유기발광장치는 풀컬러를 구현하기 위해서 적색(R), 녹색(G), 청색(B)에 해당하는 발광층을 형성하는 방법이 있으나, 이 경우 각 색상에 해당하는 발광층이 서로 다른 수명을 가지므로 장시간 구동할 경우 화이트 밸런스를 유지하기 어렵다. 이를 해결하기 위해 유기발광장치는 단일색의 광을 방출하는 발광층을 형성하고, 상기 발광층으로부터 방출되는 광으로부터 소정색에 해당하는 광을 추출하기 위한 컬러필터를 형성한다.
- <24> 최근의 유기발광장치는 유기발광층의 하부에 광의 색상을 변환하는 컬러필터를 하나의 기판에 구비하는 COA(Color Filter On Array) 구조로 형성된다. 이때, 컬러필터의 상부에 투명 전극을 형성하게 되면 컬러필터의 염료나 안료에 의해 표면이 불균일해지며, 유기발광층에 공급되는 전계가 불규칙해진다. 이에 따라, 유기발광장치는 컬러필터의 상부에 평탄화층을 형성하여 표면 불균일을 방지하고, 유기발광층의 전계를 일정하게 유지시킨다. 그리고, 유기발광장치는 박막트랜지스터를 형성하는 공정 중 사용되는 질화실리콘층이 컬러필터의 하부에 형성된다. 이와 같은, COA구조의 유기발광장치는 평탄화층과 질화실리콘층의 두께에 의해 유기발광층에서 발생된 광의 투과도가 변화되어 광의 휘도 및 색재현율이 저하된다.

발명이 이루고자 하는 기술적 과제

- <25> 따라서, 본 발명이 이루고자 하는 기술적 과제는 최적의 두께로 형성된 평탄화층과 절연막의 구조를 적용하여 배면으로 방출되는 광의 투과도를 향상시키는 유기발광장치의 제조방법 및 유기발광장치에 관한 것이다.

발명의 구성 및 작용

- <26> 상술한 기술적 과제를 달성하기 위하여, 본 발명은 기판 상에 스위칭 소자와 질화실리콘층을 형성하는 단계, 광이 방출되는 발광 영역에 형성된 질화실리콘층을 패터닝하여 제거하는 단계, 상기 질화실리콘층의 상부에 평탄화층을 형성하며, 상기 평탄화층은 상기 발광 영역에서 상기 기판의 상부에 1.1 ~ 2.1 μ m의 두께로 형성하는 단계, 상기 발광 영역에 상기 스위칭 소자와 연결되는 제1 전극을 형성하는 단계 및 상기 제1 전극의 상부에 유기발광층 및 제2 전극을 형성하는 단계를 포함하는 유기발광장치의 제조방법을 제공한다.
- <27> 특히, 상기 평탄화층을 형성하는 단계는 상기 평탄화층을 상기 기판으로부터 1.6 μ m의 두께로 형성하는 단계인

것을 특징으로 한다.

- <28> 구체적으로, 상기 스위칭 소자를 형성하는 단계는 상기 기판 상에 제1 게이트 절연막을 사이에 두고 게이트 라인 및 전원 라인과 연결되는 제1 박막 트랜지스터를 형성하는 단계 및 제2 게이트 절연막을 사이에 두고 게이트 라인 및 데이터 라인과 연결되는 제2 박막 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 한다.
- <29> 그리고, 상기 스위칭 소자를 형성하는 단계는 상기 스위칭 소자를 보호하는 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- <30> 또한, 상기 보호막을 형성하는 단계는 상기 보호막과 제1 및 제2 게이트 절연막을 포함하는 질화실리콘층에서 상기 유기발광층과 중첩되는 부분을 패터닝하여 제거하는 단계를 더 포함하는 것을 특징으로 한다.
- <31> 그리고, 상기 보호막을 형성하는 단계 이후에 상기 기판 상에 형성된 적색(R), 녹색(G), 청색(B), 백색(W)의 서브 화소에 컬러필터를 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- <32> 이와 같은, 상기 컬러필터를 형성하는 단계는 상기 유기발광층의 하부에 적색(R), 녹색(G), 청색(B)의 컬러필터를 형성하는 것을 특징으로 한다.
- <33> 상술한 기술적 과제를 달성하기 위하여 본 발명은 화소마다 제1 영역과 제2 영역으로 구분되는 기판, 상기 제1 영역의 기판 상에 형성되는 스위칭 소자, 상기 스위칭 소자 상에 형성되는 질화실리콘층, 상기 질화실리콘층과 상기 제2 영역의 기판 상에 형성되는 평탄화층 및 상기 제2 영역의 평탄화층 상에 형성되며, 상기 스위칭 소자와 연결되는 유기발광부를 포함하는 유기발광장치를 제공한다.
- <34> 이때, 상기 평탄화층은 상기 발광 영역에서 상기 기판 상에 1.1 ~ 2.1 μ m의 두께로 형성되는 것을 특징으로 한다.
- <35> 특히, 상기 기판으로부터 상기 평탄화층의 두께가 1.6 μ m로 형성되는 것을 특징으로 한다.
- <36> 또한, 상기 유기발광부는 상기 평탄화층의 상부에 형성되는 제1 전극과 유기발광층 및 제2 전극을 포함하는 것을 특징으로 한다.
- <37> 그리고, 유기발광장치는 상기 유기발광부의 하측에 상기 기판 상에 형성되는 컬러필터를 더 포함하는 것을 특징으로 한다.
- <38> 이때, 상기 화소는 적색(R), 녹색(G), 청색(B), 백색(W)의 서브 화소를 포함하는 것을 특징으로 한다.
- <39> 또한, 상기 화소는 적색(R), 녹색(G), 청색(B)의 서브 화소를 포함하는 것을 특징으로 한다.
- <40> 그리고, 상기 컬러필터는 적색(R), 녹색(G), 청색(B)으로 형성되는 것을 특징으로 한다.
- <41> 이때, 상기 평탄화층은 아크릴 계열의 재질로 형성되는 것을 특징으로 한다.
- <42> 특히, 상기 평탄화층은 폴리아크릴레이트(Polyacrylate)로 형성되는 것을 특징으로 한다.
- <43> 상술한 기술적 과제와 다른 기술적 과제 및 기술적 특징들은 후술하는 본 발명의 실시 예에 따라 첨부한 도면 및 설명에 의하여 명확해질 것이다.
- <44> 이하에서는, 도 1 내지 도 8k를 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다. 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다.
- <45> 도 1은 본 발명의 실시 예에 따른 유기발광장치를 도시한 평면도이고, 도 2는 도 1의 I-I'선을 따라 절단한 유기발광장치를 나타낸 단면도이다.
- <46> 본 발명에 따른 유기발광장치는 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소가 하나의 화소를 이룬다. 이때, 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소는 컬러필터를 제외하고는 동일한 구조를 가진다. 도 1 및 도 2에서는 백색(W) 서브 화소 구조만을 설명한다.
- <47> 도 1 및 도 2를 참조하면, 본 발명에 따른 유기발광장치는 단위 화소마다 제1 영역 및 제2 영역으로 구분되는 기판(40)과, 기판(40) 상에 형성된 스위칭 소자(80,130)와, 스위칭 소자(80,130)의 상부에 형성되는 질화실리콘층(73,77,95)과, 질화실리콘층(73,77,95)과 제2 영역의 기판(40) 상에 형성되는 평탄화층(130) 및 스위칭 소자(80,130)와 연결되는 유기발광부(190)를 포함한다. 이때, 유기발광부(190)는 제1 전극(143)과 유기발광층(160) 및 제2 전극(145)를 포함한다.

- <48> 기판(40)은 다수의 화소가 매트릭스 형태로 배치되고, 화소를 통해 광이 투과되도록 유리 또는 플라스틱과 같은 투명한 절연 물질로 형성되는 것이 바람직하다. 기판(40)의 제1 영역에는 스위칭 소자(80,130)가 형성되고, 제2 영역에는 유기발광부(190)가 형성된다.
- <49> 구체적으로, 기판(40) 상에는 게이트 라인(50), 데이터 라인(60), 전원 라인(70), 스위치 박막 트랜지스터(80), 구동 박막 트랜지스터(110), 평탄화층(130), 유기발광부(190)가 형성된다.
- <50> 게이트 라인(50)은 스위치 박막 트랜지스터(80)에 게이트 신호를 공급하고, 데이터 라인(60)은 스위치 박막 트랜지스터(80)에 데이터 신호를 공급하며, 전원 라인(70)은 구동 박막 트랜지스터(110)에 전원 신호를 공급한다.
- <51> 스위치 박막 트랜지스터(80)는 게이트 라인(50)에 게이트 신호가 공급되면 턴-온되어 데이터 라인(60)에 공급된 데이터 신호를 스토리지 캐패시터(Cst) 및 구동 박막 트랜지스터(110)의 제2 게이트 전극(111)으로 공급한다. 이를 위해, 스위치 박막 트랜지스터(80)는 게이트 라인(50)과 접속된 제1 게이트 전극(81), 데이터 라인(60)과 접속된 제1 소스 전극(83), 제1 소스 전극(83)과 마주하며 구동 박막 트랜지스터(110)의 제2 게이트 전극(111) 및 스토리지 캐패시터(Cst)와 접속된 제1 드레인 전극(85), 제1 소스 전극(83)과 제1 드레인 전극(85) 사이에 채널부를 형성하는 제1 반도체 패턴(90)을 구비한다. 여기서, 제1 반도체 패턴(90)은 제1 드레인 전극(85)과의 오믹 접촉을 위하여 제1 활성층(91) 상에 채널부를 제외하고 형성된 제1 오믹 접촉층(93)을 구비한다. 여기서, 제1 활성층(91)은 폴리 실리콘으로 형성될 수 있다. 특히, 스위치 박막 트랜지스터(80)는 우수한 온-오프 특성을 요구하므로 온-오프 동작에 유리한 아몰포스 실리콘으로 제1 활성층(91)을 형성하는 것이 더 바람직하다.
- <52> 구동 박막 트랜지스터(110)는 제2 게이트 전극(111)으로 공급되는 데이터 신호에 응답하여 전원 라인(70)으로부터 후술될 유기발광부(190)로 공급되는 전류를 제어함으로써 유기발광부(190)의 발광량을 조절하게 된다. 이를 위해, 구동 박막 트랜지스터(110)는 스위치 박막 트랜지스터(80)의 제1 드레인 전극(85)과 연결 전극(141)을 통해 접속된 제2 게이트 전극(111), 전원 라인(70)과 접속된 제2 소스 전극(113), 제2 소스 전극(113)과 마주하며 유기발광부(190)의 제1 전극(143)과 접속된 제2 드레인 전극(115), 제2 소스 전극(113) 및 제2 드레인 전극(115) 사이에 채널부를 형성하는 제2 반도체 패턴(120)을 구비한다. 여기서, 연결 전극(141)은 제1 콘택홀(103)을 통해 노출된 스위치 박막 트랜지스터(80)의 제1 드레인 전극(85)과, 제2 콘택홀(105)을 통해 노출된 구동 박막 트랜지스터(110)의 제2 게이트 전극(111)을 연결시킨다. 제1 콘택홀(103)은 보호막(95) 및 평탄화층(130)을 관통하여 제1 드레인 전극(85)을 노출시키며, 제2 콘택홀(105)은 제2 게이트 절연막(77), 보호막(95) 및 평탄화층(130)을 관통하여 제2 게이트 전극(111)을 노출시킨다.
- <53> 그리고, 제2 반도체 패턴(120)은 제1 게이트 절연막(73)을 사이에 두고 제2 게이트 전극(111)과 중첩되는 제2 활성층(121), 제2 소스 전극(113) 및 제2 드레인 전극(115)과의 오믹 접촉을 위하여 제2 활성층(121) 상에 채널부를 제외하고 형성된 제2 오믹 접촉층(123)을 포함한다. 여기서, 제2 활성층(121)은 아몰포스 실리콘으로 형성될 수 있다. 특히, 제2 활성층(121)은 유기발광부(190)의 발광 기간 동안 계속하여 전류가 흐르는 구동 박막 트랜지스터(110)의 특성상 폴리 실리콘으로 이루어지는 것이 더 바람직하다.
- <54> 스토리지 캐패시터(Cst)는 전원 라인(70)과 구동 박막 트랜지스터(110)의 제2 게이트 전극(111)이 제1 게이트 절연막(73)을 사이에 두고 중첩됨으로써 형성된다. 이러한 스토리지 캐패시터(Cst)는 충전된 전압에 의해 스위치 박막 트랜지스터(80)가 턴-오프되더라도 다음 프레임의 데이터 신호가 공급될 때까지 구동 박막 트랜지스터(110)에 일정한 전류를 공급하여 유기발광부(190)가 발광을 유지하게 한다.
- <55> 평탄화층(130)은 기판(40)의 제2 영역과 스위치 박막 트랜지스터(80) 및 구동 박막 트랜지스터(110)의 상부에서 기판(40)의 전체면에 걸쳐 소정의 두께로 형성된다. 이때, 기판(40)의 제2 영역에 형성되는 평탄화층(130)의 두께는 후술하여 설명하도록 한다. 그리고, 평탄화층(130)은 유기물질 중 아크릴 계열의 재질로 형성된다. 특히, 평탄화층(130)은 폴리아크릴레이트(Polyacrylate)로 형성되는 것이 바람직하다.
- <56> 유기발광부(190)는 기판(40)의 제2 영역에서 평탄화층(130) 위에 형성된 투명 도전 물질의 제1 전극(143)과, 제1 전극(143) 위에 형성된 발광층을 포함하는 유기발광층(160)과, 유기발광층(160) 위에 형성된 제2 전극(145)을 구비한다. 유기발광층(160)은 제1 전극(143)의 상부에 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층으로 구성된다. 여기서, 유기발광층(160)은 적색(R), 녹색(G) 및 청색(B)을 각각 구현하는 발광층들이 순차적으로 적층되어 3층 구조로 형성되거나 보색 관계를 가지는 발광층들이 적층되어 2층 구조로 형성되거나 백색을 구현하는 발광층으로 이루어진 단층 구조로 형성될 수 있다. 이에 따라, 유기발광층(160)에 포함된 발광층은 제2 전극(145)에 공급된 전류량에 따라 발광하여 제1 전극(143)을 경유하여 기판(40)의 배면으로 백색광을 방출하게 된다.

- <57> 제1 전극(143)은 서브 화소 단위로 형성된 유기발광층(160)을 사이에 두고 제2 전극(145)과 마주하게 된다. 제1 전극(143)은 평탄화층(130) 상에 각 서브 화소 영역에 독립적으로 형성된다. 그리고, 제1 전극(143)은 제1 및 제2 게이트 절연막(73,77), 보호막(95) 및 평탄화층(130)을 각각 관통하는 제3 콘택홀(107)을 통해 노출된 구동 박막 트랜지스터(110)의 제2 드레인 전극(115)과 접속된다. 이러한 제1 전극(143)은 인듐 주석 산화물(Indium Tin Oxide: 이하 ITO) 또는 인듐 아연 산화물(Indium Zinc Oxide: 이하 IZO), 주석 산화물(Tin Oxide: 이하 TO) 및 인듐 주석 아연 산화물(ITZO) 등으로 이루어지는 것이 바람직하다.
- <58> 평탄화층(130)과 연결 전극(141)의 상부에는 유기 물질로 형성되어 절연막 역할을 하는 격벽(150)이 형성된다. 격벽(150)은 제1 전극(143)이 노출되도록 패터닝되어 형성된다. 이를 통해, 격벽(150)은 유기발광층(160)을 제1 전극(143)의 상부에 위치시킨다.
- <59> 제2 전극(145)은 전자 공급 능력과 반사 성능이 우수한 알루미늄(Al), 마그네슘(Mg), 은(Ag) 또는 칼슘(Ca) 등으로 이루어지는 것이 바람직하다.
- <60> 이와 같은 유기발광부(190)의 구조를 통해 본 발명의 실시 예에 따른 유기발광장치의 화소 구조를 설명하기 위해 도 3을 참조한다.
- <61> 도 3은 본 발명의 실시 예에 따른 유기발광장치에서 화소 구조를 설명하기 위해 개략적으로 도시한 단면도이다.
- <62> 도 3에 도시된 바와 같이, 본 발명에 따른 유기발광장치는 각각 적색(R), 녹색(G), 청색(B), 백색(W)을 구현하는 서브 화소(R pixel, G pixel, B pixel, W pixel)를 포함한다.
- <63> 구체적으로, 적색, 녹색, 청색의 서브 화소(R pixel, G pixel, B pixel)에는 유기발광층(160)으로부터 생성된 백색광을 이용하여 적색(R), 녹색(G), 청색(B)을 구현하기 위한 컬러필터(200)가 형성된다. 이때, 백색 서브 화소(W pixel)는 유기발광층(160)으로부터 생성된 백색광을 그대로 방출하면 되므로, 컬러필터(200)를 사용하지 않는다. 컬러필터(200)는 기판(40) 상에 적색(R), 녹색(G) 및 청색(B)의 안료를 각 서브 화소마다 적층한 후 패터닝되어 형성된다. 컬러필터(200)의 상부에는 평탄화층(130), 제1 전극(143), 유기발광층(160) 및 제2 전극(145)이 차례대로 적층되어 형성된다. 이에 대한 설명은 상술한 바와 동일하므로 생략하도록 한다.
- <64> 이하에서는 도 4 내지 도 7를 참조하여 유기발광장치의 투과율을 향상시키기 위해 최적의 두께로 형성되는 질화실리콘층과 평탄화층을 도 3에 도시된 백색 서브 화소를 통해 설명하도록 한다.
- <65> 도 4는 도 3에 도시된 백색 서브 화소의 광 투과량을 도시한 단면도이고, 도 5는 본 발명의 실시 예에 따른 백색 서브 화소의 투과도를 설명하기 위해 도시한 그래프이다. 도 6 및 도 7은 본 발명의 실시 예에 따른 질화실리콘층 및 평탄화층의 두께별 투과도를 도시한 그래프이다.
- <66> 도 4를 참조하면, 질화실리콘층(99)은 도 2에 도시된 제1 및 제2 게이트 절연막(73,77)과 보호막(95)을 포함한다. 유기발광층(160)으로부터 방출되는 광은 도 4에 도시된 화살표와 같이 제1 전극(143)과 질화실리콘층(99)을 통과하면서 투과량이 점점 줄어든다. 이때, 질화실리콘층(99)의 두께는 광의 투과량에 영향을 미친다. 질화실리콘층(99)의 두께에 의한 투과도는 도 5를 통해 살펴보도록 한다. 구체적으로, 도 5는 평탄화층(130)이 임의의 두께로 형성된 상태에서 질화실리콘층(99)을 투과한 광의 투과도를 알아보기 위해 일반적인 형태의 그래프를 도시한 것이다. 여기서, 평탄화층(130)은 예를 들어 2 μ m의 두께로 형성된다.
- <67> 도 5에서 그래프의 x축은 유기발광층(160)으로부터 방출되는 광의 파장을 나타내고, 그래프의 y축은 투과지수를 나타낸다. 그리고, 곡선 R,G,B는 평탄화층(130)의 두께에 따라 투과되는 광의 적색, 녹색, 청색 성분에 따른 파장 분포 영역을 도시한 것이다. 여기서, 투과지수의 수치는 상대적인 값이다. 예를 들어 유기발광층(160)에서 발생하는 광의 총량을 1이라고 가정할 경우 제2 전극(145)을 통해 반사된 뒤 제1 전극(143)을 투과하는 투과량은 1보다 큰 d값을 가질 수 있다.
- <68> 유기발광층(160)에서 생성되어 방출되는 백색광은 RGB의 파장 대역의 합으로 나타난다. 이와 같은 RGB의 파장 대역에서 B는 440nm ~ 500nm의 범위를 가지고, G는 480nm ~ 600nm의 범위를 가지며, R은 580nm ~ 780nm의 범위를 가진다.
- <69> 다음으로, 질화실리콘층(99)의 두께에 따른 색 파장 대역별 수치를 표 1을 더 참조하여 살펴보도록 한다.

표 1

<70>

과장	구간	0 μ m	0.5 μ m	0.6 μ m	0.7 μ m	0.8 μ m	0.9 μ m	1.0 μ m
B	A	127	118	115	113	112	111	108
	E	50	48	47	47	47	46	47
	A-E	76	71	68	66	66	65	62
G	B	200	190	186	186	184	178	180
	E	74	71	67	65	67	68	65
	F	29	33	31	35	31	32	33
	B-(E+F)	96	86	88	86	86	78	81
R	C	241	227	233	227	227	226	225
	F	29	33	31	35	31	32	33
	C-F	212	195	202	192	196	194	191

<71>

질화실리콘층(99)은 0 ~ 1.0 μ m의 범위 내에서 0.5 μ m 이후 0.1 μ m 단위로 두께를 변화시킨다. 그리고, 각 두께별로 나타나는 파장별 투과도의 대역 분포를 계산하여 RGB가 가장 잘 표현되는 최적의 두께를 찾는다. 더 상세하게는, 도 5에 도시된 R,G,B 각각의 전체 영역(A,B,C)을 적분하여 계산하고, 이를 통해 얻어진 수치에서 타 색 파장 영역과 중첩되는 영역(E,F)을 계산하여 얻어진 수치를 차감하여 최적의 투과도를 나타내는 두께를 찾는다. 더 상세하게는, B는 A-E, G는 B-(E+F), R은 C-F를 통해 각 대역의 분포를 수치로 나타낼 수 있다.

<72>

표 1을 통해 나타난 바와 같이 질화실리콘층(99)은 0 μ m인 경우 가장 우수한 투과도를 나타낸다. 즉, 유기발광장치는 투과도를 향상시키기 위해 유기발광층(160)의 하부 영역에서 질화실리콘층(99)을 제거하는 것이 바람직하다.

<73>

도 6은 본 발명의 실시 예에 따른 질화실리콘층의 두께별 투과도를 도시한 그래프이다.

<74>

도 6에는 표 1을 바탕으로 질화실리콘층의 두께별 투과도가 더욱 자세하게 도시되었다. 도 6에서 그래프의 x축은 질화실리콘층을 투과하는 광의 파장을 나타내고, 그래프의 y축은 투과지수를 나타낸다. 그리고, 도 6에서 다수의 곡선은 질화실리콘층의 두께별로 파장 및 투과지수를 나타낸다. 이때, 곡선(210)은 질화실리콘층의 두께가 0 μ m일 때 광 투과도를 나타낸다. 곡선(210)은 전체 파장 영역에서 투과지수에 따른 적분값이 타 곡선에 비해 상대적으로 높게 나타난다. 이를 통해, 질화실리콘층은 두께가 0 μ m일 때 가장 우수한 투과도를 나타내는 것을 알 수 있다.

<75>

다음으로, 평탄화층(130)의 최적 두께를 질화실리콘층(99)과 마찬가지로 도 5를 참조하여 살펴보도록 한다. 이때, 평탄화층(130)은 폴리아크릴레이트(Polyacrylate)로 형성된다. 그리고, 질화실리콘층(99)의 투과도가 최적의 상태에서 평탄화층(130)의 최적 두께를 알아보기 위해 질화실리콘층(99)의 두께는 0 μ m로 형성된다. 즉, 평탄화층(130)은 기판(40) 상에 질화실리콘층(99)이 제거된 상태에서 형성된다.

<76>

유기발광층(160)에서 생성되어 방출되는 광은 RGB의 파장 대역을 보인다. 이와 같은 RGB의 파장 대역에서 B는 440nm ~ 500nm의 범위를 가지고, G는 480nm ~ 600nm의 범위를 가지며, R은 580nm ~ 780nm의 범위를 가진다. 평탄화층(130)의 두께에 따른 색 파장 대역별 수치를 표 2를 더 참조하여 살펴보도록 한다.

표 2

<77>

과장	간격	0 μ m	1.1 μ m	1.6 μ m	2.1 μ m	2.6 μ m	3.1 μ m
B	A	109	117	120	112	108	110
	E	41	44	50	49	47	45
	A-E	68	73	70	62	62	65
G	B	178	181	181	178	180	178
	E	58	63	66	66	65	67
	F	40	38	24	27	33	28
	B-(E+F)	80	79	91	85	81	83
R	C	256	222	221	228	225	223
	F	40	38	24	27	33	28
	C-F	216	184	197	201	191	195

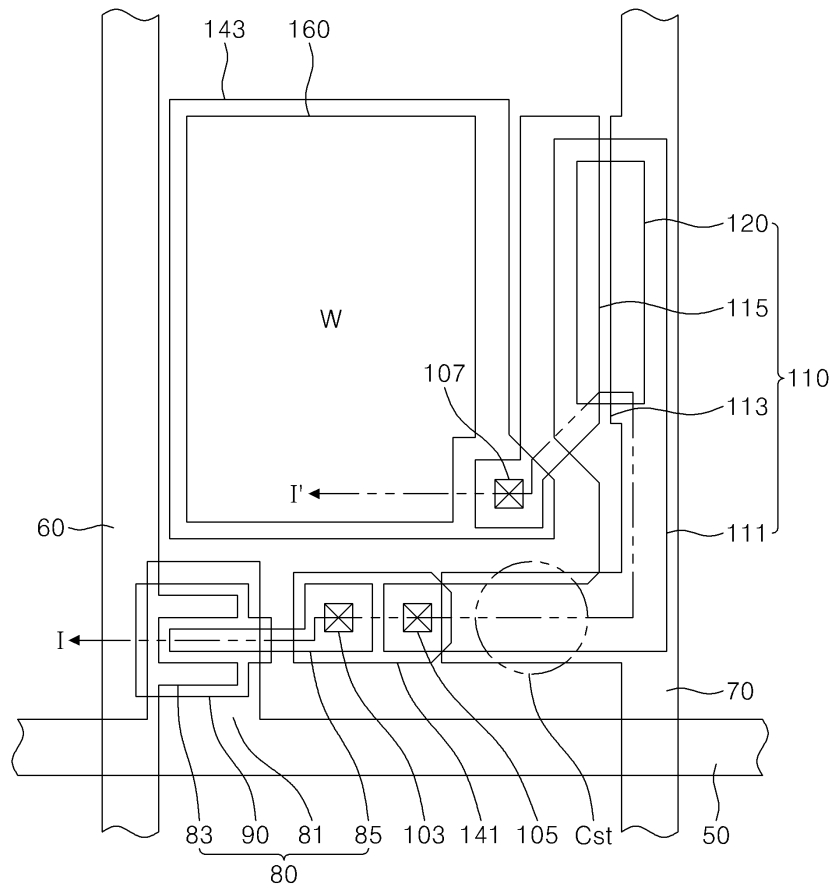
- <78> 평탄화층(130)은 0 ~ 3.1 μ m의 범위 내에서 1.1 μ m 이후부터 0.5 μ m 단위로 두께를 변화시킨다. 그리고, 각 두께 별로 나타나는 파장별 투과도의 대역 분포를 계산하여 RGB가 가장 잘 표현되는 최적의 두께를 찾는다. 더 상세하게는, 도 5에 도시된 R,G,B 각각의 전체 영역(A,B,C)을 적분하여 계산하고, 이를 통해 얻어진 수치에서 타 색 파장 영역과 중첩되는 영역(E,F)을 계산하여 얻어진 수치를 차감하여 최적의 투과도를 나타내는 두께를 찾는다. B는 A-E의 수치가 1.1 μ m에서 최고값을 보이며, G는 B-(E+F)의 수치가 1.6 μ m에서 최고값을 보인다. 그리고, R은 C-F의 수치가 0 μ m에서 최고값을 보이지만, 컬러필터를 포함하는 구조상 평탄화층이 필요하므로 0 μ m를 제외한 2.1 μ m가 최고값을 보여준다.
- <79> 이와 같은 표 2를 통해 평탄화층(130)의 두께가 1.1 μ m ~ 2.1 μ m일 때 R,G,B는 각각 최고값을 나타내므로, 평탄화층(130)은 1.1 μ m ~ 2.1 μ m의 두께로 형성되는 것이 바람직하다. 특히, 평탄화층(130)은 표 2에서 1.6 μ m의 경우 R+G+B의 수치가 가장 우수하므로, 1.6 μ m의 두께로 형성되는 것이 더욱 바람직하다.
- <80> 도 7은 본 발명의 실시 예에 따른 평탄화층의 두께별 투과도를 도시한 그래프이다.
- <81> 도 7에는 표 2를 바탕으로 평탄화층의 두께별 투과도가 더욱 자세하게 도시되었다. 도 7에서 그래프의 x축은 평탄화층을 투과하는 광의 파장을 나타내고, 그래프의 y축은 투과지수를 나타낸다. 그리고, 도 7에서 다수의 곡선은 평탄화층의 두께별로 파장 및 투과지수를 나타낸다. 이때, 곡선(220)은 평탄화층의 두께가 1.6 μ m일 때 광 투과도를 나타낸다. 곡선(220)은 전체 파장 영역에서 투과지수에 따른 적분값이 타 곡선에 비해 상대적으로 높게 나타난다. 이를 통해, 평탄화층은 두께가 1.6 μ m일 때 가장 우수한 투과도를 나타내는 것을 알 수 있다.
- <82> 한편, 본 발명의 실시 예에 따른 질화실리콘층(99) 및 평탄화층(130)은 적색(R), 녹색(G), 청색(B), 백색(W)의 서브 화소 구조를 예시하여 설명하였지만, 적색(R), 녹색(G), 청색(B) 서브 화소 구조에도 용이하게 적용될 수 있다.
- <83> 이하에서는 도 8a 내지 도 8k를 참조하여 본 발명의 실시 예에 따른 유기발광장치의 제조방법에 대해 설명한다.
- <84> 도 8a 내지 도 8k는 본 발명에 따른 유기발광장치의 제조방법을 설명하기 위해 도시한 단면도이다.
- <85> 본 발명의 실시 예에 따른 유기발광장치의 제조방법은 기판(40) 상에 질화실리콘층(73,77,95)을 포함하는 스위칭 소자(80,110)를 형성하는 단계, 질화실리콘층(73,77,95)의 일부 영역을 패터닝하여 제거하고, 기판(40) 및 질화실리콘층(73,77,95) 상에 평탄화층(130)을 형성하는 단계, 평탄화층(130)의 상부에 제1 전극(143), 유기발광층(160) 및 제2 전극(145)을 형성하는 단계를 포함한다.
- <86> 도 8a를 참조하면, 기판(40) 상에 구동 박막 트랜지스터(110)의 제2 활성층(121) 및 제2 오믹 콘택층(123)을 포함하는 제2 반도체 패턴(120)을 형성한다. 본 발명에서는 구동 박막 트랜지스터(110)의 구동 특성을 고려하여 제2 활성층(121) 및 제2 오믹 콘택층(123)을 폴리 실리콘으로 형성한다. 이러한 제2 활성층(121)을 형성하는 과정을 구체적으로 설명하면 다음과 같다. 먼저 기판(40) 상에 아몰퍼스 실리콘 및 n+ 도핑된 아몰퍼스 실리콘을 기판의 전체면에 걸쳐서 일정한 두께로 증착한다. 그런 다음, 아몰퍼스 실리콘을 결정화한다. 결정화하는 방법으로는 레이저를 이용한 방법과, 열 및 자기장을 이용하는 고상결정화(Solid Phase Crystallization) 방법 등이 있으며, 대면적 기판의 결정화에는 고상결정화 방법이 바람직하다.
- <87> 이와 같은 결정화된 실리콘층을 포토리소그래피 공정 및 에칭 공정을 통하여 패터닝하여 도 8a에 도시된 바와 같은 제2 활성층(121) 및 제2 오믹 콘택층(123)을 형성한다.
- <88> 도 8b를 참조하면, 전원 라인(70), 제2 소스 전극(113) 및 제2 드레인 전극(115)을 포함하는 구동 금속 패턴을 형성한다. 구체적으로, 스퍼터링 방법을 이용하여 도전성 금속을 기판(40) 상에 전체면 증착한 후, 포토리소그래피 공정 및 식각 공정을 이용하여 도전성 금속을 패터닝하여 전원 라인(70)과 제2 소스 전극(113) 및 제2 드레인 전극(115)을 형성한다. 이때, 제2 소스 전극(113) 및 제2 드레인 전극(115)에 의하여 가려지지 않고 노출된 제2 오믹 콘택층(123)은 식각 공정으로 제거하여 아몰퍼스 실리콘으로만 이루어진 채널을 형성한다.
- <89> 그런 다음, 기판(40) 전체면에 걸쳐 제1 게이트 절연막(73)을 형성한다. 구체적으로, 화학기상증착(PECVD) 등의 증착 방법으로 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질을 기판(40)상의 전체면에 증착하여 제1 게이트 절연막(73)을 형성한다.
- <90> 도 8c를 참조하면, 제1 게이트 절연막(73) 상에 제1 게이트 전극(81)과 제2 게이트 전극(111) 및 게이트 라인(50)을 포함하는 게이트 금속 패턴을 형성한다. 그리고, 게이트 금속 패턴의 상부에 제2 게이트 절연막(77)을

형성한다.

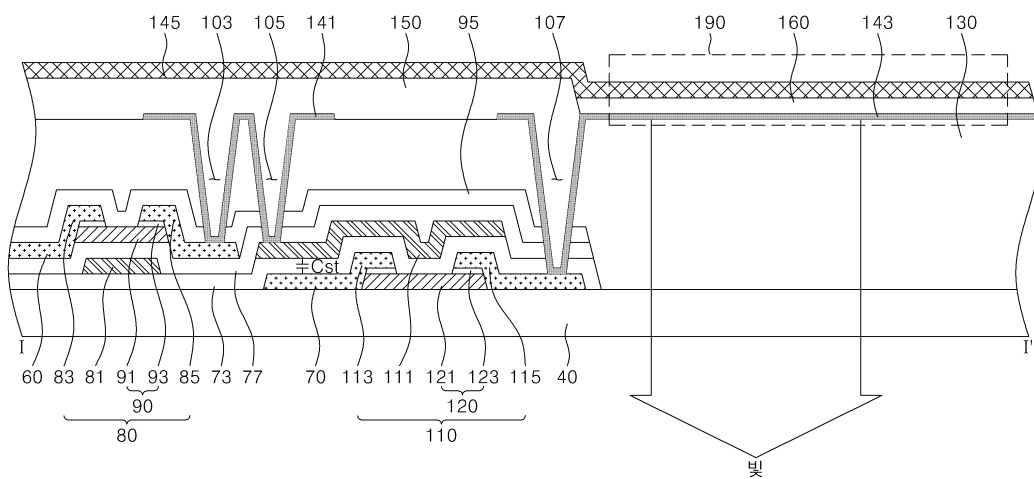
- <91> 구체적으로, 스퍼터링 방법을 이용하여 도전성 금속을 제1 게이트 절연막(73)의 상부에 증착한 후, 포토리소그래피 공정 및 식각 공정을 이용하여 도전성 금속을 패터닝하여 제1 및 제2 게이트 전극(111)을 형성한다. 이때 제1 게이트 전극(81)과 접속되도록 게이트 라인(50)도 함께 형성한다.
- <92> 그런 다음, 제1 및 제2 게이트 전극(111)이 형성된 기판(40) 상에 제2 게이트 절연막(77)을 기판(40) 상의 전체면에 증착한다. 여기서 제2 게이트 절연막(77)은 제1 게이트 절연막(73)과 동일한 방법으로 형성되므로 상세한 설명은 생략하기로 한다.
- <93> 도 8d를 참조하면, 제2 게이트 절연막(77)이 형성된 기판(40) 상에 제1 활성층(91) 및 제1 오믹 콘택층(93)을 포함하는 제1 반도체 패턴(90)을 형성한다. 본 발명의 실시 예에서는 스위치 박막 트랜지스터(80)의 구동 특성을 고려하여 제1 활성층(91) 및 제1 오믹 콘택층(93)을 아몰퍼스 실리콘으로 형성한다. 따라서, 아몰퍼스 실리콘층을 기판(40) 상에 증착한 후, 결정화 과정을 거치지 않고 패터닝하여 제1 활성층(91) 및 제1 오믹 콘택층(93)을 형성한다.
- <94> 도 8e를 참조하면, 제1 반도체 패턴(90)이 형성된 기판(40) 상에 데이터 라인(60)과 제1 소스 전극(83) 및 제1 드레인 전극(85)을 포함하는 데이터 금속 패턴을 형성한다. 제1 소스 전극(83) 및 제1 드레인 전극(85)을 형성하는 구체적인 방법은 전술한 제2 소스 전극(113) 및 제2 드레인 전극(115)을 형성하는 방법과 동일하므로 상세한 설명을 생략하기로 한다.
- <95> 도 8f를 참조하면, 데이터 금속 패턴이 형성된 기판(40) 상에 보호막(95)을 형성하고, 일부분을 패터닝하여 기판(40)을 노출시킨다.
- <96> 보호막(95)은 데이터 금속 패턴이 형성된 기판(40) 상에 질화실리콘(SiNx) 등과 같은 무기 절연 물질을 적층하여 형성한다. 그리고, 스위치 박막 트랜지스터(80)와 구동 박막 트랜지스터(110)를 제외한 영역에 형성된 보호막(95)과 제1 및 제2 게이트 절연막(73,77)을 패터닝하여 기판(40)을 노출시킨다. 즉, 유기발광부(190)의 하부에 형성된 보호막(95)과 제1 및 제2 게이트 절연막(73,77)을 제거한다.
- <97> 다음으로 도 8g를 참조하면, 보호막(95)과 제1 및 제2 게이트 절연막(73,77)이 제거된 기판(40) 상에 컬러필터(200)를 형성한다. 이때, 컬러필터(200)는 기판(40) 상에 적색(R), 녹색(G) 및 청색(B)의 안료를 각 서브 화소마다 적층한 후 포토리소그래피 공정을 통해 패터닝하여 형성한다.
- <98> 한편, 백색(W) 서브 화소는 컬러필터(200)를 사용하지 않으므로, 컬러필터(200)를 형성하는 단계를 생략한다. 이하의 제조 단계에서는 백색(W) 서브 화소를 예시하여 설명하도록 한다.
- <99> 도 8h를 참조하면, 보호막(95)의 상부에 제1 내지 제3 콘택홀(103,105,107)을 포함하는 평탄화층(130)을 형성한다.
- <100> 평탄화층(130)은 보호막(95)이 형성된 기판(40) 상에 스핀 코팅(Spin Coating) 또는 스피inless 코팅(Spinless Coating) 등의 방법으로 형성된다. 제1 내지 제3 콘택홀(103,105,107)은 제1 및 제2 게이트 절연막(73,77)과, 보호막(95) 및 평탄화층(130) 중 적어도 두 층이 선택적으로 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 형성된다. 제1 콘택홀(103)은 보호막(95) 및 평탄화층(130)을 관통하여 스위치 박막 트랜지스터(80)의 제1 드레인 전극(85)을 노출시키며, 제2 콘택홀(105)은 제2 게이트 절연막(77), 보호막(95) 및 평탄화층(130)을 관통하여 구동 박막 트랜지스터(110)의 제2 게이트 전극(111)을 노출시키며, 제3 콘택홀(107)은 제1 및 제2 게이트 절연막(73,77)과, 보호막(95) 및 평탄화층(130)을 관통하여 구동 박막 트랜지스터(110)의 제2 드레인 전극(115)을 노출시킨다.
- <101> 본 발명의 실시 예에 따른 평탄화층(130)은 투과도를 향상시키기 위해 1.1 ~ 2.1 μ m의 두께로 형성한다. 특히, 평탄화층(130)은 1.1 ~ 2.1 μ m의 범위 중 1.6 μ m로 형성하는 것이 바람직하다. 이때, 평탄화층(130)의 두께에 대한 상세한 설명은 도 4 내지 도 7을 참조하여 상술된 설명을 통해 이해할 수 있으므로 생략한다.
- <102> 도 8i를 참조하면, 평탄화층(130)이 형성된 기판(40) 상에 연결 전극(141) 및 제1 전극(143)을 포함하는 투명 도전 패턴을 형성한다.
- <103> 평탄화층(130)이 형성된 기판(40) 상에 스퍼터링 등의 증착 방법으로 투명 도전막을 형성한 후 포토리소그래피 공정과 식각 공정을 통해 패터닝하여 형성한다. 투명 도전막으로는 ITO, TO, IZO, ITZO 등을 이용한다.
- <104> 도 8j를 참조하면, 평탄화층(130) 및 연결 전극(141)이 형성된 기판(40) 상에 격벽(150)을 형성하고, 제1 전극

도면

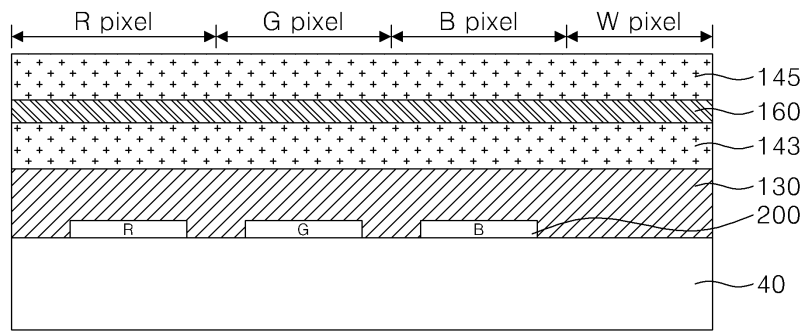
도면1



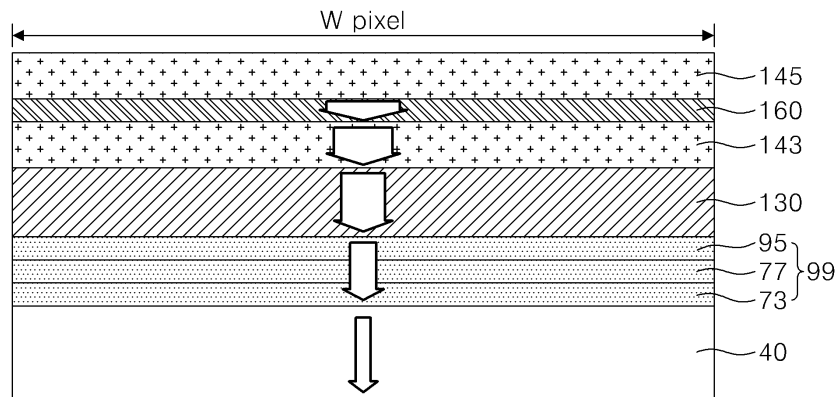
도면2



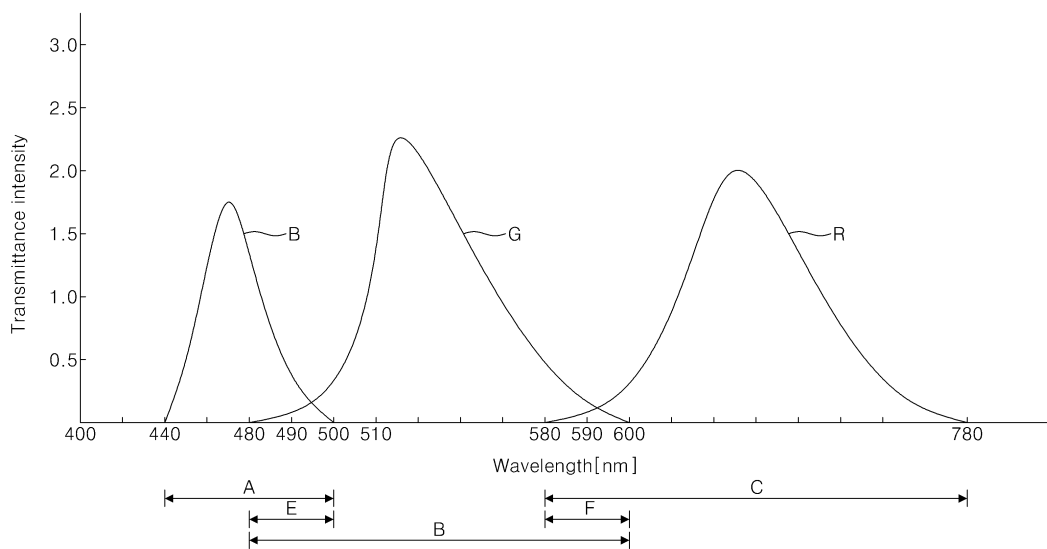
도면3



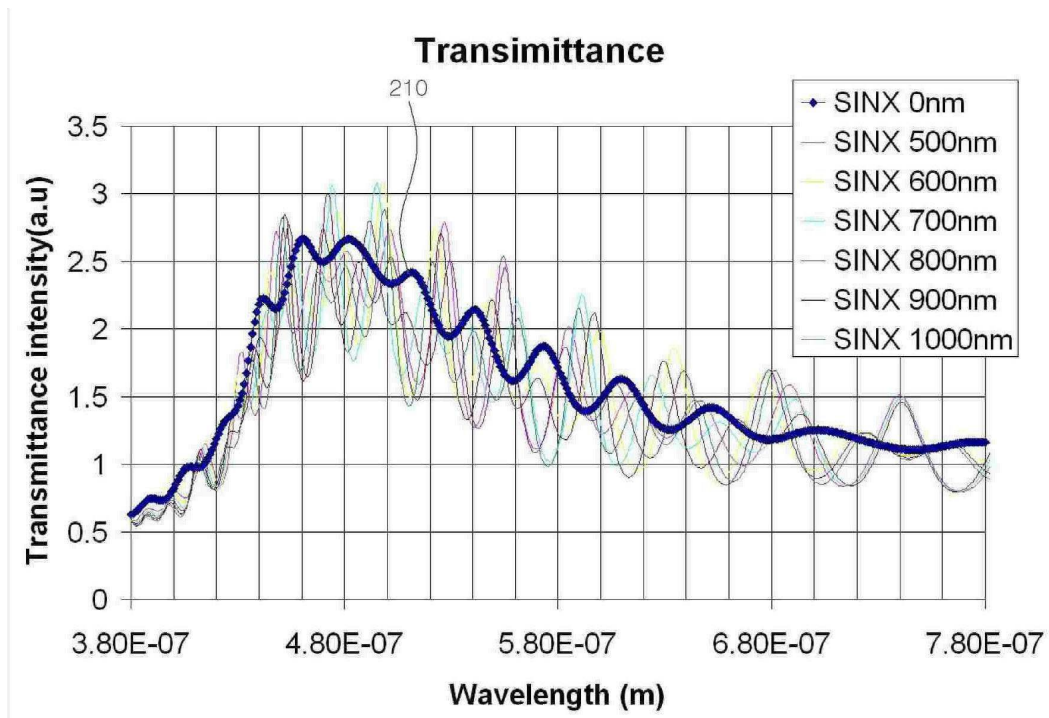
도면4



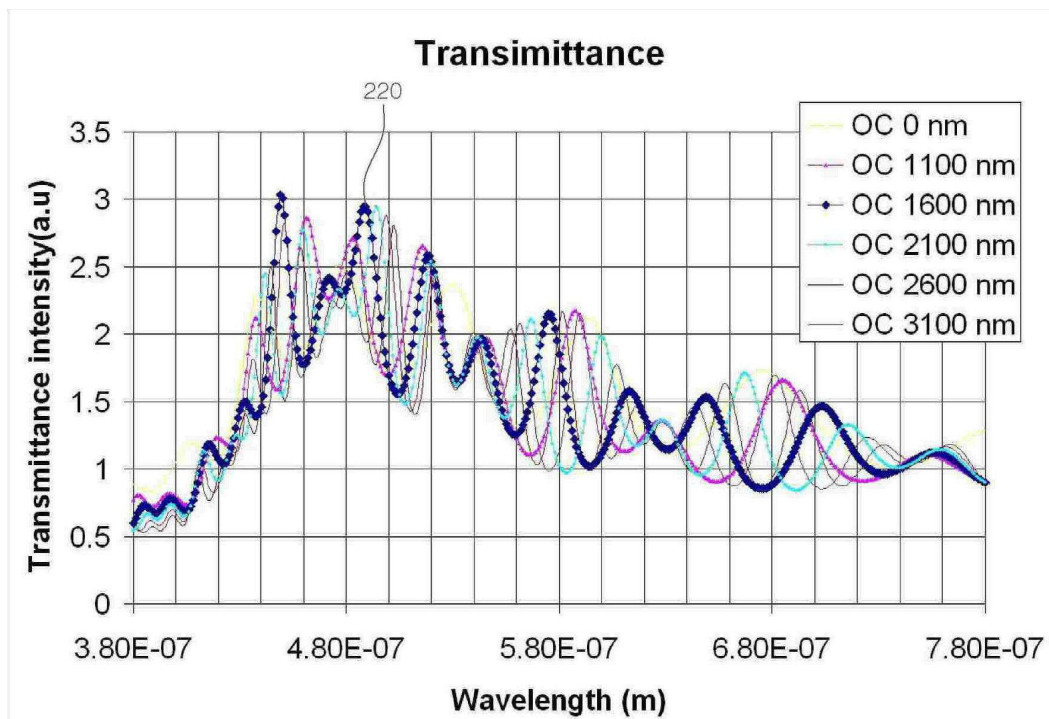
도면5



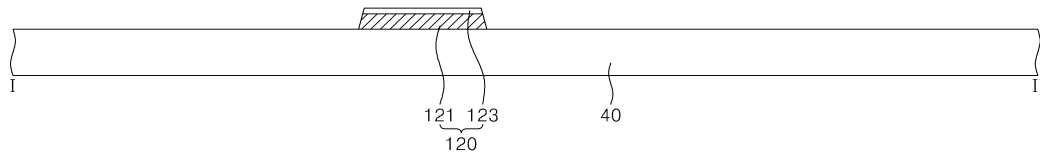
도면6



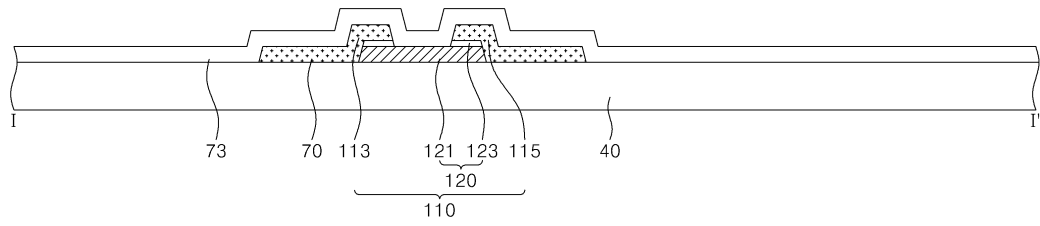
도면7



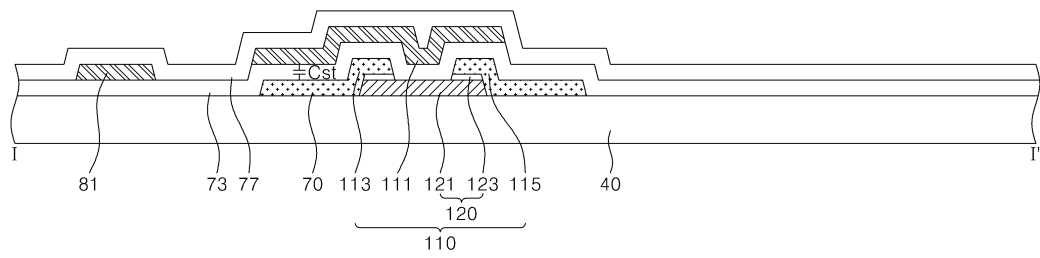
도면8a



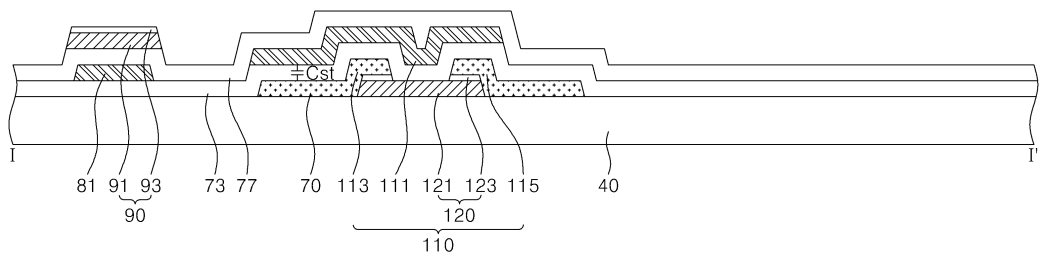
도면8b



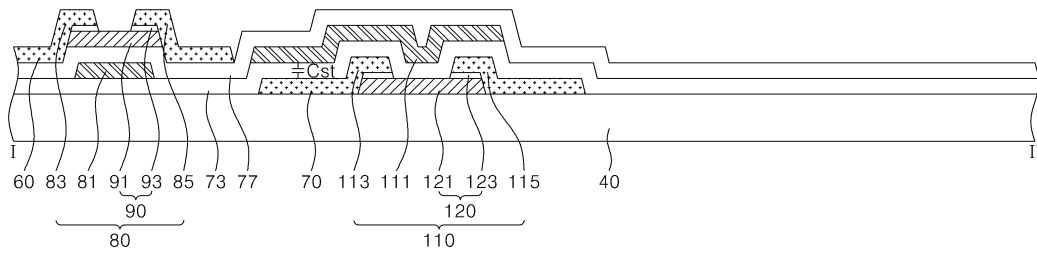
도면8c



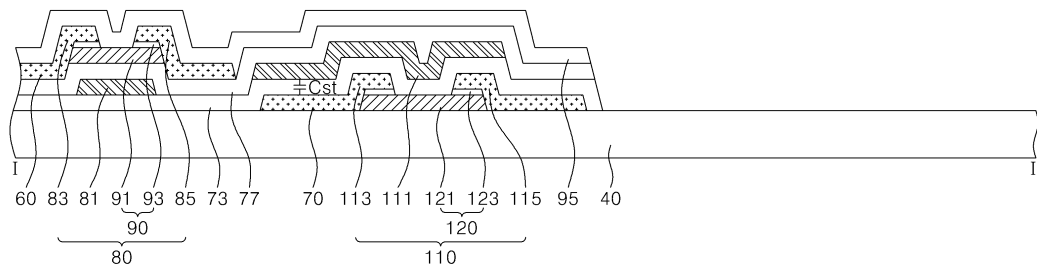
도면8d



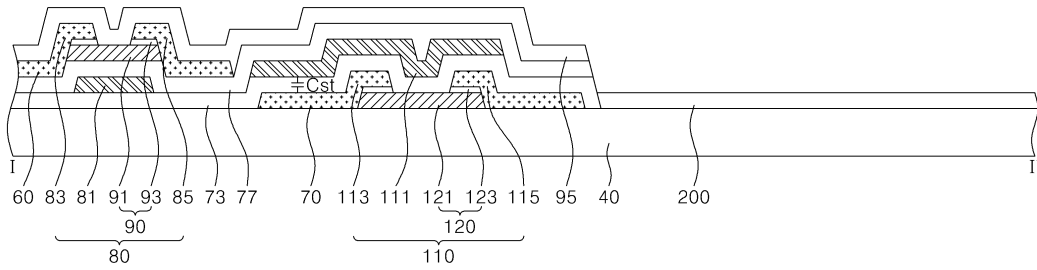
도면8e



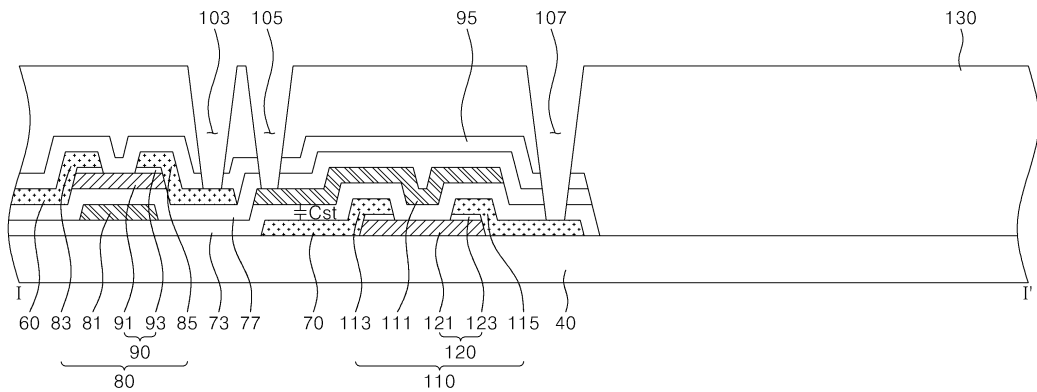
도면8f



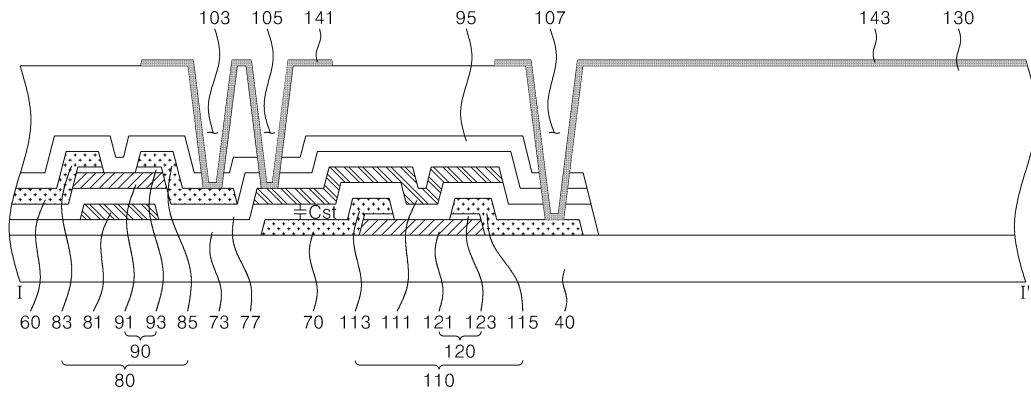
도면8g



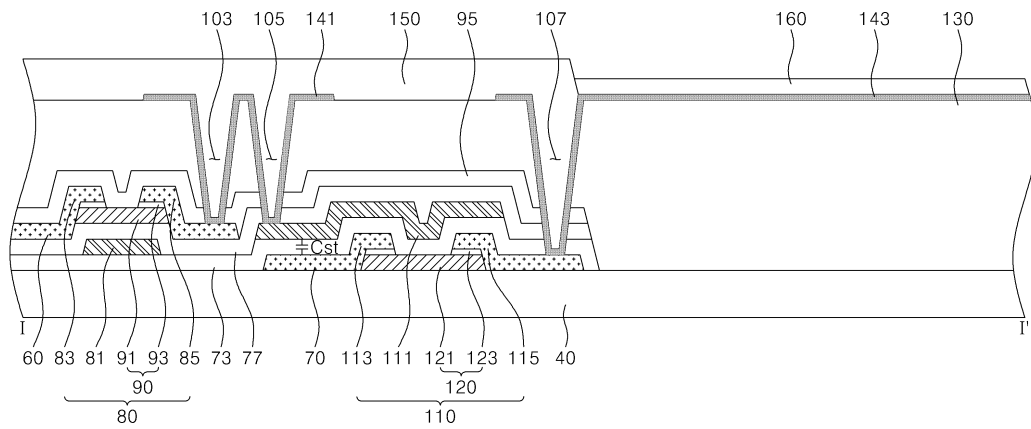
도면8h



도면8i



도면8j



도면8k

