



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0084449
(43) 공개일자 2008년09월19일

(51) Int. Cl.

H05B 33/02 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2007-0026202

(22) 출원일자 2007년03월16일

심사청구일자 2007년03월16일

(71) 출원인

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김경보

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

이길원

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(뒷면에 계속)

(74) 대리인

박상수

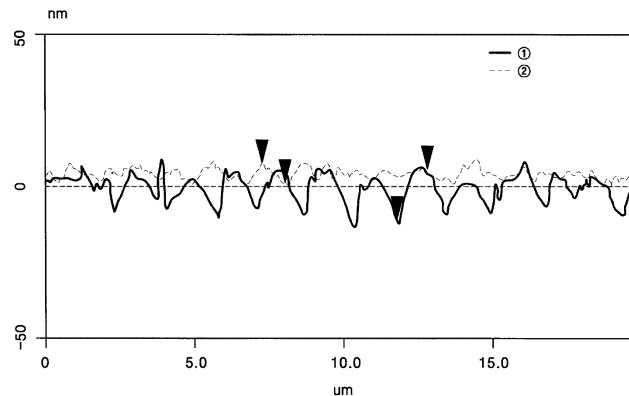
전체 청구항 수 : 총 10 항

(54) 박막트랜지스터, 박막트랜지스터의 제조방법, 이를 구비한유기전계발광표시장치 및 그의 제조방법

(57) 요약

본 발명은 버퍼층이 형성된 기판; 상기 기판 상에 위치하며, 결정 성장방향과 평행한 결정립계를 구비하고, 상부 표면의 거칠기가 15nm 이하인 다결정 실리콘층으로 이루어진 반도체층; 상기 반도체층의 일영역에 대응되도록 형성된 게이트 전극; 상기 반도체층과 상기 게이트 전극을 절연시키기 위한 게이트 절연막; 및 상기 반도체층과 연결되는 소스/드레인 전극을 포함하는 것을 특징으로 하는 박막트랜지스터와 그의 제조방법을 개시하고 있다. 또한 상기 박막트랜지스터를 구비하는 유기전계발광표시장치를 개시하고 있으므로써 공정이 간단하고 특성이 우수한 전기적 소자를 제조할 수 있다.

대표도



(72) 발명자

서진욱

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

이기용

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

특허청구의 범위

청구항 1

버퍼층이 형성된 기판;

상기 기판 상에 위치하며, 결정 성장방향과 평행한 결정립계를 구비하고, 상부 표면의 거칠기가 15nm 이하인 다결정 실리콘층으로 이루어진 반도체층;

상기 반도체층의 일영역에 대응되도록 형성된 게이트 전극;

상기 반도체층과 상기 게이트 전극을 절연시키기 위한 게이트 절연막; 및

상기 반도체층과 연결되는 소스/드레인 전극을 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 2

제 1 항에 있어서,

상기 결정립계는 복수개이며, 상기 결정립계들은 전류가 흐르는 방향과 평행한 방향으로 위치하는 것을 특징으로 하는 박막트랜지스터.

청구항 3

버퍼층이 형성된 기판을 제공하고,

상기 기판 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층 상의 일측에 완전 용융 영역 또는 완전 용융 근접 영역을 형성할 수 있는 에너지 밀도를 가진 레이저 빔을 상기 비정질 실리콘층에 조사하여 상기 비정질 실리콘층의 일부를 결정화하고,

상기 레이저 빔을 상기 결정화된 부분과 중첩되도록 이동하여 다시 레이저를 조사하여 결정화하고,

상기의 공정을 복수회 반복하여 연속적으로 레이저를 조사하여 다결정 실리콘층을 형성하고,

상기 다결정 실리콘층을 패터닝하여 반도체층으로 형성하는 것을 포함하는 박막트랜지스터의 제조방법.

청구항 4

제 3항에 있어서,

상기 기판 상에 조사하는 레이저 빔은 펄스 식으로 출사하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 5

제 3항에 있어서,

상기 레이저 빔은 XeF 또는 KrF 중 어느 하나인 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 6

제 3항에 있어서,

상기 레이저 빔은 150 내지 1000mJ/cm²의 에너지 밀도를 가지며 길이가 365 내지 1100nm이고 폭이 5 내지 20μm인 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 7

제 3항에 있어서,

상기 레이저 빔은 빔의 길이의 수직되는 방향으로 연속 샷이 진행되며 결정을 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 8

제 3항에 있어서,

상기 레이저 빔을 조사시 마스크를 사용하지 않는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 9

기판을 제공하고,

상기 기판 상에 위치하며, 결정 성장방향과 평행한 결정립계를 구비하고, 상부 표면의 거칠기가 15nm이하인 다결정 실리콘층으로 이루어진 반도체층;

상기 반도체층의 일영역과 대응되도록 형성된 게이트 전극;

상기 반도체층과 상기 게이트 전극을 절연시키기 위한 게이트 절연막;

상기 반도체층과 연결되는 소스/드레인 전극;

상기 소스/드레인 전극 상에 기판 전면에 걸쳐 위치하는 보호막;

상기 보호막 상에 위치하며 소스/드레인 전극 중 어느 하나와 연결되는 제 1 전극;

상기 제 1 전극의 일부영역을 노출시키며 기판 상에 위치하는 화소정의막;

상기 노출된 제 1 전극 상에 위치하는 유기발광층; 및

상기 기판 전면에 위치하는 제 2 전극을 특징으로 하는 유기전계발광표시장치.

청구항 10

제 9항에 있어서,

상기 결정립계는 복수개이며, 상기 결정립계들은 전류가 흐르는 방향과 평행한 방향으로 위치하는 것을 특징으로 하는 유기전계발광표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 일정 폭과 일정 길이를 갖는 레이저를 비정질 실리콘층 상에 직접 조사하여 결정화를 하는 것으로서, 마스크를 사용하지 않고 결정성장방향과 평행한 방향으로 위치하는 결정립계가 존재하며, 표면 거칠기가 우수한 다결정 실리콘을 결정화 하는 방법과, 그를 이용한 박막트랜지스터의 제조방법 및 그를 이용한 유기전계 발광표시장치에 관한 것이다.
- <10> 일반적으로, 다결정 실리콘층은 높은 전계효과 이동도와 고속 동작 회로에 적용이 가능하며 CMOS회로 구성이 가능하다는 장점이 있어 박막트랜지스터용 반도체층의 용도로서 많이 사용되고 있다. 이러한 다결정 실리콘층을 이용한 박막트랜지스터는 주로 능동 매트릭스 액정 디스플레이 장치(AMLCD)의 능동소자와 유기전계 발광소자(OLED)의 스위칭 소자 및 구동 소자에 사용된다.
- <11> 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 방법은 고상 결정화법(Solid Phase Crystallization), 금속 유도 결정화법(Metal Induced Crystallization), 금속 유도 측면 결정화법(Metal Induced Latral Crystallization), 엑시머 레이저 결정화법(Excimer Laser Crystallization), 및 SLS법(Sequential Lateral Solidification)등이 있다.
- <12> 이 중에서, 레이저를 사용하여 결정화하는 방법을 저온에서 결정화가 가능하므로 저온 다결정 실리콘이라 한다(LTPS라 함; Low Temperature Polysilicone).
- <13> 이러한 저온 다결정 실리콘을 이용한 TFT를 제조하는 방법으로는 엑시머 레이저(ELA)법이 있다. 상기 엑시머 레

이러한 방법은 30 내지 200ns의 짧은 시간에 비정질 실리콘의 용융과 결정화가 이루어지므로, 유리 기판이 전혀 손상을 입지 않는다는 장점이 있다. 실제 걸리는 시간은 펄스당 수백 ns에 불과하며, 실제 상온에서 사용가능한 기술이다. 단일 펄스만을 사용하지는 않으며, 15 내지 30cm, 폭은 0.2 내지 3mm 정도이다. 레이저의 빔 프로파일, 펄스의 수, 최초의 기판 온도, 비정질 실리콘 막의 증착 조건 및 방법 등이 주요 변수가 되어 최종 결정성에 영향을 미치게 된다.

- <14> 이하, 종래의 엑시머 레이저 열처리 공정(ELA)에 따른 실리콘의 결정화방법에 대해서 좀 더 구체적으로 설명한다.
- <15> 도 1은 레이저 에너지 밀도별 비정질 실리콘의 입자의 크기를 나타낸 그래프이다.
- <16> 도 1과 같이, 비정질 실리콘의 결정화는 레이저 에너지의 세기에 따라 영역 I, 영역 II, 영역 III로 분류할 수 있다.
- <17> 영역 I은 부분 용융 영역(partial melting region)으로, 비정질 실리콘층의 표면만이 용융될 정도의 세기로 레이저 에너지가 비정질 실리콘층에 조사되는 영역이며, 상기 제 1 영역에서는 이러한 조사 후 비정질 실리콘층의 표면의 부분 용융이 이뤄지고, 고상화(solidification) 과정을 거쳐 상기 실리콘층 표면에 작은 결정 입자가 형성된다.
- <18> 영역 II는 완전 용융 근접 영역(near-complete melting region)으로, 상기 비정질 실리콘층이 거의 용융될 정도로 레이저 에너지를 조사하는 영역이며, 용융 후 완전히 용융되지 않고 남아있는 것을 중심으로 하여 결정을 성장시켜 제 1 영역에 비해 성장한 결정 입자를 얻을 수 있으나, 균일한 결정 입자를 얻기는 곤란하다. 여기서, 상기 영역 II은 상기 영역 I에 비해 상당히 소폭이다.
- <19> 영역 III은 완전 용융 영역(complete melting region)으로, 상기 영역 II보다 레이저 에너지 세기를 높여 비정질 실리콘층을 모두 용융될 정도로 레이저 에너지를 조사하는 영역이며, 비정질 실리콘층이 모두 용융된 후 고상화가 진행되어 균일한 결정 핵 생성(homogeneous nucleation)이 가능하여 조사후, 미세한(fine) 균일 결정 입자로 이루어진 결정 실리콘층이 형성된다.
- <20> 다결정 실리콘을 제조하는 공정에서는 영역 II 대의 에너지 밀도를 이용하여 균일하게 조대한 결정 입자를 형성하기 위하여, 레이저 빔의 조사횟수 및 중첩비를 조절한다.
- <21> 그러나, 다결정 실리콘의 다수 개의 결정 입자 경계부는 전류 흐름의 장애요소로 작용하여 신뢰성 있는 박막 트랜지스터 소자를 제공하기 어렵고, 다수개의 결정 입자 내에서는 전자간의 충돌에 의한 충돌 전류 및 열화에 의해 절연막이 파괴되어 제품 불량을 초래하는 문제점을 갖고 있으므로, 이러한 문제점을 개선하기 위하여, 실리콘 결정 입자가 액상 실리콘과 고상 실리콘의 경계면에서, 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 SLS(sequential Lateral Solidification) 기술에 의해 단결정 실리콘을 형성하는 기술이 제안되었다.
- <22> SLS법은 상기 엑시머 레이저 어닐링 방법을 개선하여 저온 다결정 실리콘을 사용하는 TFT의 이동도 향상을 가능하게 하는 새로운 방법으로 TFT-LCD 또는 유기전계발광표시장치(OLED)의 구동회로부를 형성하는 반도체층인 다결정실리콘막을 제조하는데 사용할 수 있다.
- <23> SLS 방법은 유리 기판 상에 결정성과 균일도가 모두 우수한 저온 다결정 실리콘 TFT를 만들 수 있는 방법으로서, 특히 이때의 실리콘은 다결정 상태가 아닌 단결정 수준의 결정성을 나타낸다. 이 방법을 간략히 설명하면 먼저 패터닝된 마스크를 사용하여 레이저 빔을 일부만 통과시킨다.
- <24> 이때 비정질 실리콘 시료는 5 내지 10nm/shot 정도로 아주 미세하게 이동하는 스테이지 위에 놓이게 된다. 부분적으로 통과된 레이저 빔은 비정질 실리콘을 아주 얇게 용융시키는 것을 반복한다. 즉 수백 ns 내에 한번의 용융과 응고가 되풀이되어 이론적으로는 무한대의 단결정 실리콘을 만들어 낼 수 있다. 이러한 점에서 레이저를 이용한 결정화 방법은 하부 기판에 가해지는 데미지(damage)를 최소화시킬 수 있는 장점을 가져 저온 결정화 공정에서 가장 주목받고 있다.
- <25> 상기 SLS 기술에서는, 레이저 에너지 크기와 레이저 빔의 조사 범위 및 이동거리(translation distance)를 적절히 조절하여, 실리콘 결정 입자를 소정의 길이만큼 측면 성장시킴으로써, 비정질 실리콘을 단결정 수준으로 결정화시킬 수 있다.
- <26> 이러한 SLS 공정에 이용되는 조사장치는 마스크를 사용하여 좁은 영역에 빔을 집중시키게 되므로 넓은 면적의

기관에 적층된 비정질 실리콘층을 동시에 다결정질로 변화시킬 수 없다. 따라서, 기관의 조사 위치를 변경시키도록, 비정질 실리콘층이 적층된 기관을 스테에 장착한 후, 소정 면적에 조사가 이루어진 후, 기관을 이동시켜 다음 면적을 조사시키는 방식으로 기관의 전 영역에 조사가 이루어지도록 한다.

- <27> 상기 SLS법에서 사용되는 레이저는 엑시머 레이저(Excimer Laser)로서 308nm의 XeCl나 248nm의 KrF가 주로 이용된다.
- <28> 이하, 도 2a 내지 도 2c를 참조하여, 일반적인 SLS조사 장치를 이용한 종래의 실리콘을 결정화하는 방법을 알아본다.
- <29> 도 2a 내지 도 2c는 일반적인 SLS 결정화 방법에 의한 비정질 실리콘의 결정화 공정을 단계별로 나타낸 도면이다.
- <30> 도 2a를 참조하면, 비정질 실리콘층에 소정의 빔 폭(w1)을 가지는 레이저빔을 1차로 레이저 조사하여, 상기 1차로 레이저 조사된 비정질 실리콘(a-si)을 완전 용융시킨다. 상기 레이저빔의 조사가 끝난 후 냉각이 시작되면 비정질 실리콘과 용융 실리콘의 경계면에서 우선적으로 결정화가 일어나며 씨드(110)를 형성한다. 이때, 상기 씨드(110) 형성시 발생한 응고 잠열에 의해 비정질 실리콘과 용융 실리콘의 경계면으로부터 용융된 실리콘 방향으로 온도가 점차 감소되는 온도 구배(句配)가 형성된다. 열 유속은 용융된 실리콘층의 중앙부 방향으로 흐르게 되므로, 다결정 실리콘 결정립은 용융된 실리콘이 완전히 응고될 때까지 측면 성장이 일어나게 된다. 상기 다결정 실리콘은 인접하여 성장하는 결정립사이의 경계, 즉 결정립계가 발생하게 되는데, 이와 같이 결정립의 성장 방향과 같은 방향으로 발생하는 결정립계를 "세컨더리 결정립계(Secondary Grain Boundary)(120)"라고 한다. 또한, 상기 다결정 실리콘 결정립은 용융된 실리콘의 양쪽 경계면에서 동시에 성장함으로 용융된 실리콘의 중앙부에서 상기 결정립의 성장은 멈추게 되며, 마주보며 성장하던 결정립 사이에는 결정립계가 발생된다. 이와 같이 결정립의 성장 방향과 수직 방향으로 발생하는 결정립계를 "프라이머리 결정립계(130)"라고 한다.
- <31> 다음으로, 도 2b를 참조하면, 상기 결정립이 형성된 다결정 실리콘 영역과 비정질 실리콘의 경계면을 포함하는 영역(A)에 2차로 레이저 조사하면 비정질 실리콘 및 다결정 실리콘이 용융되고 이후 냉각되면서 2차로 레이저 조사에 의해 용해되지 않은 기 형성된 다결정 실리콘 결정립에 원자가 부착되어 결정립의 길이가 증가하게 된다. 도 2b에 도시된 바와 달리 2차로 레이저 조사 영역(A)에 상기 "프라이머리 결정립계(130)"를 포함시킴으로써 원하는 결정립 크기를 가진 다결정 실리콘층을 형성할 수 있게 된다.
- <32> 그러나, 상기 SLS 결정화법에 의해 형성된 "프라이머리 결정립계" 및 "세컨더리 결정립계"는 박막트랜지스터의 전기적 특성에 영향을 주므로, 상기 결정립계가 형성된 다결정 실리콘을 이용한 박막트랜지스터는 특성 편차가 발생하게 된다.
- <33> 또한, 상기 "프라이머리 결정립계"를 제거하기 위하여 조사되는 레이저빔의 이동 범위를 레이저빔 폭의 1/2 미만으로 조절하여 결정화하면, 도 2c에 도시된 바와 같이, 결정립의 성장이 계속됨에 따라 결정립이 서로 충돌하거나 나뉘지면서 새로운 결정립계가 형성되게 된다. 상기 새로운 결정립계는 불규칙하게 형성되는 것이어서, 전체적으로 결정립계가 불균일하게 된다. 이와 같은 결정립계의 불균일은 상기 박막트랜지스터의 전기적 특성에 영향을 주어, 박막트랜지스터의 특성 편차를 유발하는 문제점이 있으며, 불균일한 프라이머리 결정립계에 의한 돌출부(prutrusion) 때문에 돌출부에 전계가 집중되어 불량을 유발하고, 무라현상을 발생시키는 문제점이 있다.
- <34> 또한, 마스크를 이용한다는 점에서 공정이 복잡하고, 비용이 비싼 단점을 가지고 있다.

발명이 이루고자 하는 기술적 과제

- <35> 상기와 같은 종래의 실리콘 결정화 방법의 문제점을 해결하기 위하여, 본 발명에서는 레이저 중 빛의 조사 폭이 좁은 레이저를 사용하여 비정질 실리콘을 다결정 실리콘으로 형성하여 결정립이 크고 표면에 돌기가 없어 소자 성능을 향상시키고 공정 또는 장비의 마진을 확보할 수 있는 실리콘의 결정화 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <36> 본 발명은 버퍼층이 형성된 기관; 상기 기관 상에 위치하며, 결정 성장방향과 평행한 결정립계를 구비하고, 상부 표면의 거칠기가 15nm 이하인 다결정 실리콘층으로 이루어진 반도체층; 상기 반도체층의 일영역에 대응되도록 형성된 게이트 전극; 상기 반도체층과 상기 게이트 전극을 절연시키기 위한 게이트 절연막; 및 상기 반도체층과 연결되는 소스/드레인 전극을 포함하는 것을 특징으로 하는 박막트랜지스터와 그의 제조방법을 개시하고

있다. 또한 상기 박막트랜지스터를 구비하는 유기전계발광표시장치를 개시하고 있다.

- <37> 이하, 첨부된 도면을 참조하여 본 발명의 실리콘 결정화 방법을 상세히 설명하면 다음과 같다.
- <38> 도 3은 본 발명의 실리콘 결정화 방법에 이용되는 레이저 조사 장치를 나타낸 도면이고, 도 4a는 상기 도 3의 레이저 장치로 결정화하는 과정을 나타낸 도면이다.
- <39> 도 3 및 도 4a를 참고하면, 본 발명의 실리콘 결정화 방법은 SLS와는 다르게 레이저 조사장치를 통하여 마스크를 사용하지 않고 비정질 실리콘층 상에 레이저를 직접적으로 조사하여 결정화를 수행한다. 이와 같은 결정화 방법을 디렉셔널(directional) 결정화 방법이라 한다.
- <40> 먼저 도 3을 참조하면, 상기 레이저는 600 내지 1000nm로 조사하며, 펄스형태의 레이저를 긴 시간동안 제공한다. 이때 상기 레이저는 KrF 또는 XeF 중 하나이다. 이 레이저의 특징은 마스크가 없이 레이저 빔의 폭과 길이를 좁게하여 펄스형태로 조사하며 그 조사간격 피치가 매우 작다는 것이다. 또한 조사되는 레이저 빔의 위쪽 면적이 조사되는 면적보다 넓어서 측면이 가파르게 기울어져 있다.
- <41> 도 4a를 참조하여 설명하면, 비정질 실리콘 상에 조사되는 레이저빔은 비정질 실리콘을 용융시키고 고상화 시키기 위하여 최적화하여 길이가 365nm 내지 1100nm이고, 폭(d1)이 5 μ m 내지 20 μ m인 면적을 가지는 반면에, ELA는 빔의 폭이 400 μ m인 레이저를 사용한다. 그러므로 디렉셔널 결정화법에서 사용하는 레이저의 폭이 더 얇고 긴 레이저 빔이라 할 수 있다.
- <42> 상기 레이저는 비정질 실리콘을 순간적으로 용융시켜야하는 세기를 가져야 하므로 완전 용융 영역 에너지 또는 완전 용융 근접 영역 에너지여야 한다. 이때, 상기 레이저의 에너지 밀도는 바람직하게 150 내지 1000mJ/cm²이고, 비정질 실리콘을 충분히 용융시킬 수 있는 강도를 갖는다.
- <43> 본 발명은 SLS 결정화법의 단점인 반도체층을 사용시 전기적흐름을 방해하는 결정성장 방향에 수직방향에 위치하는 프라이머리 결정립계를 제거하는 것이다.
- <44> 또한, 상기 레이저를 사용하여 결정화시 마스크는 사용하지 않는다. 그러므로 종래의 레이저를 이용한 결정화 방법에 비하여 공정이 간단하며, 비용 절감의 효과를 가져온다.
- <45> 본 발명에 따르면, 1차로 레이저 조사 후, 프라이머리 결정립계가 형성될 수 있으나, 상기 결정립이 형성된 다결정 실리콘 영역과 비정질 실리콘의 경계면을 포함하는 영역(A)에 2차로 레이저를 조사하면 비정질 실리콘 및 다결정 실리콘이 용융되고 이후 냉각되면서 2차로 레이저 조사에 의해 용해되지 않은 기 형성된 다결정 결정립에 원자가 부착되어 결정립의 일측으로 길이가 증가하게 된다. 그러므로 결정성장방향에 평행하는 방향으로 존재하는 결정립계만이 존재하게 된다.
- <46> 이때 레이저 빔의 이동거리(d2)인 피치가 1 내지 3 μ m가 되도록 하여야 하며, 펄스 형태의 레이저를 계속적으로 조사하여야 한다. 왜냐하면 비정질 실리콘층은 용융이 되고 고상화되면서 부피차이에 의해 돌출부가 형성되면서 결정성장방향에 수직방향인 결정립계를 형성하는데, 그러한 결정립계를 다시 용융시키며 결정을 성장시켜야 한다.
- <47> 그러므로 본 발명에 따른 레이저 빔의 폭이 5 내지 20 μ m인 것을 고려할 때, 레이저 조사 피치를 3 μ m 이하로 하여 결정방향에 수직방향인 결정립계를 포함하여 다시 용융시켜야 한다. 또한 레이저를 이동시켜야 하므로 1 μ m 이상의 피치를 가져야 한다.
- <48> 상기와 같이 레이저를 비정질 실리콘 상에 조사함으로써 결정립의 크기가 계속적으로 측면 성장하게 되어 큰 결정립을 형성할 수 있다. 또한, 좁은 피치 간격으로 용융과 고상화를 반복하며 부피차이에 의해 형성되는 돌출부(protrusion)의 형성을 방지할 수 있어, 다결정 실리콘층 상의 거칠기가 15nm 이하로써 돌출된 부분에 전계가 집중하여 나타나는 불량을 방지하고, 전하의 이동을 원활히 할 수 있다.
- <49> 도 4b는 본 발명에 따라 결정화된 다결정 실리콘층의 표면 거칠기에 대한 그래프이다. 도 4b의 ①은 다결정 실리콘층의 가로방향 (레이저 조사방향)이고 ②는 다결정 실리콘층의 세로방향의 거칠기를 측정한 것이다.
- <50> 도 4b를 참조하면, 피크와 피크 차이가 15nm 이하이다. 그러므로 본 발명에 따라 결정화된 다결정 실리콘의 표면은 돌기부가 거의 없는 평탄한 것을 알 수 있다. 그러므로 돌기부가 형성되어 있는 다결정 실리콘으로 소자를 형성하였을 때 발생할 수 있는 문제도 없으므로 더욱 우수한 소자를 생산할 수 있다.
- <51> 도 4c는 본 발명의 실시예에 의한 결정화된 비정질 실리콘의 SEM 사진이다.

- <52> 도 4c를 참고하면, 본 발명에 따라 결정화된 다결정 실리콘은 결정성장방향과 평행하는 방향으로 형성된 결정립계(G)만이 존재하며 결정이 매우 크다. 상기와 같이 종래의 레이저 결정화법에서 볼 수 있는 결정성장 방향에 수직인 방향으로 형성된 결정립계(소위 "프라이머리 결정립계")가 존재하지 않기 때문에 박막트랜지스터의 전기적 특성에도 영향을 주지 않으므로 결정성이 우수하고, 박막트랜지스터의 소자로 이용시 특성이 좋은 박막트랜지스터를 생산할 수 있다.
- <53> 그러므로 본원발명의 레이저를 이용한 디렉셔널(directional) 결정화 방법에 의한 다결정 실리콘층은 결정립이 크고, 표면 돌기가 적으며, 전류의 흐름을 방해하는 결정성장방향에 수직으로 형성되는 결정립계를 갖지 않으므로 소자로 이용시 전류특성이 매우 우수하다. 또한, 공정시 마스크가 필요하지 않고, 적은 에너지를 가지는 레이저만으로 공정이 가능하다는 것에서 공정이 간소화되고, 비용절감의 효과를 가져온다.
- <54> (실시예1)
- <55> 도 5는 본 발명의 실시예1에 따른 박막트랜지스터의 제조방법을 나타내는 도면이다.
- <56> 상기 도 5를 참조하면, 기판(300) 상에 버퍼층(310)을 형성한 후, 상기 버퍼층(310) 상에 비정질 실리콘층을 형성한다. 상기 버퍼층(310)은 후속 공정인 비정질 실리콘층의 결정화 공정시 기판(300) 내의 불순물이 확산되는 것을 방지한다.
- <57> 계속해서, 상기 비정질 실리콘층을 본원발명에 따른 디렉셔널 결정화 방법(Thin beam Directional Crystallization)을 이용하여 다결정 실리콘층(미도시)으로 결정화한다. 상기 디렉셔널 결정화방법(Thin beam Directional Crystallization)은 일정 폭과 일정 길이의 크기를 가지는 빔을 마스크 없이 비정질 실리콘층에 직접 조사하는 방법이다.
- <58> 본 발명에서는 비정질 실리콘층을 용융시키고 고상화하기 위해 레이저 빔의 강도와 면적을 최적화하였다. 상기 최적화된 레이저 빔은 150 내지 1000mJ/cm²의 에너지 밀도를 가지며 길이가 365 내지 1100mm이고, 폭이 5 내지 20 μ m인 면적을 가지며, 상기 레이저는 프라이머리 결정립계를 제거하기 위해서 1 내지 3 μ m의 피치만큼의 작은 이동거리를 레이저가 직접 이동하며 연속샷을 조사한다.
- <59> 상기 디렉셔널 결정화 방법은 마스크를 사용하지 않고 레이저를 조사하며 1차로 비정질 실리콘층 상의 일측에 레이저를 조사하면 그 부분이 용융되고 고상화된다. 이후, 2차로 레이저 조사에서 그 경계의 일부분을 중첩하여 레이저를 조사하여 1차로 레이저 조사부에서 레이저 조사 진행방향으로 결장을 성장시켜 나간다.
- <60> 이러한 샷을 반복하여 연속적으로 조사함에 따라 결정화가 이루어지며 종래의 SLS 결정화법에 존재하는 결정성장 방향에 수직인 방향으로 형성되는 결정립계가 형성되지 않도록 하기 위하여 피치 간격을 1 내지 3 μ m로 하여 연속적으로 레이저를 조사한다.
- <61> 그러므로 본 발명의 디렉셔널 결정화 방법에 의하여 결정화된 다결정 실리콘층에는 결정성장방향과 평행한 방향으로 위치하는 결정립계만이 존재하는 균일한 실리콘층을 형성한다. 또한, 결정립의 크기가 매우 커서 전기적 소자로 이용시 우수한 특성을 가질 수 있으며, 상기 다결정 실리콘층을 반도체층으로 이용시 상기 결정립계는 전하가 흐르는 방향과 평행한 방향으로 위치하게 형성한다.
- <62> 상기와 같이, 형성된 다결정 실리콘층을 패터닝하여 박막트랜지스터 형성 영역에 반도체층(320)을 형성한다. 상기 반도체층(320)을 포함하는 기판(300)상에 게이트 절연막(330)을 형성한다. 상기 게이트 절연막(330)은 실리콘 산화막(SiO₂), 실리콘 질화막(SiNx) 또는 그 적층구조를 사용하여 형성할 수 있다.
- <63> 계속해서, 상기 게이트 절연막(330) 상부에 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일 층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 다층으로 적층된 게이트 전극용 금속층(미도시)이 형성된다.
- <64> 상기 게이트 전극(328)용 금속층을 식각하여 상기 반도체층(320)과 대응되는 일정 영역에 게이트 전극(328)이 형성된다. 상기 일정 영역은 후속 공정에서 형성되는 채널 영역(324)에 대응되는 영역이다.
- <65> 다음으로, 상기 게이트 전극(328)을 마스크로 하여 도전형의 불순물을 도핑하여 소오스/드레인 영역(322)을 형성한다. 상기 소오스/드레인 영역(322)의 사이에 위치한 불순물이 도핑되지 않은 영역은 채널 영역(324)으로 작용한다. 이와는 달리, 상기 도핑 공정은 게이트 전극(328)을 형성하기 전에 포토레지스트를 형성하여 진행할 수도 있다. 또한, 본 발명에서는 반도체층 형성 이후에 게이트 전극을 형성하는 공정을 설명하였으나, 반도체층 형성 이전에 반도체층 하부에 게이트 전극을 형성하는 공정을 진행할 수도 있다.

- <66> 이어서, 상기 게이트 전극(328)을 포함하는 기판(300) 상에 층간 절연막(340)을 형성하고 상기 층간 절연막(340)과 게이트 절연막(330)을 관통하며, 소오스/드레인 영역(322)의 일부를 노출시키는 콘택홀(342)을 형성한다. 상기 콘택홀(342)을 포함하는 기판(300) 상에 도전 물질을 증착한 후 패터닝하여, 상기 콘택홀(342)을 통해 소오스/드레인 영역(322)과 연결되는 소오스/드레인 전극(352)을 형성한다.
- <67> 상기 박막 트랜지스터는 탑게이트형 구조이나, 바텀게이트형 구조로도 형성할 수 있다.
- <68> (실시예2)
- <69> 도 6은 본 발명의 실시예 2에 따른 유기전계 발광표시장치에 관한 도면이다.
- <70> 실시예 2는 상기 실시예 1에 의한 박막트랜지스터를 포함하므로 중복을 피하기 위하여 박막트랜지스터의 제조공정은 생략한다.
- <71> 도 6를 참조하면, 실시예 1과 같이 박막트랜지스터를 형성한 후, 상기 소오스/드레인 전극(352)을 포함하는 기판 전면에 걸쳐 보호막(362)을 형성한다. 그리고 난 후, 상기 보호막(362) 상에 비아홀(미도시)을 형성하여 제 1 전극(372)을 형성하고, 상기 제 1 전극(372) 상에 화소영역을 정의하는 화소정의막(382)을 형성하여 제 1 전극에 개구부를 형성한다.
- <72> 이어서, 상기 제 1 전극의 개구부에 유기발광층(392)을 형성하고, 기판 전면에 걸쳐 제 2 전극(402)을 형성하여 유기전계 발광표시장치를 완성한다.
- <73> 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시 예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 다양한 변형과 수정이 가능할 것이다.

발명의 효과

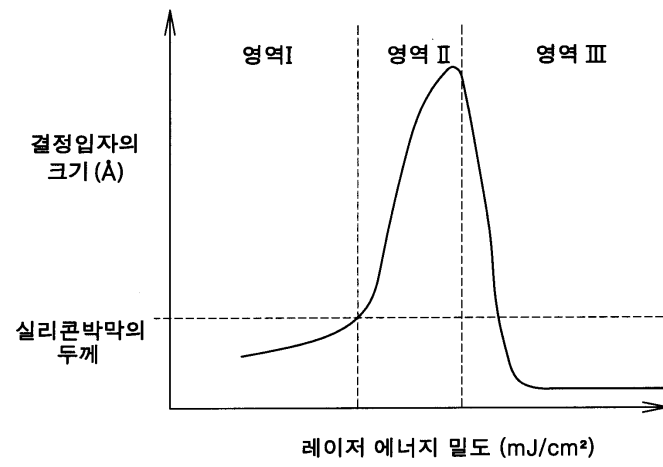
- <74> 본 발명은 실리콘을 결정화하는 방법에 관한 것으로, 마스크를 사용하지 않으며 폭이 좁고 길이가 긴 빔 사이즈를 가지는 레이저를 직접 실리콘 상에 비정질을 다결정으로 결정화하며, 상기 결정화된 다결정 실리콘은 결정 성장방향에 평행한 방향으로 위치하는 결정립계만으로 이루어져 있어, 전류의 흐름을 방해받지 않으므로, 박막트랜지스터로 이용시 특성이 우수하다. 또한, 결정립의 크기가 크고, 실리콘층의 표면 돌기가 적으므로 전기적 불량률이 적어 전기적 소자로 이용시 매우 우수하다.

도면의 간단한 설명

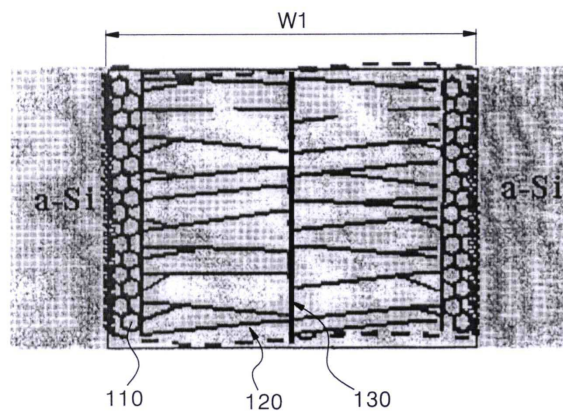
- <1> 도 1은 레이저빔의 단일조사에 있어서의 레이저 빔의 에너지 밀도에 따른 결정입자의 크기를 나타낸 도면이고,
- <2> 도 2a 내지 도 2c는 종래의 레이저 결정화 방법에 관한 도면이고,
- <3> 도 3은 본 발명의 실리콘 결정화 방법에 이용되는 레이저 조사 장치를 나타낸 도면이고,
- <4> 도 4a는 도 3a의 레이저 조사장치를 사용하여 레이저 빔이 조사되는 비정질 실리콘의 평면도이고,
- <5> 도 4b는 결정화된 비정질 실리콘을 촬영한 사진이고,
- <6> 도 4c는 본 발명에 따라 결정화된 다결정 실리콘층의 표면 거칠기에 대한 그래프이고,
- <7> 도 5는 본 발명에 따른 박막트랜지스터에 관한 도면이고,
- <8> 도 6은 본 발명에 따른 유기전계발광표시장치에 관한 도면이다.

도면

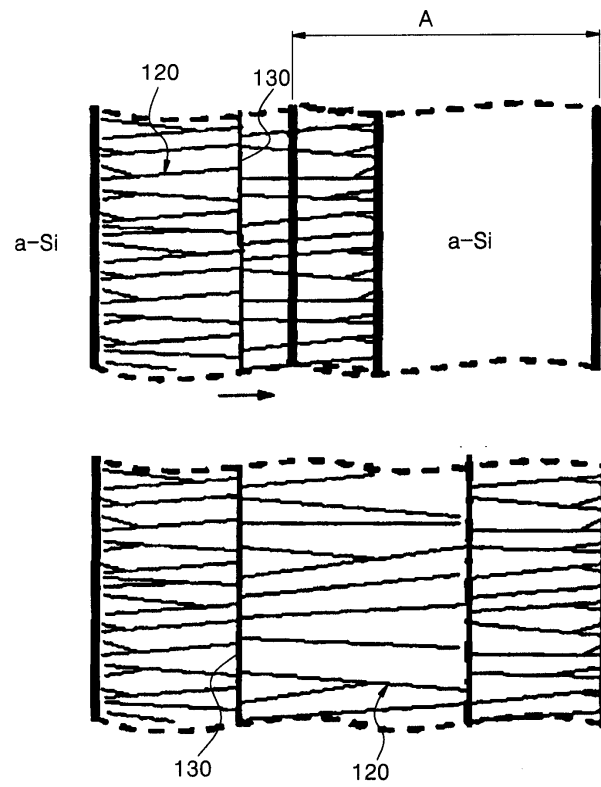
도면1



도면2a



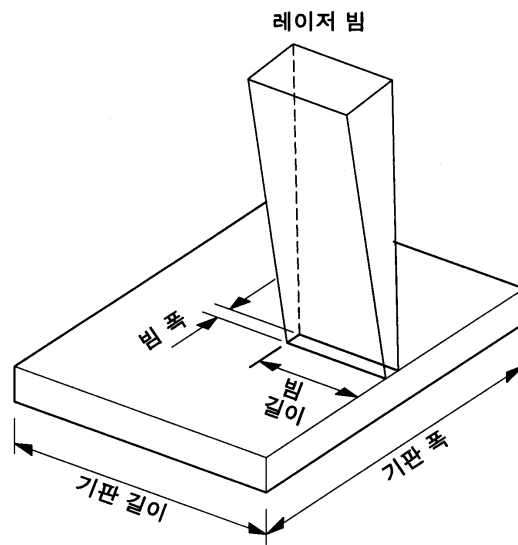
도면2b



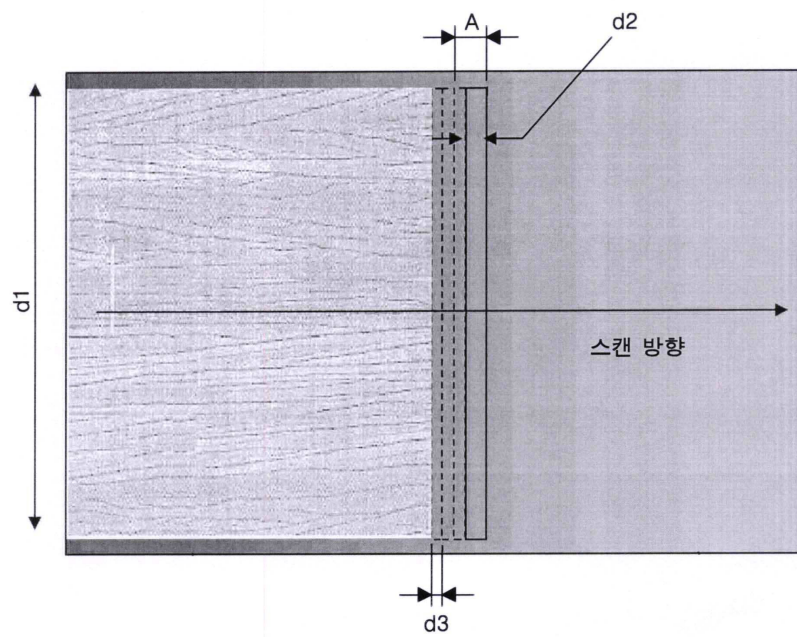
도면2c



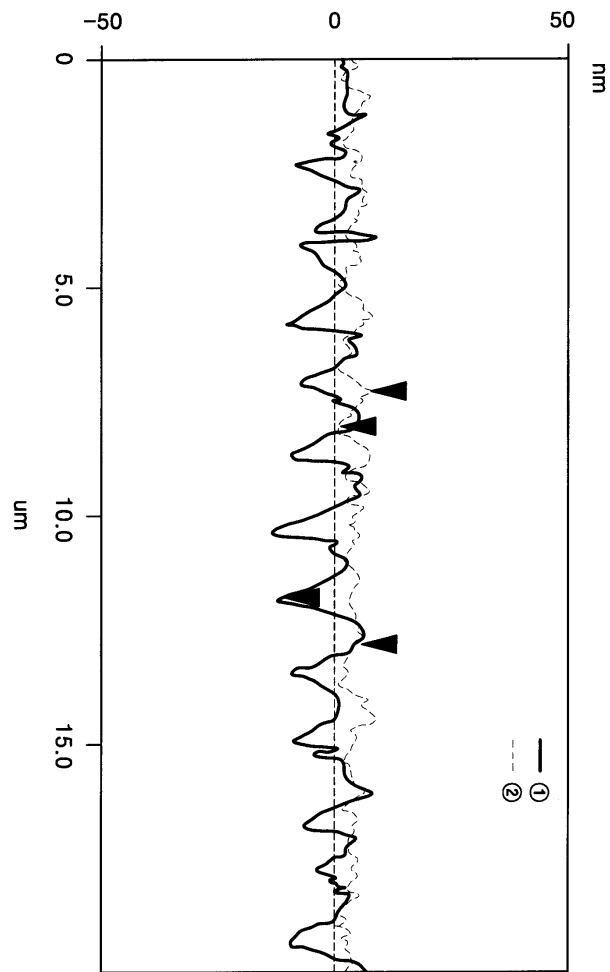
도면3



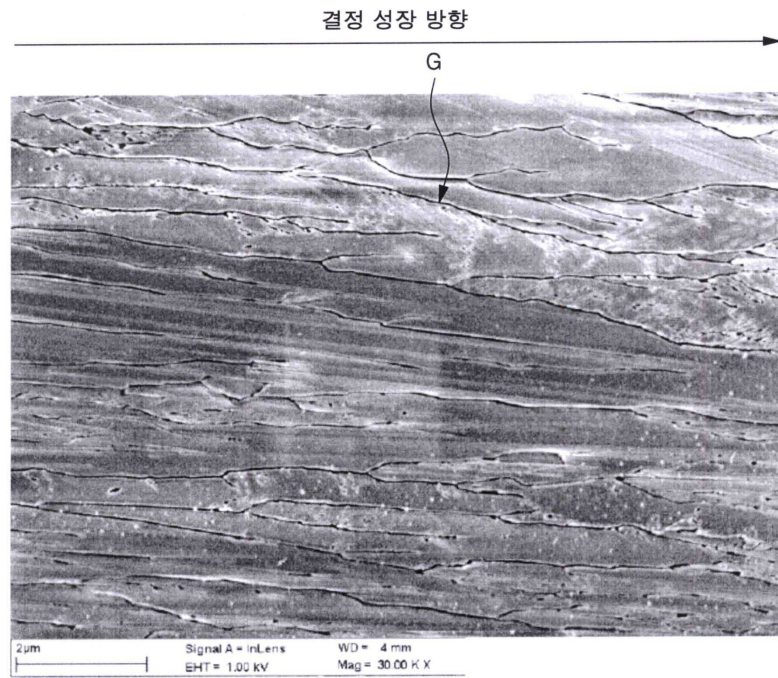
도면4a



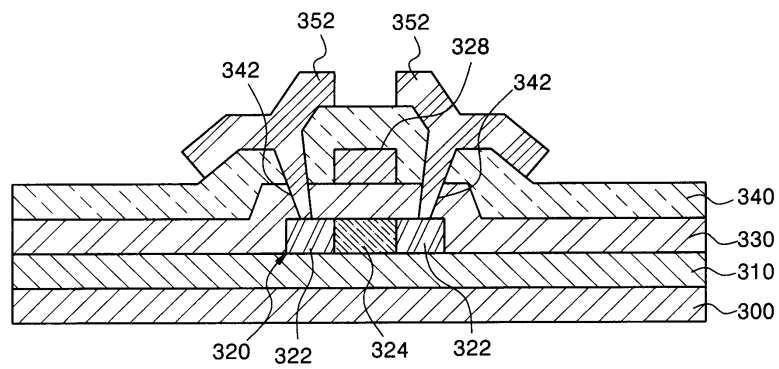
도면4b



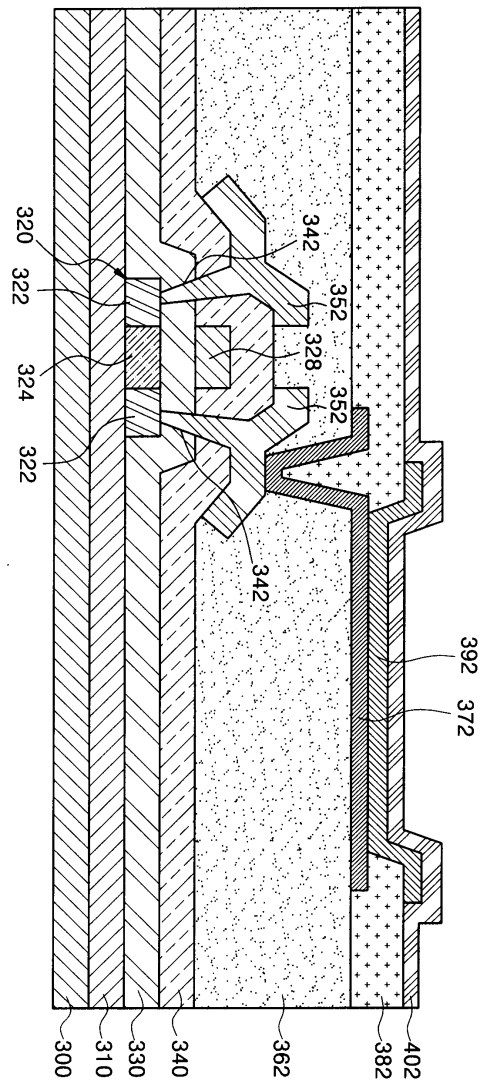
도면4c



도면5



도면6



专利名称(译)	薄膜晶体管，制造薄膜晶体管的方法，具有该薄膜晶体管的有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080084449A	公开(公告)日	2008-09-19
申请号	KR1020070026202	申请日	2007-03-16
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM KYOUNG BO 김경보 LEE KIL WON 이길원 SEO JIN WOOK 서진욱 LEE KI YONG 이기용		
发明人	김경보 이길원 서진욱 이기용		
IPC分类号	H05B33/02 H05B33/10		
CPC分类号	H01L27/3209 H01L27/3248 H01L51/56 H01L2924/12044		
代理人(译)	PARK, 常树		
其他公开文献	KR100860007B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种薄膜晶体管及其制造方法，包括用于绝缘半导体层的栅极绝缘层：栅电极：上述半导体层，其形成为对应于上述半导体层和栅电极的一个区域与晶体生长方向平行的晶界位于基板的表面上：形成缓冲层的基板由多晶硅层构成，其中包括的顶面粗糙度为15nm或更小/漏电极连接到上述半导体层。此外，可以制造配备有薄膜晶体管的有机电致发光显示装置，该电子器件具有优异的性能，通过公开简化工艺。结晶的定向方法，激光和多晶硅。

