



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0001482
(43) 공개일자 2008년01월03일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0059952

(22) 출원일자 2006년06월29일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자

박영주
경남 창원시 소답동 149-19(21/1) 영진아트빌 20
1호

(74) 대리인

박장원

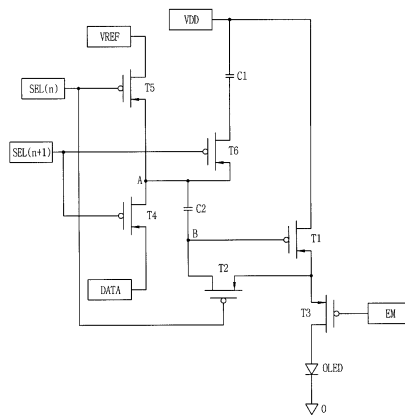
전체 청구항 수 : 총 10 항

(54) 유기전계 발광표시장치의 화소 회로

(57) 요약

본 발명은 유기발광다이오드(OLED) 패널에서 문턱전압과 전압강하를 보상하는 기술에 관한 것이다. 이러한 본 발명은, 게이트에 공급되는 전압에 상응되는 구동전류를 발광신호에 응답하여 구동되는 제3트랜지스터를 통해 유기발광다이오드에 공급하기 위한 제1트랜지스터와; 상기 제1트랜지스터의 문턱전압 차이를 자체적으로 보상하기 위한 제2트랜지스터와; 상기 제1트랜지스터의 게이트측으로 각각의 데이터신호를 전달하기 위한 제4,6트랜지스터와; 상기 제1트랜지스터의 게이트측으로 기준전압을 전달하기 위한 제5트랜지스터와; 상기 제6트랜지스터를 통해 상기 제1트랜지스터의 게이트에 공급하기 위한 데이터신호를 저장하는 제1캐패시터와; 상기 제5트랜지스터를 통해 공급되는 상기 기준전압, 상기 제4트랜지스터를 통해 공급되는 데이터전압을 각기 저장하여 상기 제1트랜지스터의 게이트측으로 전달하는 제2캐패시터에 의해 달성된다.

대표도 - 도2



특허청구의 범위

청구항 1

게이트에 공급되는 전압에 상응되는 구동전류를 발광신호에 응답하여 구동되는 제3트랜지스터를 통해 유기발광 다이오드에 공급하기 위한 제1트랜지스터와;

상기 제1트랜지스터의 문턱전압 차이를 자체적으로 보상하기 위한 제2트랜지스터와;

상기 제1트랜지스터의 게이트측으로 각각의 데이터신호를 전달하기 위한 제4,6트랜지스터와;

상기 제1트랜지스터의 게이트측으로 기준전압을 전달하기 위한 제5트랜지스터와;

상기 제6트랜지스터를 통해 상기 제1트랜지스터의 게이트에 공급하기 위한 데이터신호를 저장하는 제1캐패시터와;

상기 제5트랜지스터를 통해 공급되는 상기 기준전압, 상기 제4트랜지스터를 통해 공급되는 데이터전압을 각기 저장하여 상기 제1트랜지스터의 게이트측으로 전달하는 제2캐패시터로 구성된 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

청구항 2

제1항에 있어서, 제2,5트랜지스터는 현재 선택라인신호 SEL(n)에 의해 각기 동작하도록 구성된 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

청구항 3

제1항에 있어서, 제4,6트랜지스터는 이후 선택라인신호 SEL(n+1)에 의해 각기 동작하도록 구성된 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

청구항 4

제1항에 있어서, 제2트랜지스터는 소스와 드레인이 상기 제1트랜지스터의 드레인과 게이트에 각기 접속되고, 게이트가 현재 선택라인 SEL(n)에 접속된 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

청구항 5

제1항에 있어서, 제4트랜지스터는 소스와 게이트가 데이터 단자, 상기 제2캐패시터의 타측에 각기 접속되고, 게이트가 이후 선택라인 SEL(n+1)에 접속된 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

청구항 6

제1항에 있어서, 제5트랜지스터는 소스와 게이트가 기준전압단자, 상기 제2캐패시터의 타측에 각기 접속되고, 게이트가 현재 선택라인 SEL(n)에 접속된 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

청구항 7

제1항에 있어서, 제6트랜지스터는 소스가 상기 제1캐패시터를 통해 전원전압 단자(VDD)에 접속되고, 드레인은 상기 제2캐패시터를 통해 상기 제1트랜지스터의 게이트에 접속되며, 게이트는 이후 선택라인 SEL(n+1)에 접속된 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

청구항 8

제1항에 있어서, 제2캐패시터는 현재 선택라인신호 SEL(n)가 공급될 때 상기 기준전압과 데이터전압을 저장하도록 구성된 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

청구항 9

제1항에 있어서, 제1,2캐패시터는 각기 다른 화소 전압을 저장하도록 구성된 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

청구항 10

제1항에 있어서, 각 트랜지스터 중 적어도 하나 이상이 피채널 모스트랜지스터인 것을 특징으로 하는 유기전계 발광표시장치의 화소 회로.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 발명은 유기발광다이오드(OLED) 패널에서 문턱전압과 전압강하를 보상하는 기술에 관한 것으로, 특히 OLED 패널에서 소자 불균일로 인하여 발생하는 문턱전압을 보상하고 전원단자전압 라인의 전압 강하 문제를 해결하는데 적당하도록 한 유기전계 발광표시장치의 화소 회로에 관한 것이다.
- <7> 현재 AMOLED 디스플레이를 위한 화소 구조는 구동 방식에 따라 크게 전압 기입 화소, 전류기입 화소, 디지털 구동 화소로 구분할 수 있다.
- <8> 전압 기입 화소 구조는 고속 기입이 가능하며 전압으로 기입하기 때문에 기존의 TFT-LCD 구동 드라이버 LSI와 거의 비슷하여 쉽게 드라이버 LSI의 구현이 용이하다는 장점이 있다. 그러나 전압 기입 방식은 화소 전원 전압의 IR drop으로 인한 패널의 상하간 휘도 차이가 있을 뿐 아니라 크로스토크 노이즈(crosstalk noise)가 발생한다는 단점이 있으며 TFT의 문턱전압의 불균일도는 어느 정도 보상이 가능하나 이동도의 보상이 어렵다는 문제점이 있다.
- <9> 전류 기입 화소 구조는 전류로 기입하기 때문에 TFT의 특성 변화 보상이 용이하고 전원 전압의 IR drop도 보상되지만 낮은 계조의 전류 기입 시 기생 부하(parasitic load)가 큰 데이터 라인으로 인해 짧은 로우 라인 타임(row line time)안에 전류 기입이 어렵다는 문제점이 있다.
- <10> 디지털 구동 화소는 OLED 물질의 열화나 특성 변화에 의해 아주 민감하다는 문제점이 있다.
- <11> 도 1은 종래 기술에 의한 유기전계 발광표시장치의 화소 회로도로서 이에 도시한 바와 같이, 소스가 선택라인(SEL)에 접속되고, 게이트가 데이터라인(Vdata)에 접속된 제1피채널 모스트랜지스터(이하, '트랜지스터'라 칭함)(MP1)와; 상기 제1트랜지스터(MP1)를 통해 전달되는 데이터신호를 래치하는 제2,3트랜지스터(MP2), (MP3)와; 소스가 전원단자(VDD)에 접속되고 게이트가 상기 래치의 출력단에 접속된 제4트랜지스터(MP4)와; 소스가 상기 제4트랜지스터(MP4)의 드레인에 접속되고, 게이트와 드레인이 발광신호단자(Em), 유기발광다이오드(OLED)에 각기 접속된 제5트랜지스터(MP5)와; 상기 제4피트랜지스터(MP4)의 소스와 게이트 사이에 접속된 캐피시터(Cs)로 구성된 것으로, 이의 작용을 설명하면 다음과 같다.
- <12> 현재 구동하고자 하는 선택라인(또는 스캔라인)에 로우 신호가 인가되면, 이에 의해 트랜지스터(MP1)가 온된다. 이에 따라, 데이터라인의 데이터신호(Vdata)가 상기 트랜지스터(MP1)를 통해 래치 구성요소인 트랜지스터(MP2), (MP3)에 전달되어 래치된다.
- <13> 이에 따라, 트랜지스터(MP4)의 게이트에 Vdata-Vth(MP4)의 전압이 인가되고, 트랜지스터(MP5)는 게이트에 공급되는 발광신호(Em)에 상응되게 구동된다.
- <14> 이와 같은 상태에서, 유기발광다이오드(OLED)는 상기 트랜지스터(MP4), (MP5)를 통해 공급되는 전류에 상응되게 발광한다. 아래의 [수학식1]은 상기 유기발광다이오드(OLED)에 공급되는 전류에 대한 개략식이다.

수학식 1

<15>
$$I = \mu(V_{data} - V_{DD})$$

- <16> 도 1의 회로의 구동방식은 전압구동방식이므로 문턱전압만 보상이 가능하다. 여기서, 상기 트랜지스터(MP2)로 문턱전압을 샘플링하고, 트랜지스터(MP3)로 캐피시터(Cs)를 리플레쉬시킨다. 따라서, 상기 트랜지스터(MP2), (MP4)의 특성이 동일해야 한다.
- <17> 그런데, 이와 같은 종래 유기전계 발광표시장치의 화소 회로에 있어서는 소자 불균일로 인하여 발생하는 문턱전

압을 보상하는데 어려움이 있고, 전원단자전압(VDD) 라인의 전압강하(IR-DROP)를 보상하는데 어려움이 있어 화질 저하가 초래되고, 대화면 패널 적용시 IC 개수를 줄일 수 없어 원가를 절감하는데 어려움이 있었다.

발명이 이루고자 하는 기술적 과제

<18> 따라서, 본 발명의 목적은 유기발광다이오드 패널에서 소자 불균일로 인하여 발생하는 문턱전압 차이를 자체적으로 보상하고, 전원단자전압 라인의 전압강하(IR-DROP)를 보상해 주는 회로를 제공함에 있다.

<19> 본 발명의 또 다른 목적은 두 개의 캐패시터를 이용하여 프로그래밍 구간에 멀티플렉서 구동이 가능하도록 하는 회로를 제공함에 있다.

발명의 구성 및 작용

<20> 상기와 같은 목적을 달성하기 위한 본 발명은, 게이트에 공급되는 전압에 상응되는 구동전류를 유기발광다이오드에 공급하기 위한 제1트랜지스터와; 상기 제1트랜지스터의 문턱전압 차이를 자체적으로 보상하기 위한 제2트랜지스터와; 발광신호에 응답하여 상기 제1트랜지스터를 통해 출력되는 화소 구동전류를 상기 유기발광다이오드에 전달하는 제3트랜지스터와; 상기 제1트랜지스터의 게이트측으로 각각의 데이터신호를 전달하기 위한 제4,6트랜지스터와; 상기 제1트랜지스터의 게이트측으로 기준전압을 전달하기 위한 제5트랜지스터와; 상기 제6트랜지스터를 통해 상기 제1트랜지스터의 게이트에 공급하기 위한 데이터신호를 저장하는 제1캐패시터와; 상기 제5트랜지스터를 통해 공급되는 상기 기준전압, 상기 제4트랜지스터를 통해 공급되는 데이터전압을 각기 저장하여 상기 제1트랜지스터의 게이트측으로 전달하는 제2캐패시터로 구성함을 특징으로 한다.

<21> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

<22> 도 2는 본 발명에 의한 유기전계 발광표시장치의 화소 회로도로서 이에 도시한 바와 같이, 게이트에 공급되는 전압에 응답하여 해당 구동전류를 유기발광다이오드(OLED)에 공급하기 위한 구동용 트랜지스터(T1)와; 상기 구동용 트랜지스터(T1)의 문턱전압을 보상하기 위해 그의 게이트와 드레인에 드레인과 소스가 각기 접속되고, 게이트는 현재 선택라인 SEL(n)에 접속된 문턱전압보상용 트랜지스터(T2)와; 게이트에 공급되는 발광신호(EM)에 의해 구동되어 상기 구동용 트랜지스터(T1)를 통해 출력되는 화소 구동전류를 상기 유기발광다이오드(OLED)에 전달하는 트랜지스터(T3)와; 이후 선택라인신호 SEL(n+1)에 의해 각기 동작하여 상기 구동용 트랜지스터(T1)의 게이트측으로 각각의 데이터신호를 전달하기 위한 트랜지스터(T4),(T6)와; 현재 선택라인신호 SEL(n)에 의해 각기 동작하여 상기 구동용 트랜지스터(T1)의 게이트측으로 기준전압(Vref)을 전달하기 위한 트랜지스터(T5)와; 상기 트랜지스터(T6)를 통해 상기 구동용 트랜지스터(T1)의 게이트에 공급하기 위한 데이터신호를 저장하는 캐패시터(C1)와; 현재 선택라인신호 SEL(n)가 공급될 때 상기 트랜지스터(T5)를 통해 공급되는 기준전압(Vref), 이후 선택라인신호 SEL(n+1)이 공급될 때 상기 트랜지스터(T4)를 통해 공급되는 데이터전압(Vdata)을 각기 저장하기 위하여, 일측이 상기 구동용 트랜지스터(T1)의 게이트에 접속된 캐패시터(C2)로 구성된 것으로, 이와 같이 구성된 본 발명의 작용을 첨부한 도 3을 참조하여 상세히 설명하면 다음과 같다.

<23> 먼저, 샘플링 구간에서는 현재 구동하고자 하는 선택라인(또는 스캔라인) SEL(n)에 '로우' 신호가 인가되어 트랜지스터(T2),(T5)가 턴온된다. 이에 따라 기준전압(Vref)이 상기 트랜지스터(T5)를 통해 A 노드에 전달된다. 이때 '하이'로 공급되는 발광신호(EM)에 의해 트랜지스터(T3)가 오프되어 있으므로 A,B 노드의 전압은 다음의 [수학식2]으로 표현된다.

수학식 2

$$\begin{aligned} \text{A node : } & VA1 = Vref \\ \text{B node : } & VB1 = VDD + Vthp \end{aligned}$$

<24>

<25> 프로그램 구간에서는 현재 구동하고자 하는 선택라인 다음의 선택라인 SEL(n+1)에 '로우' 신호가 인가되어 트랜지스터(T4),(T6)가 턴온된다. 이에 따라, 데이터전압(Vdata)이 상기 트랜지스터(T4)를 통해 A 노드에 전달된다. 이때 '하이'로 공급되는 발광신호(EM)에 의해 트랜지스터(T3)가 오프되어 있고, 트랜지스터(T2) 또한 '하이'로 공급되는 현재 선택라인 SEL(n)의 신호에 의해 오프되어 있으므로, B 노드는 플로팅 상태로 된다. 이에 따라, 상기 A,B 노드의 전압은 다음의 [수학식3]으로 표현된다.

수학식 3

A node : $V_{A2} = V_{data}$
B node : $V_{B2} = V_{data} - V_{ref} + V_{DD} + V_{thp}$

<26>

<27>

여기서, 'Vthp'는 트랜지스터(T1)의 문턱전압이다.

<28>

디스플레이 구간에서는 상기 트랜지스터(T1)의 게이트 전압 $V_{B2} = V_{data} - V_{ref1} + V_{DD} + V_{thp}$ 가 되므로, 유기 발광다이오드(OLED)에 공급되는 전류식은 다음의 [수학식4]로 표현된다.

수학식 4

$I = 1/2\mu_{Cox}W/L(V_{data} - V_{ref} + V_{DD} + V_{thp} - V_{DD} - V_{thp})^2$
 $= 1/2\mu_{Cox}W/L(V_{data} - V_{ref})^2$

<29>

<30>

상기 디스플레이 구간의 전류식에서 알 수 있듯이 전원단자 전압 VDD와 문턱전압 Vthp 항이 상쇄되어 사라지므로, 트랜지스터의 문턱전압(Vthp) 및 VDD 라인의 전압강하(IR-DROP) 문제가 해결됨을 알 수 있다.

<31>

이와 같은 화소구조는 샘플링 구간에 각 화소(PXL) 구동 트랜지스터(T1)의 문턱전압이 캐패시터(C2)에 저장되고, 프로그램 구간에 각 화소의 데이터 전압값이 캐패시터(C1)에 저장되므로 프로그램 구간을 나누어 멀티플렉서(MUX) 구동하는 것이 가능하게 된다. 즉, 연속된 두 화소의 데이터전압을 캐패시터(C1), (C2)에 분리 저장하는 것이 가능하게 된다.

<32>

전압보상형 AMOLED 화소 구조의 장점인 문턱전압 보상에 VDD 라인의 전압강하(IR-DROP) 문제 해결과 멀티플렉서 구동에 의한 집적소자(IC)의 개수를 줄임으로써, 도 2와 같은 화소 구조는 대화면 OLED 화소 구조에 적합한 구조이다.

<33>

결국, 구동 트랜지스터(T1)의 문턱전압(Vthp)을 샘플링하여 유기발광다이오드(OLED)에 필요한 전류를 공급하기 때문에 이에 의해 그 트랜지스터(T1)의 문턱전압 차이를 자체적으로 보상해 주는 구조이다.

<34>

또한, 기준전압(Vref)을 공급하여 VDD 라인의 전압강하(IR-DROP)를 보상해 주는 구조이다.

<35>

또한, 화소 구조에 두 개의 캐패시터(C1), (C2)를 두어 프로그래밍 구간에 멀티플렉서 구동이 가능한 구조이다.

발명의 효과

<36>

이상에서 상세히 설명한 바와 같이 본 발명은, 구동 트랜지스터의 문턱전압을 샘플링하여 유기발광다이오드에 필요한 전류를 공급함으로써 그 구동트랜지스터의 문턱전압 차이를 자체적으로 보상할 수 있는 효과가 있다.

<37>

또한, 기준전압을 공급하여 VDD 라인의 전압강하를 보상할 수 있는 효과가 있다.

<38>

또한, 화소 구조에 두 개의 캐패시터를 두어 프로그래밍 구간에 멀티플렉서 구동이 가능한 구조이므로 그만큼 반도체 칩의 개수가 저감되어 원가를 절감할 수 있는 효과가 있다.

도면의 간단한 설명

<1>

도 1은 종래 기술에 의한 유기전계 발광표시장치의 화소 회로도.

<2>

도 2는 본 발명에 의한 유기전계 발광표시장치의 화소 회로도.

<3>

도 3은 도 2의 각부에 공급되는 신호의 타이밍도.

<4>

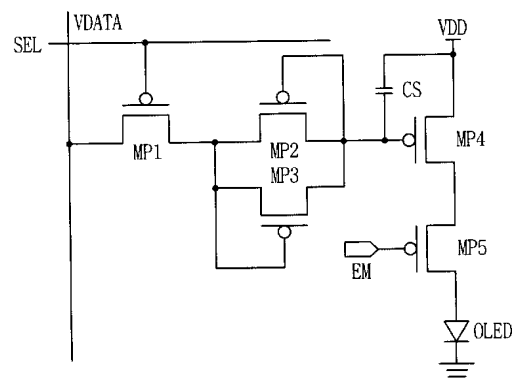
도면의 주요 부분에 대한 부호의 설명

<5>

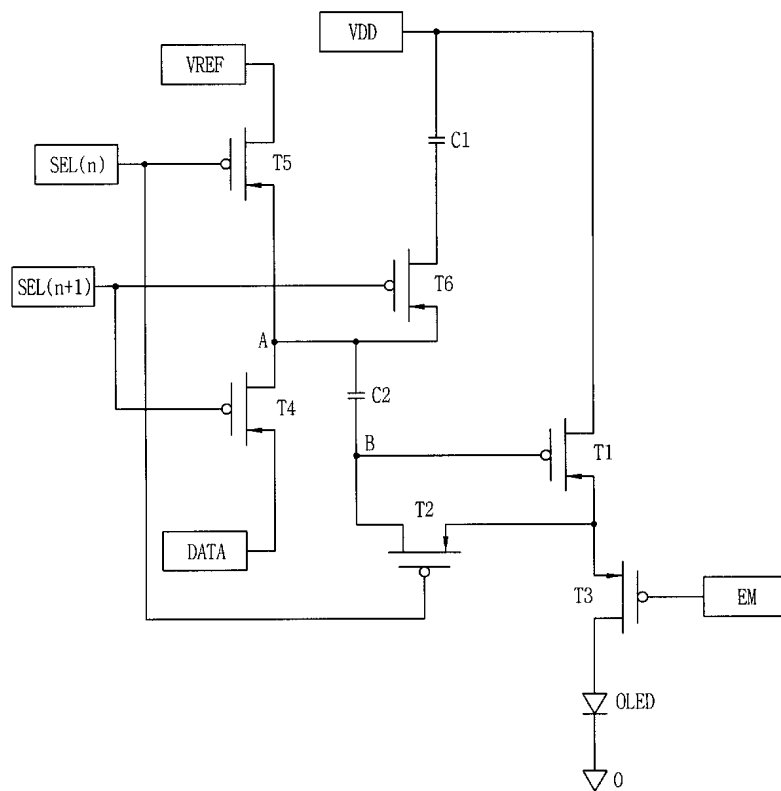
T1-T6 : 트랜지스터

도면

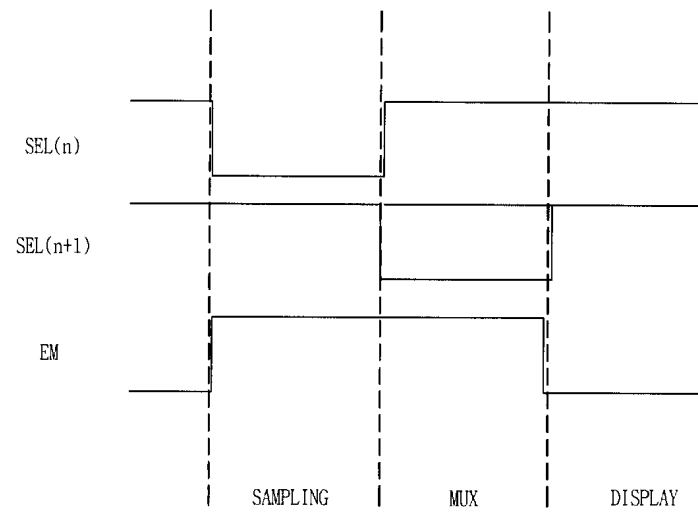
도면1



도면2



도면3



专利名称(译)	有机电致发光显示装置的像素电路		
公开(公告)号	KR1020080001482A	公开(公告)日	2008-01-03
申请号	KR1020060059952	申请日	2006-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK YOUNG JU		
发明人	PARK,YOUNG JU		
IPC分类号	G09G3/30 G09G3/32 G09G3/20		
CPC分类号	G09G3/325 G09G2300/043 G09G2300/0876 G09G2310/0294 G09G2310/0297		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明涉及用于补偿有机发光二极管 (OLED) 面板中的阈值电压和电压降的技术。本发明中, 通过由对应于在响应提供给栅极的光发射信号给有机发光用于供给第一晶体管发光二极管的电压的驱动电流驱动的第三晶体管;用于补偿第一晶体管的阈值电压差 第二晶体管;以上 到第一晶体管的栅极侧 每 数据信号 为了提供 为 第四和第六晶体管;第五晶体管, 用于将参考电压传输到第一晶体管的栅极侧;第一电容器, 用于存储通过第六晶体管提供给第一晶体管的栅极的数据信号;以及第二电容器, 其存储通过第五晶体管提供的参考电压和通过第四晶体管提供的数据电压, 并将其传输到第一晶体管的栅极。

