



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H05B 33/00 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호 10-2007-0074751

(43) 공개일자 2007년07월18일

(21) 출원번호 10-2006-0002698

(22) 출원일자 2006년01월10일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 최준후
서울특별시 서대문구 영천동 삼호아파트 108동 303호

(74) 대리인 팬코리아특허법인

전체 청구항 수 : 총 24 항

(54) 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 기관, 상기 기관 위에 형성되어 있으며 제1 제어 전극을 포함하는 게이트선, 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터와 연결되어 있는 구동 박막 트랜지스터, 상기 구동 박막 트랜지스터와 연결되어 있는 제1 전극, 상기 제1 전극과 마주하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재를 포함하며, 상기 스위칭 박막 트랜지스터 및 상기 구동 박막 트랜지스터 중 적어도 하나는 복수의 채널을 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

대표도

도 2

특허청구의 범위

청구항 1.

기관,

상기 기관 위에 형성되어 있으며 제1 제어 전극을 포함하는 게이트선,

상기 게이트선과 교차하는 데이터선,

상기 게이트선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터,

상기 스위칭 박막 트랜지스터와 연결되어 있는 구동 박막 트랜지스터,

상기 구동 박막 트랜지스터와 연결되어 있는 제1 전극,

상기 제1 전극과 마주하는 제2 전극, 그리고

상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재

를 포함하며,

상기 스위칭 박막 트랜지스터 및 상기 구동 박막 트랜지스터 중 적어도 하나는 복수의 채널을 포함하는 유기 발광 표시 장치.

청구항 2.

제1항에서,

상기 스위칭 박막 트랜지스터는 다결정 반도체를 포함하는 유기 발광 표시 장치.

청구항 3.

제1항에서,

상기 구동 박막 트랜지스터는 다결정 반도체를 포함하는 유기 발광 표시 장치.

청구항 4.

제1항에서,

상기 게이트선과 평행하며 보조 제어 전극을 포함하는 보조 게이트선을 더 포함하는 유기 발광 표시 장치.

청구항 5.

제4항에서,

상기 보조 게이트선은 상기 게이트선과 다른 전압이 인가되는 유기 발광 표시 장치.

청구항 6.

제5항에서,

상기 게이트선에 게이트 오프 전압(V_{off}) 인가시 상기 보조 게이트선에는 양(positive)의 전압이 인가되는 유기 발광 표시 장치.

청구항 7.

제5항에서,

상기 게이트선에 게이트 오프 전압(V_{off}) 인가시 상기 보조 게이트선은 플로팅(floating) 상태인 유기 발광 표시 장치.

청구항 8.

제4항에서,

상기 보조 제어 전극은 제1 보조 제어 전극과 제2 보조 제어 전극을 포함하며,

상기 제1 보조 제어 전극과 상기 제2 보조 제어 전극은 상기 제1 제어 전극을 사이에 두고 위치하는 유기 발광 표시 장치.

청구항 9.

제8항에서,

상기 제1 제어 전극과 상기 제1 보조 제어 전극 및 상기 제2 보조 제어 전극 사이의 간격은 $4\mu\text{m}$ 이하인 유기 발광 표시 장치.

청구항 10.

제8항에서,

상기 채널은

상기 제1 보조 제어 전극 위에 위치하는 제1 채널,

상기 제1 제어 전극 위에 위치하는 제2 채널, 그리고

상기 제2 보조 제어 전극 위에 위치하는 제3 채널

을 포함하는 유기 발광 표시 장치.

청구항 11.

제10항에서,

상기 제1, 제2 및 제3 채널은 다결정 반도체에 형성되는 유기 발광 표시 장치.

청구항 12.

제8항에서,

상기 스위칭 박막 트랜지스터는

상기 제1 보조 제어 전극, 상기 데이터선과 연결되어 있는 제1 입력 전극 및 상기 제1 입력 전극과 마주하는 제1 출력 전극을 포함하는 제1 스위칭 박막 트랜지스터,

상기 제1 제어 전극, 상기 제1 출력 전극과 연결되어 있는 제2 입력 전극 및 상기 제2 입력 전극과 마주하는 제2 출력 전극을 포함하는 제2 스위칭 박막 트랜지스터, 그리고

상기 제2 보조 제어 전극, 상기 제2 출력 전극과 연결되어 있는 제3 입력 전극 및 상기 제3 입력 전극과 마주하는 제3 출력 전극을 포함하는 제3 스위칭 박막 트랜지스터

를 포함하는 유기 발광 표시 장치.

청구항 13.

제12항에서,

상기 제1 스위칭 박막 트랜지스터, 상기 제2 스위칭 박막 트랜지스터 및 상기 제3 스위칭 박막 트랜지스터는 다결정 반도체를 포함하는 유기 발광 표시 장치.

청구항 14.

기판,

상기 기판 위에 형성되어 있으며 제1 제어 전극을 포함하는 게이트선,

상기 게이트선과 평행하게 형성되어 있는 보조 게이트선,

상기 보조 게이트선과 연결되어 있으며 제1 부분 및 제2 부분을 포함하는 보조 제어 전극,

상기 제1 제어 전극 및 상기 보조 제어 전극 위에 형성되어 있는 제1 반도체,

상기 게이트선 및 상기 보조 게이트선과 교차하는 데이터선,

상기 데이터선과 연결되어 있으며 상기 제1 반도체와 일부 중첩하는 제1 입력 전극,

상기 보조 제어 전극의 제1 부분 및 상기 제1 제어 전극과 일부 중첩하며 상기 제1 입력 전극과 마주하는 부분을 포함하는 제1 입출력 전극,

상기 제1 제어 전극 및 상기 보조 제어 전극의 제2 부분과 일부 중첩하며 상기 제1 입출력 전극과 마주하는 부분을 포함하는 제2 입출력 전극,

상기 보조 제어 전극의 제2 부분과 일부 중첩하며 상기 제2 입출력 전극과 마주하는 부분을 포함하는 제1 출력 전극,

상기 제1 출력 전극과 연결되어 있는 제2 제어 전극,

상기 제2 제어 전극 위에 형성되어 있는 제2 반도체,

상기 제2 반도체와 일부 중첩하는 제2 입력 전극 및 제2 출력 전극,

상기 제2 출력 전극과 연결되어 있는 제1 전극,

상기 제1 전극과 마주하는 제2 전극, 그리고

상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재

를 포함하는 유기 발광 표시 장치.

청구항 15.

제14항에서,

상기 보조 제어 전극은 상기 제1 제어 전극을 둘러싸고 있으며,

상기 보조 제어 전극의 제1 부분 및 상기 보조 제어 전극의 제2 부분은 상기 제1 제어 전극을 사이에 두고 위치하는

유기 발광 표시 장치.

청구항 16.

제15항에서,

상기 보조 제어 전극과 상기 제1 제어 전극은 $4\mu\text{m}$ 이하의 간격을 두고 떨어져 있는 유기 발광 표시 장치.

청구항 17.

제14항에서,

상기 제1 입력 전극, 상기 제1 입출력 전극, 상기 제2 입출력 전극 및 상기 제1 출력 전극은 상기 제1 반도체로 연결되어 있는 유기 발광 표시 장치.

청구항 18.

제14항에서,

상기 제1 반도체 및 상기 제2 반도체는 다결정 반도체인 유기 발광 표시 장치.

청구항 19.

제14항에서,

상기 보조 게이트선은 상기 게이트선과 다른 전압이 인가되는 유기 발광 표시 장치.

청구항 20.

제19항에서,

상기 게이트선에 오프 전압(V_{off}) 인가시 상기 보조 게이트선에는 양(positive)의 전압이 인가되는 유기 발광 표시 장치.

청구항 21.

제19항에서,

상기 게이트선에 오프 전압(V_{off}) 인가시 상기 보조 게이트선은 플로팅 상태인 유기 발광 표시 장치.

청구항 22.

기관 위에 제1 제어 전극을 포함하는 게이트선, 보조 제어 전극을 포함하는 보조 게이트선 및 제2 제어 전극을 포함하는 게이트 도전체를 형성하는 단계,

상기 게이트 도전체 위에 게이트 절연막 및 반도체층을 형성하는 단계,

상기 반도체층을 결정화하는 단계,

상기 결정화된 반도체층 위에 데이터선, 구동 전압선, 복수의 입력 전극 및 복수의 출력 전극을 포함하는 데이터 도전체를 형성하는 단계,

상기 복수의 출력 전극 중 어느 하나와 연결되는 제1 전극을 형성하는 단계,

상기 제1 전극 위에 발광 부재를 형성하는 단계, 그리고

상기 발광 부재 위에 형성되어 있는 제2 전극을 형성하는 단계

를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 23.

제22항에서,

상기 반도체층을 결정화하는 단계는 고상 결정화(solid phase crystallization) 방법으로 수행하는 유기 발광 표시 장치의 제조 방법.

청구항 24.

제22항에서,

상기 게이트 절연막 및 반도체층을 형성하는 단계에서 상기 반도체층 위에 저항성 접촉층을 함께 형성하는 유기 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

최근 모니터 또는 텔레비전 등의 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)이 액정 표시 장치(liquid crystal display, LCD)로 대체되고 있다.

그러나, 액정 표시 장치는 수발광 소자로서 별도의 백라이트(backlight)가 필요할 뿐만 아니라, 응답 속도 및 시야각 등에서 많은 문제점이 있다.

최근 이러한 문제점을 극복할 수 있는 표시 장치로서, 유기 발광 표시 장치(organic light emitting diode display, OLED display)가 주목받고 있다.

유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

유기 발광 표시 장치는 자체발광형으로 별도의 광원이 필요 없으므로 소비전력 측면에서 유리할 뿐만 아니라, 응답 속도, 시야각 및 대비비(contrast ratio)도 우수하다.

유기 발광 표시 장치는 구동 방식에 따라 단순 매트릭스 방식의 유기 발광 표시 장치(passive matrix OLED display)와 능동 매트릭스 방식의 유기 발광 표시 장치(active matrix OLED display)로 나눌 수 있다.

이 중, 능동 매트릭스 방식의 유기 발광 표시 장치는 신호선에 연결되어 데이터 전압을 제어하는 스위칭 박막 트랜지스터(switching thin film transistor)와 이로부터 전달받은 데이터 전압을 게이트 전압으로 인가하여 발광 소자에 전류를 흘리는 구동 박막 트랜지스터(driving thin film transistor)를 포함한다.

이 때 유기 발광 표시 장치가 최적의 특성을 나타내기 위하여 스위칭 박막 트랜지스터와 구동 박막 트랜지스터에 요구되는 특성이 다르다. 스위칭 박막 트랜지스터는 높은 온/오프 전류 비(I_{on}/I_{off}) 특성이 요구되는 반면, 구동 박막 트랜지스터는 발광 소자에 충분한 전류를 흘릴 수 있도록 높은 이동성(mobility) 및 안정성(stability)이 요구된다.

발명이 이루고자 하는 기술적 과제

구동 박막 트랜지스터에서 요구되는 이동성 및 안정성을 높이기 위해서는 다결정 반도체(polycrystalline semiconductor)를 사용하는 것이 유리하다.

그러나 다결정 반도체는 누설 전류(leakage current)가 커서 스위칭 박막 트랜지스터의 온/오프 전류 비(I_{on}/I_{off})가 낮다. 이는 스위칭 박막 트랜지스터에서 구동 박막 트랜지스터로 전달되는 데이터 전압을 감소시켜 크로스 토크(cross talk)를 일으킨다.

따라서 본 발명이 이루고자 하는 기술적 과제는 이러한 문제점을 해결하기 위한 것으로서 스위칭 박막 트랜지스터의 누설 전류를 줄여서 유기 발광 표시 장치의 특성을 개선하는 것이다.

발명의 구성

본 발명의 한 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 제1 제어 전극을 포함하는 게이트선, 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터와 연결되어 있는 구동 박막 트랜지스터, 상기 구동 박막 트랜지스터와 연결되어 있는 제1 전극, 상기 제1 전극과 마주하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재를 포함하며, 상기 스위칭 박막 트랜지스터 및 상기 구동 박막 트랜지스터 중 적어도 하나는 복수의 채널을 포함한다.

또한, 상기 스위칭 박막 트랜지스터는 다결정 반도체를 포함할 수 있다.

또한, 상기 구동 박막 트랜지스터는 다결정 반도체를 포함할 수 있다.

또한, 상기 게이트선과 평행하며 보조 제어 전극을 포함하는 보조 게이트선을 더 포함할 수 있다.

또한, 상기 보조 게이트선은 상기 게이트선과 다른 전압이 인가될 수 있다.

또한, 상기 게이트선에 게이트 오프 전압(V_{off}) 인가시 상기 보조 게이트선에는 양(positive)의 전압이 인가될 수 있다.

또한, 상기 게이트선에 게이트 오프 전압(V_{off}) 인가시 상기 보조 게이트선은 플로팅(floating) 상태일 수 있다.

또한, 상기 보조 제어 전극은 제1 보조 제어 전극과 제2 보조 제어 전극을 포함하며, 상기 제1 보조 제어 전극과 상기 제2 보조 제어 전극은 상기 제1 제어 전극을 사이에 두고 위치할 수 있다.

또한, 상기 제1 제어 전극과 상기 제1 보조 제어 전극 및 상기 제2 보조 제어 전극 사이의 간격은 $4\mu m$ 이하일 수 있다.

또한, 상기 채널은 상기 제1 보조 제어 전극 위에 위치하는 제1 채널, 상기 제1 제어 전극 위에 위치하는 제2 채널, 그리고 상기 제2 보조 제어 전극 위에 위치하는 제3 채널을 포함할 수 있다.

또한, 상기 제1, 제2 및 제3 채널은 다결정 반도체에 형성될 수 있다.

또한, 상기 스위칭 박막 트랜지스터는 상기 제1 보조 제어 전극, 상기 데이터선과 연결되어 있는 제1 입력 전극 및 상기 제1 입력 전극과 마주하는 제1 출력 전극을 포함하는 제1 스위칭 박막 트랜지스터, 상기 제1 제어 전극, 상기 제1 출력 전극과 연결되어 있는 제2 입력 전극 및 상기 제2 입력 전극과 마주하는 제2 출력 전극을 포함하는 제2 스위칭 박막 트랜지스터, 그리고 상기 제2 보조 제어 전극, 상기 제2 출력 전극과 연결되어 있는 제3 입력 전극 및 상기 제3 입력 전극과 마주하는 제3 출력 전극을 포함하는 제3 스위칭 박막 트랜지스터를 포함할 수 있다.

또한, 상기 제1 스위칭 박막 트랜지스터, 상기 제2 스위칭 박막 트랜지스터 및 상기 제3 스위칭 박막 트랜지스터는 다결정 반도체를 포함할 수 있다.

또한, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 제1 제어 전극을 포함하는 게이트선, 상기 게이트선과 평행하게 형성되어 있는 보조 게이트선, 상기 보조 게이트선과 연결되어 있으며 제1 부분 및 제2 부분을 포함하는 보조 제어 전극, 상기 제1 제어 전극 및 상기 보조 제어 전극 위에 형성되어 있는 제1 반도체, 상기 게이트선 및 상기 보조 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있으며 상기 제1 반도체와 일부 중첩하는 제1 입력 전극, 상기 보조 제어 전극의 제1 부분 및 상기 제1 제어 전극과 일부 중첩하며 상기 제1 입력 전극과 마주하는 부분을 포함하는 제1 입출력 전극, 상기 제1 제어 전극 및 상기 보조 제어 전극의 제2 부분과 일부 중첩하며 상기 제1 입출력 전극과 마주하는 부분을 포함하는 제2 입출력 전극, 상기 보조 제어 전극의 제2 부분과 일부 중첩하며 상기 제2 입출력 전극과 마주하는 부분을 포함하는 제1 출력 전극, 상기 제1 출력 전극과 연결되어 있는 제2 제어 전극, 상기 제2 제어 전극 위에 형성되어 있는 제2 반도체, 상기 제2 반도체와 일부 중첩하는 제2 입력 전극 및 제2 출력 전극, 상기 제2 출력 전극과 연결되어 있는 제1 전극, 상기 제1 전극과 마주하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재를 포함한다.

또한, 상기 보조 제어 전극은 상기 제1 제어 전극을 둘러싸고 있으며, 상기 보조 제어 전극의 제1 부분 및 상기 보조 제어 전극의 제2 부분은 상기 제1 제어 전극을 사이에 두고 위치할 수 있다.

또한, 상기 보조 제어 전극과 상기 제1 제어 전극은 $4\mu m$ 이하의 간격을 두고 떨어져 있을 수 있다.

또한, 상기 제1 입력 전극, 상기 제1 입출력 전극, 상기 제2 입출력 전극 및 상기 제1 출력 전극은 상기 제1 반도체로 연결될 수 있다.

또한, 상기 제1 반도체 및 상기 제2 반도체는 다결정 반도체일 수 있다.

또한, 상기 보조 게이트선은 상기 게이트선과 다른 전압이 인가될 수 있다.

또한, 상기 게이트선에 오프 전압(V_{off}) 인가시 상기 보조 게이트선에는 양(positive)의 전압이 인가될 수 있다.

또한, 상기 게이트선에 오프 전압(V_{off}) 인가시 상기 보조 게이트선은 플로팅 상태일 수 있다.

또한, 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 제1 제어 전극을 포함하는 게이트선, 보조 제어 전극을 포함하는 보조 게이트선 및 제2 제어 전극을 포함하는 게이트 도전체를 형성하는 단계, 상기 게이트 도전체 위에 게이트 절연막 및 반도체층을 형성하는 단계, 상기 반도체층을 결정화하는 단계, 상기 결정화된 반도체층 위에 데이터선, 구동 전압선, 복수의 입력 전극 및 복수의 출력 전극을 포함하는 데이터 도전체를 형성하는 단계, 상기 복수의 출력 전극 중 어느 하나와 연결되는 제1 전극을 형성하는 단계, 상기 제1 전극 위에 발광 부재를 형성하는 단계, 그리고 상기 발광 부재 위에 형성되어 있는 제2 전극을 형성하는 단계를 포함한다.

또한, 상기 반도체층을 결정화하는 단계는 고상 결정화(solid phase crystallization) 방법으로 수행할 수 있다.

또한, 상기 게이트 절연막 및 반도체층을 형성하는 단계에서 상기 반도체층 위에 저항성 접촉층을 함께 형성할 수 있다.

이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

먼저 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대하여 도 1을 참고로 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.

도 1을 참고하면, 본 실시예에 따른 유기 발광 표시 장치는 복수의 신호선(121, 122, 171, 172)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(pixel)를 포함한다.

신호선은 게이트 신호를 전달하는 복수의 게이트선(gate line)(121), 상기 게이트 신호와 같거나 다른 신호를 전달하는 복수의 보조 게이트선(122), 데이터 신호를 전달하는 복수의 데이터선(data line)(171) 및 구동 전압을 전달하는 복수의 구동 전압선(driving voltage line)(172)을 포함한다. 게이트선(121) 및 보조 게이트선(122)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소(PX)는 제1, 제2 및 제3 스위칭 트랜지스터(switching transistor)(Qs1, Qs2, Qs3), 구동 트랜지스터(driving transistor)(Qd), 유지 축전기(storage capacitor)(Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)(LD)를 포함한다.

제1, 제2 및 제3 스위칭 트랜지스터(Qs1, Qs2, Qs3)는 각각 제어 단자(control terminal), 입력 단자(input terminal) 및 출력 단자(output terminal)를 가진다. 제1 스위칭 트랜지스터(Qs1)의 제어 단자는 보조 게이트선(122)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 제2 스위칭 트랜지스터(Qs2)에 연결되어 있다. 제2 스위칭 트랜지스터(Qs2)의 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 제1 스위칭 트랜지스터(Qs1)에 연결되어 있으며, 출력 단자는 제3 스위칭 트랜지스터(Qs3)에 연결되어 있다. 제3 스위칭 트랜지스터(Qs3)의 제어 단자는 보조 게이트선(122)에 연결되어 있고, 입력 단자는 제2 스위칭 트랜지스터(Qs2)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(Qd)에 연결되어 있다.

스위칭 트랜지스터(Qs1, Qs2, Qs3)는 게이트선(121) 및 보조 게이트선(122)에 인가되는 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 트랜지스터(Qd)에 전달한다.

구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 제3 스위칭 트랜지스터(Qs3)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(LD)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(I_{LD})를 흘린다.

축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.

유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode)와 공통 전압(V_{ss})에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 전류(I_{LD})에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.

스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)이다. 그러나 스위칭 트랜지스터(Qs1, Qs2, Qs3)와 구동 트랜지스터(Qd) 중 적어도 하나는 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 트랜지스터(Qs1, Qs2, Qs3, Qd), 축전기(Cst) 및 유기 발광 다이오드(LD)의 연결 관계가 바뀔 수 있다.

그러면 도 1에 도시한 유기 발광 표시 장치의 상세 구조에 대하여 도 2 및 도 3을 도 1과 함께 참고하여 상세하게 설명한다.

도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 3은 도 2의 유기 발광 표시 장치를 III-III 선을 따라 자른 단면도이다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 제1 제어 전극(control electrode)(124b)을 포함하는 게이트선(121), 보조 제어 전극(124a, 124c)을 포함하는 보조 게이트선(122) 및 제2 제어 전극(124d)을 포함하는 게이트 도전체(gate conductor)가 형성되어 있다.

게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함하며, 제1 제어 전극(124b)은 게이트선(121)으로부터 위로 뻗어 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.

보조 게이트선(122)은 게이트선(121)과 떨어져 있으며 이와 평행하게 형성되어 있다. 보조 게이트선(122)은 제1 제어 전극(124b) 근방에 위치하는 보조 제어 전극(124a, 124c)을 포함하며, 보조 제어 전극(124a, 124c)은 제1 제어 전극(124b)을 사이에 두고 양쪽에 형성된 제1 부분(이하, '제1 보조 제어 전극'이라 함)(124a)과 제2 부분(이하, '제2 보조 제어 전극'이라 함)(124c)을 포함한다. 이 때 제1 보조 제어 전극(124a)과 제1 제어 전극(124b) 사이 및 제1 제어 전극(124b)과 제2 보조 제어 전극(124c) 사이는 오프셋(offset) 영역이며 약 $4\mu\text{m}$ 이하이다. 오프셋 영역이 $4\mu\text{m}$ 보다 큰 경우 저항이 커져서 온 전류(I_{on})가 낮아진다.

제2 제어 전극(124d)은 게이트선(121) 및 보조 게이트선(122)과 분리되어 있다. 제2 제어 전극(124d)은 아래 방향으로 뻗다가 오른쪽으로 잠시 방향을 바꾸었다가 위로 길게 뻗은 유지 전극(storage electrode)(127)을 포함한다.

게이트 도전체(121, 122, 124d)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다.

게이트 도전체(121, 122, 124d)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.

게이트 도전체(121, 122, 124d) 위에는 질화규소(SiN_x) 또는 산화규소(SiO_2) 따위로 만들어진 게이트 절연막(140)이 형성되어 있다.

게이트 절연막(140) 위에는 제1 반도체(154) 및 제2 반도체(155)가 형성되어 있다. 제1 반도체(154) 및 제2 반도체(155)는 미세 결정질(microcrystalline) 또는 다결정(polycrystalline) 반도체일 수 있다. 또는 제1 반도체(154) 및 제2 반도체(155) 중 하나는 비정질 반도체이고 다른 하나는 미세 결정질 또는 다결정 반도체일 수 있다.

제1 반도체(154)는 제1 제어 전극(124b) 및 보조 제어 전극(124a, 124c) 위에 위치하며, 제2 반도체(155)는 제2 제어 전극(124d) 위에 위치한다.

제1 반도체(154) 및 제2 반도체(155) 위에는 저항성 접촉 부재(ohmic contact)(163a, 166, 167, 165c, 163d, 165d)가 형성되어 있다.

제1 반도체(154) 위에 형성되어 있는 저항성 접촉 부재(163a, 166, 167, 165c)는 제1 보조 제어 전극(124a) 위에서 쌍을 이루는 제1 저항성 접촉 부재(163a, 165a), 제1 제어 전극(124b) 위에서 쌍을 이루는 제2 저항성 접촉 부재(163b, 165b) 및 제2 보조 제어 전극(124c) 위에서 쌍을 이루는 제3 저항성 접촉 부재(163c, 165c)를 포함한다. 제2 반도체(155) 위에 형성되어 있는 제4 저항성 접촉 부재(163d, 165d)는 제2 제어 전극(124d) 위에서 쌍을 이룬다.

저항성 접촉 부재(163a, 166, 167, 165c, 163d, 165d)는 십 모양이며, 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다.

저항성 접촉 부재(163a, 166, 167, 165c, 163d, 165d) 및 게이트 절연막(140) 위에는 복수의 데이터선(171), 복수의 제1 및 제2 입출력 전극(176, 178), 복수의 제3 출력 전극(175c), 복수의 구동 전압선(172) 및 복수의 제4 출력 전극(175d)을 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121) 및 보조 게이트선(122)과 교차한다. 각 데이터선(171)은 제1 보조 제어 전극(124a)을 향하여 뻗은 복수의 제1 입력 전극(input electrode)(173a)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.

제1 입출력 전극(176)은 제1 보조 제어 전극(124a)을 중심으로 제1 입력 전극(173a)과 마주하는 부분(이하, '제1 출력 전극'이라 함)(175a)과 제1 제어 전극(124b)과 일부 중첩하는 부분(이하, '제2 입력 전극'이라 함)(173b)을 포함한다.

제2 입출력 전극(178)은 제1 제어 전극(124b)을 중심으로 제2 입력 전극(173b)과 마주하는 부분(이하, '제2 출력 전극'이라 함)(175b)과 제2 보조 제어 전극(124c)과 일부 중첩하는 부분(이하, '제3 입력 전극'이라 함)(173c)을 포함한다.

제3 출력 전극(175c)은 제2 보조 제어 전극(124c)을 중심으로 제3 입력 전극(173c)과 마주한다.

제1 입력 전극(173a), 제1 입출력 전극(176), 제2 입출력 전극(178) 및 제3 출력 전극(175c)은 서로 분리되어 있다. 제1 입력 전극(173a), 제1 입출력 전극(176), 제2 입출력 전극(178) 및 제3 출력 전극(175c)은 제1 반도체(154)와 일부 중첩되어 있으며, 제1 반도체(154)는 제1 입력 전극(173a)과 제1 입출력 전극(176) 사이에 위치하는 제1 부분(154a), 제1 입출력 전극(176)과 제2 입출력 전극(178) 사이에 위치하는 제2 부분(154b) 및 제2 입출력 전극(178)과 제3 출력 전극(175c) 사이에 위치하는 제3 부분(154c)을 포함한다.

구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 게이트선(121) 및 보조 게이트선(122)과 교차한다. 각 구동 전압선(172)은 제2 제어 전극(124d)을 향하여 뻗은 복수의 제4 입력 전극(173d)을 포함한다. 구동 전압선(172)은 유지 전극(127)과 중첩한다.

제4 출력 전극(175d)은 데이터선(171), 제1 입출력 전극(176), 제2 입출력 전극(178), 제3 출력 전극(175c) 및 구동 전압선(172)과 분리되어 있다. 제4 출력 전극(175d)은 제2 반도체(155) 위에서 제4 입력 전극(173d)과 마주한다.

데이터 도전체(171, 176, 178, 175c, 172, 175d)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다.

게이트 도전체(121, 122, 124b)와 마찬가지로 데이터 도전체(171, 172, 175c, 175d, 176, 178) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

데이터 도전체(171, 172, 175c, 175d, 176, 178), 노출된 반도체(154, 155) 부분 및 게이트 절연막(140) 위에는 보호막(passivation layer)(180)이 형성되어 있다.

보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며, 무기 절연물의 예로는 질화규소(SiN_x)와 산화규소(SiO_2)를 들 수 있으며 유기 절연물의 예로는 폴리아크릴(polyacryl)계 화합물을 들 수 있다. 보호막(180)은 무기막과 유기막의 이중막 구조를 가질 수 있다.

보호막(180)에는 데이터선(171)의 끝 부분(179)을 드러내는 복수의 접촉 구멍(contact hole)(182)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다. 또한 보호막(180)에는 제3 출력 전극(175c)을 드러내는 접촉 구멍(185c)과 제4 출력 전극(175d)을 드러내는 접촉 구멍(185d)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 제2 제어 전극(124d)을 드러내는 접촉 구멍(184)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(191), 복수의 연결 부재(85) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

화소 전극(191)은 접촉 구멍(185d)을 통하여 제4 출력 전극(175d)과 전기적으로 연결되어 있다.

연결 부재(85)는 접촉 구멍(185c, 184)을 통하여 제3 출력 전극(175c) 및 제2 제어 전극(124d)과 연결되어 있다.

접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결되어 있다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 끝 부분(129, 179)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.

화소 전극(191), 연결 부재(85) 및 접촉 보조 부재(81, 82)는 ITO 또는 IZO 따위의 투명 도전체로 만들어질 수 있으며, 전면 발광(top emission)인 경우에는 알루미늄 또는 알루미늄 합금, 높은 일 함수(work function)를 가지는 금(Au), 백금(Pt), 니켈(Ni), 구리(Cu), 텅스텐(W) 또는 이들의 합금 따위의 불투명 도전체로 만들어질 수 있다.

화소 전극(191), 연결 부재(85) 및 보호막(180) 위에는 격벽(partition)(361)이 형성되어 있다. 격벽(361)은 화소 전극(191) 가장자리 주변을 둑(bank)처럼 둘러싸서 개구부(opening)(365)를 정의한다. 격벽(361)은 아크릴 수지(acrylic resin), 폴리이미드 수지(polyimide resin) 따위의 내열성 및 내용매성을 가지는 유기 절연물 또는 산화규소(SiO_2), 산화티탄(TiO_2) 따위의 무기 절연물로 만들어질 수 있으며, 2층 이상일 수 있다. 격벽(361)은 또한 검정색 안료를 포함하는 감광 재료로 만들어질 수 있는데, 이 경우 격벽(361)은 차광 부재의 역할을 하며 그 형성 공정이 간단하다.

격벽(361)이 정의하는 화소 전극(191) 위의 개구부(365)에는 유기 발광 부재(organic light emitting member)(370)가 형성되어 있다.

유기 발광 부재(370)는 빛을 내는 발광층(emitting layer)(도시하지 않음) 외에 발광층의 발광 효율을 향상하기 위한 부대층(auxiliary layer)(도시하지 않음)을 포함하는 다층 구조를 가질 수 있다.

발광층은 적색, 녹색, 청색의 삼원색 등 기본색(primary color) 중 어느 하나의 빛을 고유하게 내는 유기 물질 또는 유기 물질과 무기 물질의 혼합물로 만들어지며, 폴리플루오렌(polyfluorene) 유도체, (폴리)파라페닐렌비닐렌((poly)paraphenylenevinylene) 유도체, 폴리페닐렌(polyphenylene) 유도체, 폴리플루오렌(polyfluorene) 유도체, 폴리비닐카바졸(polyvinylcarbazole), 폴리티오펜(polythiophene) 유도체 또는 이들의 고분자 재료에 페릴렌(perylene)계 색소, 쿠마린(cumarine)계 색소, 로더민계 색소, 루브렌(rubrene), 페릴렌(perylene), 9,10-디페닐안트라센(9,10-diphenylanthracene), 테트라페닐부타디엔(tetraphenylbutadiene), 나일 레드(Nile red), 쿠마린(coumarin), 퀴나크리돈(quinacridone) 등을 도핑한 화합물이 포함될 수 있다. 유기 발광 표시 장치는 발광층에서 내는 기본색 색광의 공간적인 합으로 원하는 영상을 표시한다.

부대층에는 전자와 정공의 균형을 맞추기 위한 전자 수송층(electron transport layer)(도시하지 않음) 및 정공 수송층(hole transport layer)(도시하지 않음)과 전자와 정공의 주입을 강화하기 위한 전자 주입층(electron injecting layer)(도시하지 않음) 및 정공 주입층(hole injecting layer)(도시하지 않음) 등이 있으며, 이 중에서 선택된 하나 또는 둘 이상의 층을 포함할 수 있다. 정공 수송층 및 정공 주입층은 화소 전극(191)과 발광층의 중간 정도의 일 함수를 가지는 재료로 만들어지고, 전자 수송층과 전자 주입층은 공통 전극(270)과 발광층의 중간 정도의 일 함수를 가지는 재료로 만들어진다. 예컨대 정공 수송층 또는 정공 주입층으로는 폴리에틸렌디옥시티오펜과 폴리스티렌술포산의 혼합물(poly-(3,4-ethylenedioxythiophene: polystyrenesulfonate, PEDOT:PSS) 따위를 사용할 수 있다.

유기 발광 부재(370) 위에는 공통 전극(common electrode)(270)이 형성되어 있다. 공통 전극(270)은 기관의 전면(全面)에 형성되어 있으며, 화소 전극(191)과 쌍을 이루어 유기 발광 부재(370)에 전류를 흘려 보낸다.

상술한 바와 같이, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 제1, 제2 및 제3 스위칭 박막 트랜지스터(switching TFT)(Qs1, Qs2, Qs3) 및 구동 박막 트랜지스터(driving TFT)(Qd)를 포함한다.

보조 게이트선(122)에 연결되어 있는 제1 보조 제어 전극(124a), 데이터선(171)에 연결되어 있는 제1 입력 전극(173a) 및 제1 출력 전극(175a)은 제1 반도체의 제1 부분(154a)과 함께 제1 스위칭 박막 트랜지스터(Qs1)를 이루며, 이 때 제1 스위칭 박막 트랜지스터(Qs1)의 채널(channel)은 제1 입력 전극(173a)과 제1 출력 전극(175a) 사이의 제1 반도체(154)의 제1 부분(154a)에 형성된다.

또한, 게이트선(121)에 연결되어 있는 제1 제어 전극(124b), 제2 입력 전극(173b) 및 제2 출력 전극(175b)은 제1 반도체(154)의 제2 부분(154b)과 함께 제2 스위칭 박막 트랜지스터(Qs2)를 이루며, 이 때 제2 스위칭 박막 트랜지스터(Qs2)의 채널(channel)은 제2 입력 전극(173b)과 제2 출력 전극(175b) 사이의 제1 반도체(154)의 제2 부분(154b)에 형성된다.

또한, 제2 보조 제어 전극(124c), 제3 입력 전극(173c) 및 제3 출력 전극(175c)은 제1 반도체(154)의 제3 부분(154c)과 함께 제3 스위칭 박막 트랜지스터(Qs3)를 이루며, 이 때 제3 스위칭 박막 트랜지스터(Qs3)의 채널(channel)은 제3 입력 전극(173c)과 제3 출력 전극(175c) 사이의 제1 반도체(154)의 제3 부분(154c)에 형성된다.

또한, 제3 출력 전극(175c)에 연결되어 있는 제2 제어 전극(124d), 구동 전압선(172)에 연결되어 있는 제4 입력 전극(173d) 및 화소 전극(191)에 연결되어 있는 제4 출력 전극(175d)은 제2 반도체(155)와 함께 구동 박막 트랜지스터(driving TFT)(Qd)를 이루며, 구동 박막 트랜지스터(Qd)의 채널은 제4 입력 전극(173d)과 제4 출력 전극(175d) 사이의 제2 반도체(155)에 형성된다.

이와 같이 본 실시예에 따른 유기 발광 표시 장치는 복수의 스위칭 박막 트랜지스터(Qs1, Qs2, Qs3)를 포함한다.

이 중 제2 스위칭 박막 트랜지스터(Qs2)는 게이트선(121)에 인가되는 게이트 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 트랜지스터(Qd)에 전달하는 주요 스위칭 박막 트랜지스터이다.

한편, 제2 스위칭 박막 트랜지스터(Qs2)의 양쪽에 각각 형성되어 있는 제1 및 제3 스위칭 박막 트랜지스터(Qs1, Qs3)는 제2 스위칭 박막 트랜지스터(Qs2)에 인가되는 게이트 전압이 오프(off)되었을 때 누설 전류를 줄이기 위한 보조 스위칭 박막 트랜지스터이다.

구체적으로, 게이트 전압이 온(on)일 때, 게이트선(121)에 양(positive)의 전압이 인가되며 보조 게이트선(122)에도 게이트선(121)과 마찬가지로 양(positive)의 전압이 인가된다. 이 경우 데이터선(171)에 인가되는 데이터 신호는 제1, 제2 및 제3 스위칭 박막 트랜지스터(Qs1, Qs2, Qs3)를 통하여 구동 박막 트랜지스터(Qd)로 전달된다.

한편, 게이트 전압이 오프(off)일 때, 게이트선(121)에는 음(negative)의 전압이 인가되는 반면, 보조 게이트선(122)에는 그대로 양의 전압이 인가된다. 이 때, 양의 전압이 인가되는 제1 및 제3 스위칭 박막 트랜지스터(Qs1, Qs3)의 채널에는 전자(electron)가 축적되어 n형의 채널이 형성되는 반면, 음의 전압이 인가되는 제2 스위칭 박막 트랜지스터(Qs2)에는 정공(hole)이 축적되어 p형의 채널이 형성된다.

즉, 스위칭 박막 트랜지스터는 p형의 제2 스위칭 박막 트랜지스터(Qs2)와 그것의 양단에 배치되는 n형의 제1 및 제3 스위칭 박막 트랜지스터(Qs1, Qs3)를 포함한다. 이에 따라 제1 스위칭 박막 트랜지스터(Qs1)와 제2 스위칭 박막 트랜지스터(Qs2) 사이 및 제2 스위칭 박막 트랜지스터(Qs2)와 제3 스위칭 박막 트랜지스터(Qs3) 사이에는 높은 전위차가 발생하여 전하의 흐름을 방해하는 장벽(barrier)이 형성된다.

이와 같이 제2 스위칭 박막 트랜지스터(Qs2)와 제1 및 제3 스위칭 박막 트랜지스터(Qs1, Qs3) 사이에 전위차에 의한 높은 장벽이 형성됨으로써, 게이트 오프시 제2 스위칭 박막 트랜지스터(Qs2)에 축적되어 있는 정공이 쉽게 이동하지 못하여 누설 전류를 줄일 수 있다.

상기에서는 게이트 오프 전압 인가시 보조 게이트선(122)에 양의 전압을 인가하는 경우에 대하여만 설명하였지만, 보조 게이트선(122)이 플로팅(floating) 상태일 경우도 적용할 수 있다.

본 발명에 따른 유기 발광 표시 장치는 상술한 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터 외에 적어도 하나의 박막 트랜지스터 및 이를 구동하기 위한 복수의 배선을 더 포함할 수 있으며, 이들은 장시간 구동하여도 유기 발광 다이오드(LD) 및 구동 트랜지스터(Qd)가 열화되는 것을 방지하거나 보상하여 유기 발광 표시 장치의 수명이 단축되는 것을 방지한다.

화소 전극(191), 유기 발광 부재(370) 및 공통 전극(270)은 유기 발광 다이오드(LD)를 이루며, 화소 전극(191)이 애노드(anode), 공통 전극(270)이 캐소드(cathode)가 되거나 반대로 화소 전극(191)이 캐소드, 공통 전극(270)이 애노드가 된다. 또한 서로 중첩하는 유지 전극(127)과 구동 전압선(172)은 유지 축전기(storage capacitor)(Cst)를 이룬다.

그러면 도 2 및 도 3에 도시한 유기 발광 표시 장치를 제조하는 방법에 대하여 도 4 내지 도 13을 참조하여 상세하게 설명한다.

도 4, 도 6, 도 8, 도 10 및 도 12는 도 2 및 도 3의 유기 발광 표시 장치를 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고, 도 5는 도 4의 유기 발광 표시 장치를 V-V 선을 따라 잘라 도시한 단면도이고, 도 7은 도 6의 유기 발광 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이고, 도 9는 도 8의 유기 발광 표시 장치를 IX-IX 선을 따라 잘라 도시한 단면도이고, 도 11은 도 10의 유기 발광 표시 장치를 XI-XI 선을 따라 잘라 도시한 단면도이고, 도 13은 도 12의 유기 발광 표시 장치를 XIII-XIII 선을 따라 잘라 도시한 단면도이다.

도 4 및 도 5에 도시한 바와 같이, 기판(110) 위에 제1 제어 전극(124b) 및 끝 부분(129)을 포함하는 게이트선(121), 보조 게이트선(124a, 124c)을 포함하는 보조 게이트선(122) 및 유지 전극(127)을 포함하는 제2 제어 전극(124d)을 형성한다.

다음, 도 6 및 도 7에 도시한 바와 같이, 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)하여 게이트 절연막(140), 진성 비정질 규소층, 불순물이 도핑된 규소층을 연속 적층하고 사진 식각하여 진성 비정질 규소(a-Si:H)로 만들어진 제1 및 제2 반도체(154, 155) 및 불순물이 도핑된 규소로 만들어진 저항성 접촉층(164, 164d)을 형성한다.

이어서, 제1 및 제2 반도체(154, 155) 및 저항성 접촉층(164, 164d)을 결정화한다. 결정화는 고상 결정화(solid phase crystallization, SPC), 엑시머 레이저 결정화(excimer laser annealing, ELA) 또는 금속 유도 측면 결정화(metal induced lateral crystallization, MILC) 따위로 수행할 수 있으며, 이 중 고상 결정화 방법이 바람직하다.

한편, 결정화 단계는 제1 및 제2 반도체(154, 155) 적층 후 저항성 접촉 부재층(164, 164d) 전에 수행할 수도 있으며, 결정화 후에 제1 및 제2 반도체(154, 155) 및 저항성 접촉층(164, 164d)을 형성하기 위한 사진 식각을 할 수도 있다.

또는 제1 및 제2 반도체(154, 155) 중 어느 하나만을 결정화하고 다른 하나는 비정질 상태로 남길 수도 있다.

다음, 도 8 및 도 9에 도시한 바와 같이, 제1 입력 전극(173a) 및 끝 부분(179)을 포함하는 데이터선(171), 제1 및 제2 입출력 전극(176, 178), 제3 출력 전극(175c), 제4 입력 전극(173d)을 포함하는 구동 전압선(172) 및 제4 출력 전극(175d)을 형성한다. 이 때 데이터선(171), 제1 및 제2 입출력 전극(176, 178) 및 제3 출력 전극(175c)은 제1 반도체(154)와 일부 중첩하는 위치에 형성하며, 제4 입력 전극(173d) 및 제4 출력 전극(175d)은 제2 반도체(155)와 일부 중첩하는 위치에 형성한다.

이어서, 제1 입력 전극(173a), 제1 및 제2 입출력 전극(176, 178), 제3 출력 전극(175c) 및 제4 입력 전극(173d)을 마스크로 하여 저항성 접촉층(164, 164d)을 식각하여 저항성 접촉 부재(163a, 166, 167, 165c, 163d, 165d)를 완성하는 한편, 그 아래의 제1 및 제2 반도체(154, 155) 일부분을 노출한다.

다음, 도 10 및 도 11에 도시한 바와 같이, 보호막(180)을 적층하고 사진 식각하여 복수의 접촉 구멍(181, 182, 184, 185c, 185d)을 형성한다. 접촉 구멍(181, 182, 184, 185c, 185d)은 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 제3 출력 전극(175c), 제2 제어 전극(124d) 및 제4 출력 전극(175d)을 드러낸다.

다음, 도 12 및 도 13에 도시한 바와 같이, 보호막(180) 위에 복수의 화소 전극(191), 복수의 연결 부재(85) 및 복수의 접촉 보조 부재(81, 82)를 형성한다.

다음, 도 2 및 도 3에 도시한 바와 같이, 감광성 유기 절연막을 도포하고 노광 및 현상하여 화소 전극(191) 위에 개구부(365)를 가지는 격벽(361)을 형성한다.

이어서, 개구부(365)에 정공 수송층(도시하지 않음) 및 발광층(도시하지 않음)을 포함한 발광 부재(370)를 형성한다. 발광 부재(370)는 잉크젯 인쇄(inkjet printing) 방법과 같은 용액 공정(solution process) 또는 증착(evaporation)으로 형성할 수 있으며, 그 중 잉크젯 인쇄 방법이 바람직하다.

이어서, 격벽(361) 및 발광 부재(370) 위에 공통 전극(270)을 형성한다.

이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

발명의 효과

게이트 오프시 주요 스위칭 박막 트랜지스터와 보조 스위칭 박막 트랜지스터에 다른 전압을 인가하여 전하의 흐름을 줄임으로써 스위칭 박막 트랜지스터의 누설 전류를 감소시키고 유기 발광 표시 장치의 특성을 개선할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이고,

도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고,

도 3은 도 2의 유기 발광 표시 장치를 III-III 선을 따라 자른 단면도이고,

도 4, 도 6, 도 8, 도 10 및 도 12는 도 2 및 도 3의 유기 발광 표시 장치를 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고,

도 5는 도 4의 유기 발광 표시 장치를 V-V 선을 따라 잘라 도시한 단면도이고,

도 7은 도 6의 유기 발광 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이고,

도 9는 도 8의 유기 발광 표시 장치를 IX-IX 선을 따라 잘라 도시한 단면도이고,

도 11은 도 10의 유기 발광 표시 장치를 XI-XI 선을 따라 잘라 도시한 단면도이고,

도 13은 도 12의 유기 발광 표시 장치를 XIII-XIII 선을 따라 잘라 도시한 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

110: 절연 기판 121: 게이트선

122: 보조 게이트선 124a, 124c: 보조 제어 전극

124b: 제1 제어 전극 124d: 제2 제어 전극

127: 유지 전극 129: 게이트선의 끝 부분

140: 게이트 절연막 154: 제1 반도체

155: 제2 반도체 171: 데이터선

172: 구동 전압선 85: 연결 부재

173a: 제1 입력 전극 173b: 제2 입력 전극

173c: 제3 입력 전극 173d: 제4 입력 전극

175a: 제1 출력 전극 175b: 제2 출력 전극

175c: 제3 출력 전극 175d: 제4 출력 전극

176: 제1 입출력 전극 178: 제2 입출력 전극

179: 데이터선의 끝 부분 81, 82: 접촉 보조 부재

181, 182, 184, 185c, 185d: 접촉 구멍

191: 화소 전극 270: 공통 전극

361: 격벽 370: 유기 발광 부재

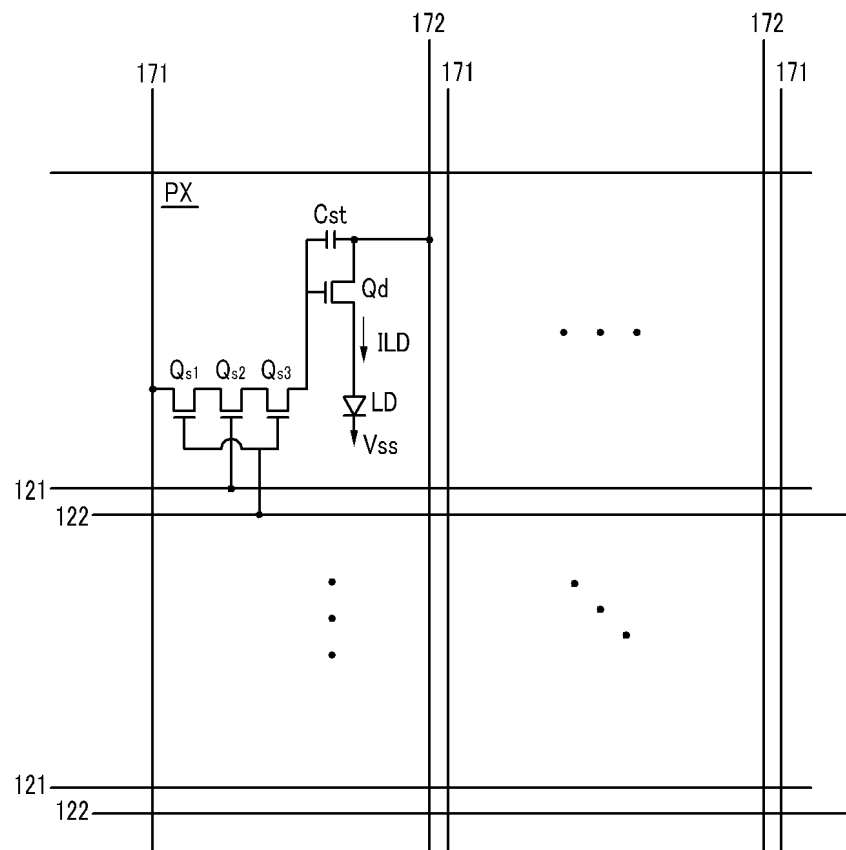
Qs1, Qs2, Qs3: 스위칭 트랜지스터 Qd: 구동 트랜지스터

LD: 유기 발광 다이오드 Vss: 공통 전압

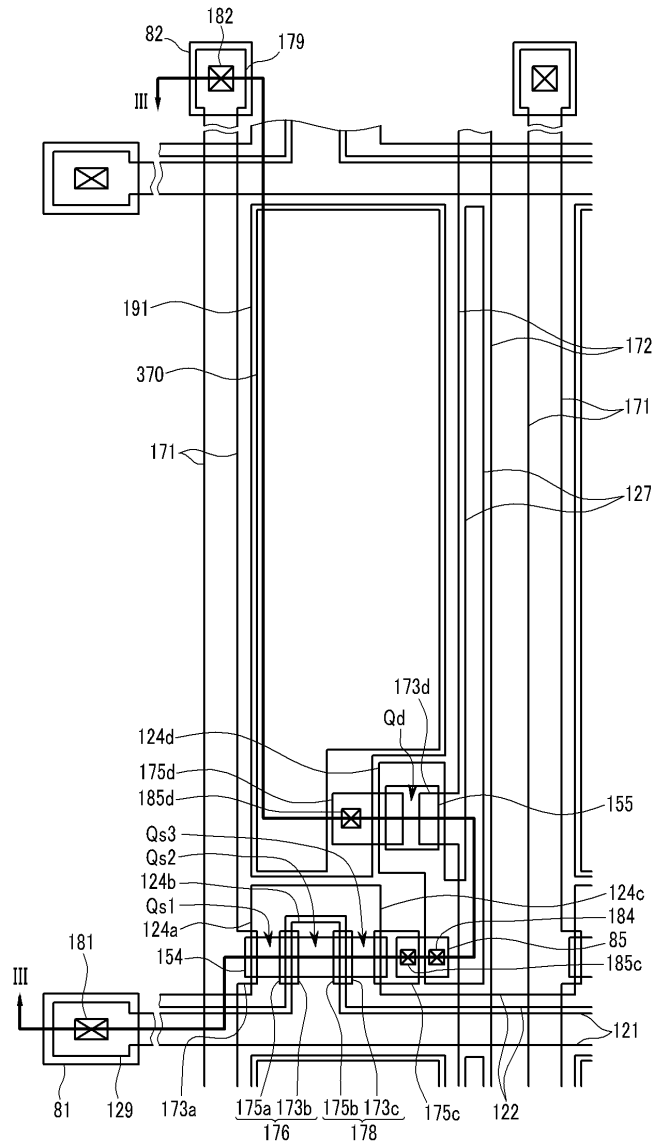
Cst: 유지 축전기

도면

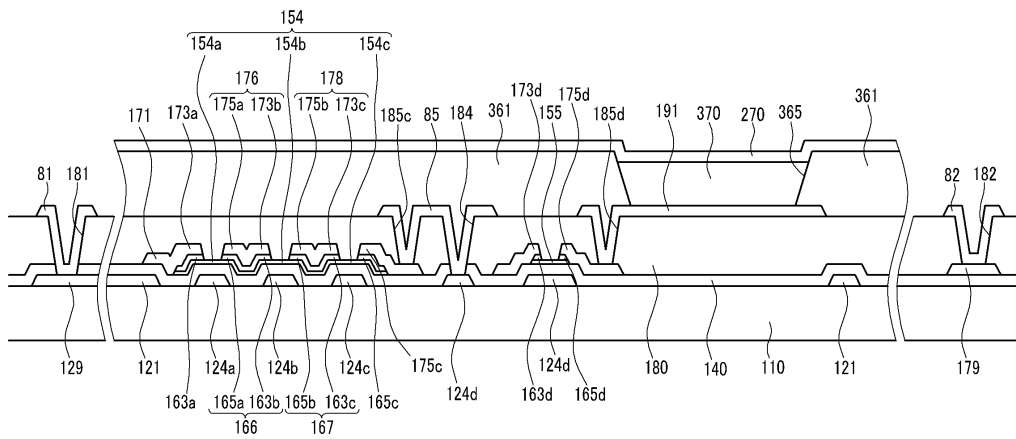
도면1



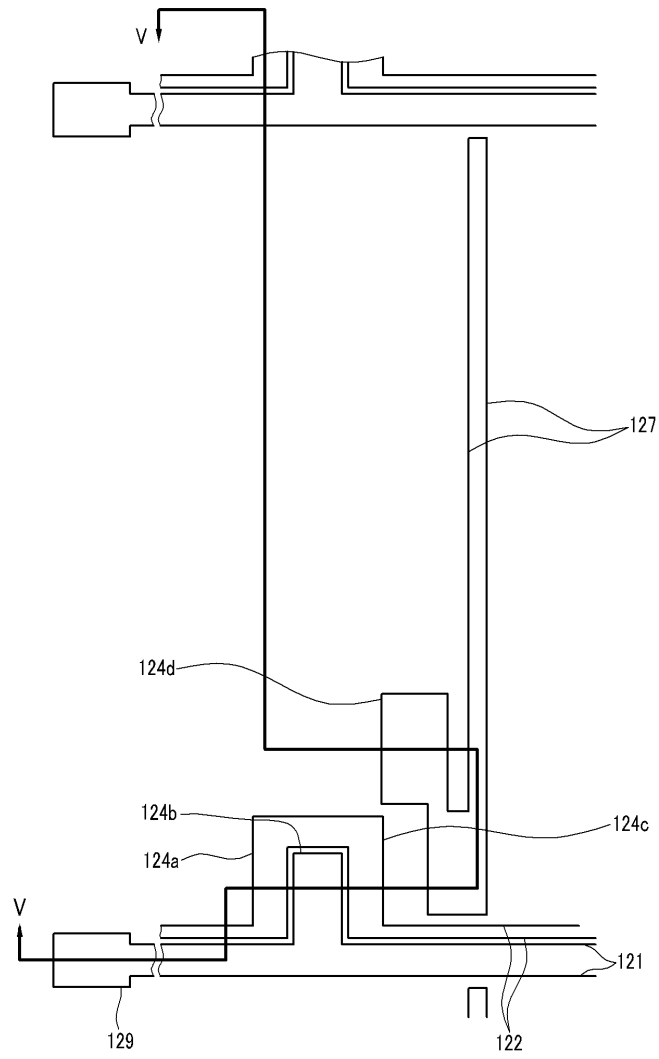
도면2



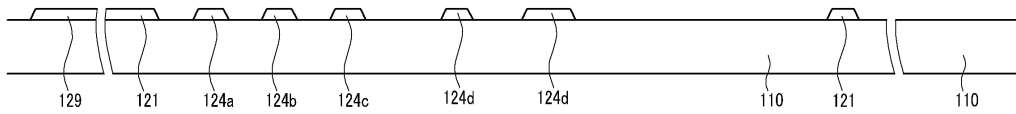
도면3



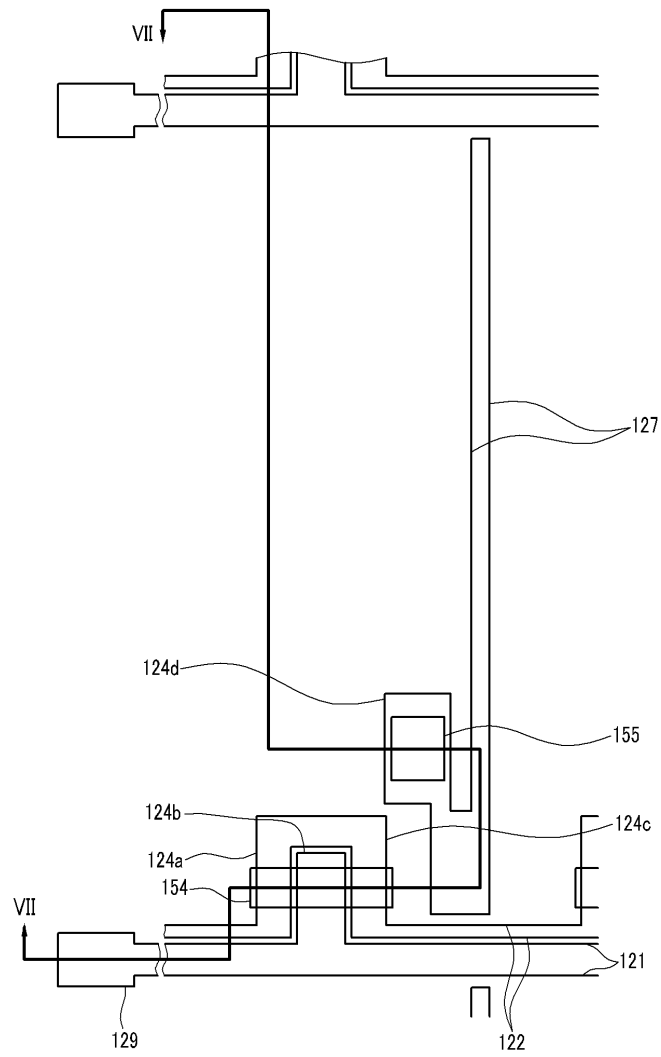
도면4



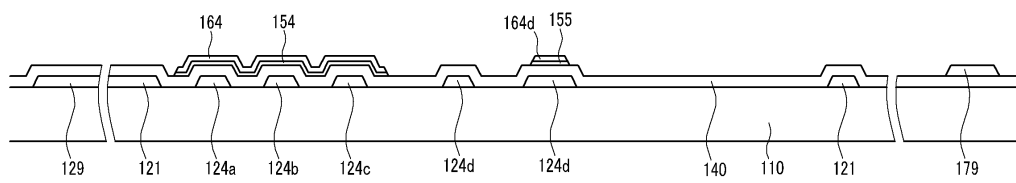
도면5



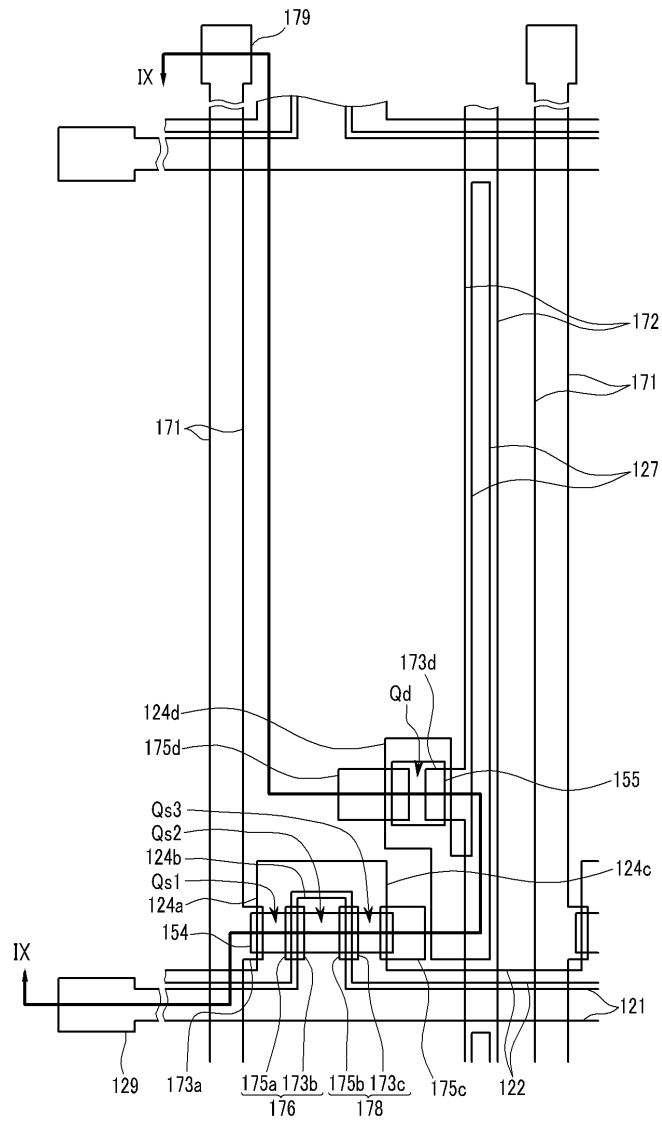
도면6



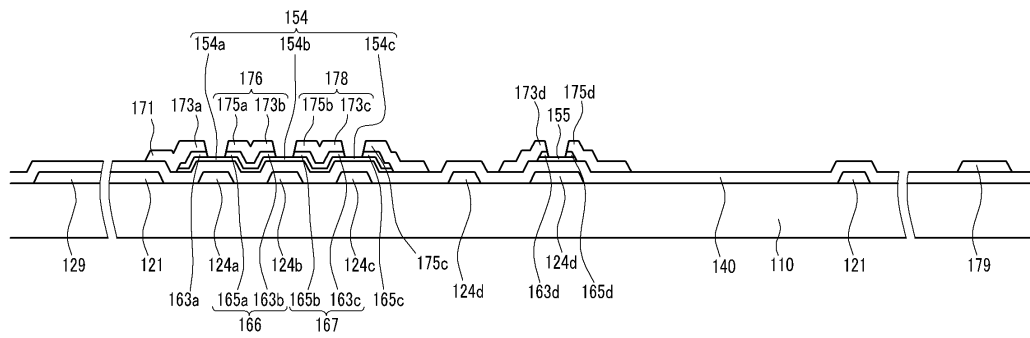
도면7



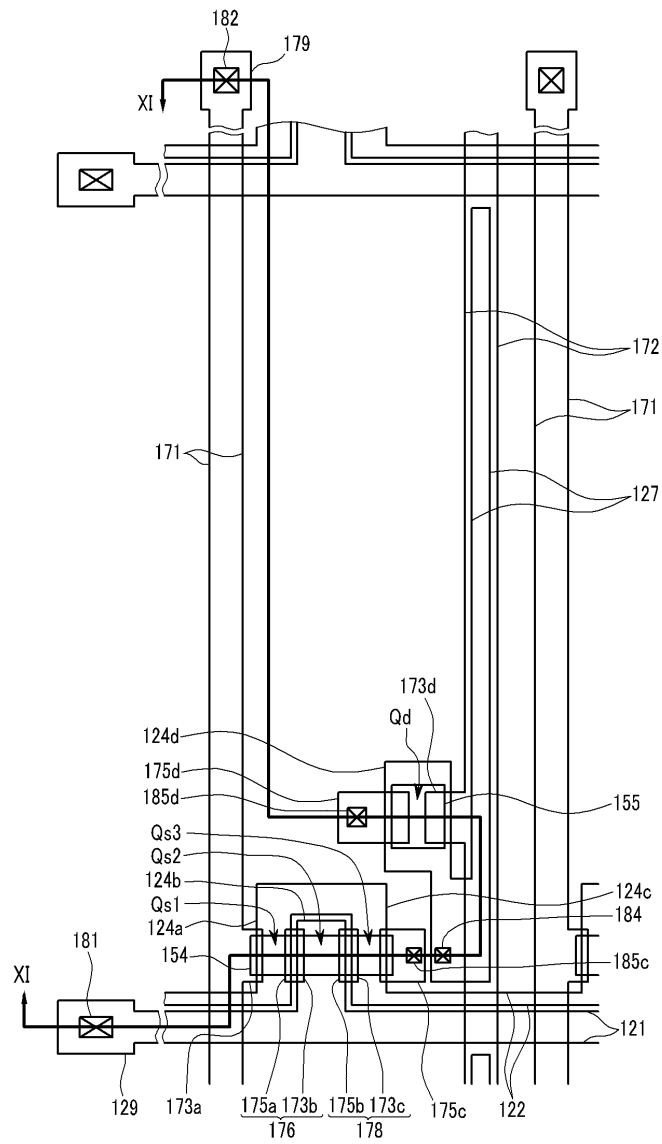
도면8



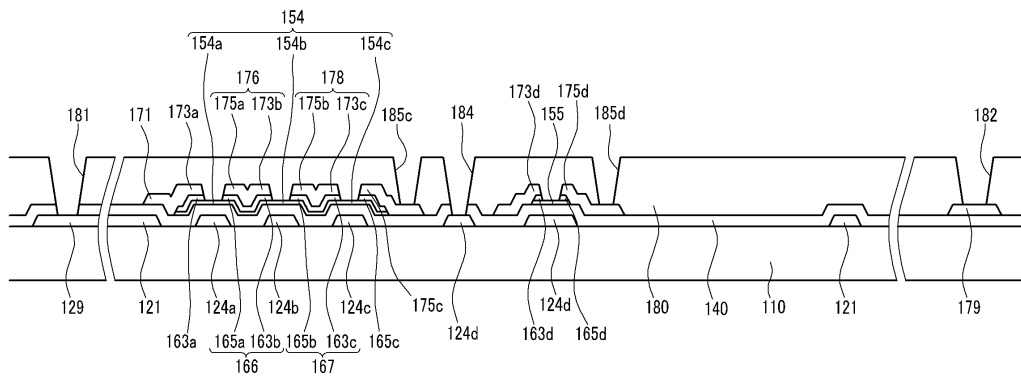
도면9



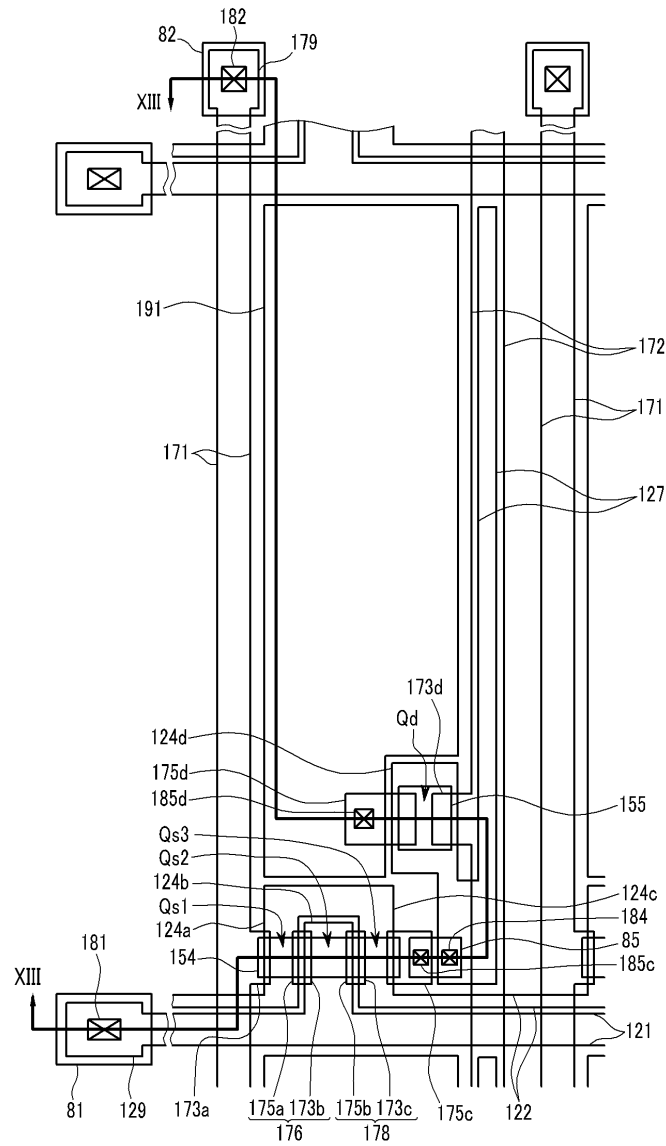
도면10



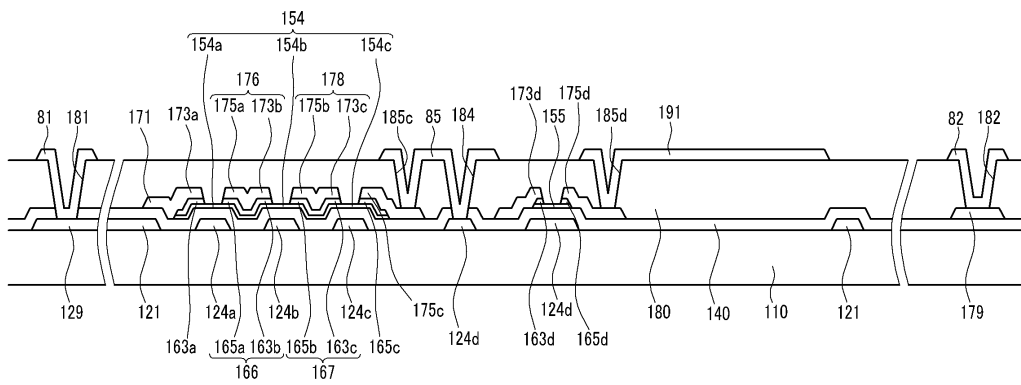
도면11



도면12



도면13



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020070074751A	公开(公告)日	2007-07-18
申请号	KR1020060002698	申请日	2006-01-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI JOON HOO		
发明人	CHOI, JOON HOO		
IPC分类号	H05B33/00 H05B33/10		
CPC分类号	H01L27/3262 G09G3/3291 G09G2300/0842 G09G2320/0214 H01L27/1214 H01L29/78678 G09G3/3233 H01L27/3276 G09G2300/0417 H01L29/78696 H01L27/1222		
其他公开文献	KR101240649B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光显示装置及其制造方法，其中开关薄膜晶体管 and 驱动薄膜晶体管中的至少一个意味着形成在第二电极和第一电极之间的发光构件的多个通道。相反方向和包括第一药剂电极的第二电极在基板和基板上形成。多晶半导体，漏电流，开关薄膜晶体管，障碍物。

