



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl.

G09G 3/30 (2006.01)

(11) 공개번호 10-2007-0038915

G09G 3/32 (2006.01)

(43) 공개일자 2007년04월11일

H05B 33/08 (2006.01)

(21) 출원번호 10-2006-0097705

(22) 출원일자 2006년10월04일

심사청구일자 없음

(30) 우선권주장 JP-P-2005-00294308 2005년10월07일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1(72) 발명자 야마시타 준이치
일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내
우치노 가즈히데
일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내

(74) 대리인 신관호

전체 청구항 수 : 총 16 항

(54) 화소회로 및 표시장치

(57) 요약

발광소자를 포함하는 화소회로에서 드라이브 트랜지스터의 이동도(移動度)에 대한 보정동작의 마진을 넓힌다.

화소회로(2)는, 드라이브 트랜지스터(Trd)의 출력전류의 캐리어 이동도에 대한 의존성을 취소하기 위하여, 화소용량(Cs)으로 샘플링되는 입력전압(Vgs)을 보정하는 보정수단으로서 트랜지스터(Tr2, Tr3)를 갖추고 있다. 이 보정수단은 주사선(AZ1, AZ2)으로부터 공급되는 제어신호에 따라 동작하고, 드라이브 트랜지스터(Trd)로부터 출력전류를 인출하여, 이것을 발광소자(EL)가 가지는 용량(Coled) 및 화소용량(Cs)에 유입하도록 하여 입력전압(Vgs)을 보정한다. 발광소자 용량(Coled)에 더해지는 추가용량(Csub)을 갖추고 있고, 드라이브 트랜지스터(Trd)의 출력전류의 일부를 추가용량(Csub)에도 흘리고, 그것에 의해 보정수단의 동작에 시간적인 여유를 준다.

대표도

도 2

특허청구의 범위

청구항 1.

제어신호를 공급하는 행모양(行狀)의 주사선과 영상신호를 공급하는 열모양(列狀)의 신호선이 교차하는 부분에 배치되고,

적어도 샘플링 트랜지스터와, 이것에 접속하는 화소(畫素)용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자를 포함하고,

상기 샘플링 트랜지스터는 주사선으로부터 공급되는 제어신호에 따라 도통하여 신호선으로부터 공급된 영상신호를 상기 화소용량으로 샘플링하고,

상기 화소용량은 상기 샘플링된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트에 입력전압을 인가하고,

상기 드라이브 트랜지스터는 상기 입력전압에 따른 출력전류를 상기 발광소자에 공급하고, 상기 출력전류는 상기 드라이브 트랜지스터의 채널 영역의 캐리어(carrier) 이동도(移動度)에 대하여 의존성을 가지고,

상기 발광소자는 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따른 휘도로 발광하는 화소회로에 있어서,

상기 출력전류의 캐리어 이동도에 대한 의존성을 취소하기 위하여, 상기 화소용량으로 샘플링되는 상기 입력전압을 보정하는 보정수단을 갖추고 있고,

상기 보정수단은 주사선으로부터 공급되는 제어신호에 따라 동작하여, 상기 드라이브 트랜지스터로부터 출력전류를 인출하여, 이것을 상기 발광소자가 가지는 용량 및 상기 화소용량에 유입하도록 하여 상기 입력전압을 보정하고,

상기 발광소자의 용량에 더해지는 추가용량을 갖추고 있고, 상기 드라이브 트랜지스터로부터 인출된 출력전류의 일부를 상기 추가용량에도 흘리고, 그것에 의해 상기 보정수단의 동작에 시간적인 여유를 주는 것을 특징으로 하는 화소회로.

청구항 2.

제 1항에 있어서,

상기 샘플링 트랜지스터, 드라이브 트랜지스터 및 보정수단은, 절연기판상에 형성된 박막 트랜지스터로 구성되고, 상기 화소용량과 추가용량은, 상기 절연기판상에 형성된 박막 용량 소자로 구성되는 것을 특징으로 하는 화소회로.

청구항 3.

제 1항에 있어서,

상기 드라이브 트랜지스터는, 그 출력전류가 채널 영역의 캐리어 이동도에 더하여 임계전압에 대해서도 의존성을 가지고,

상기 보정수단은, 상기 출력전류의 임계전압에 대한 의존성을 취소하기 위하여, 미리 상기 드라이브 트랜지스터의 임계전압을 검출하고, 또한 상기 검출된 임계전압을 상기 입력전압에 더해 넣도록 한 것을 특징으로 하는 화소회로.

청구항 4.

제 1항에 있어서,

상기 발광소자는 양극 및 음극을 갖춘 다이오드형의 발광소자로 구성되고, 양극측이 상기 드라이브 트랜지스터의 소스에 접속하는 한편 음극측이 접지되어 있고,

상기 추가용량은, 한쪽의 단자가 상기 발광소자의 양극에 접속하고, 다른 쪽의 단자가 소정의 고정전위에 접속되어 있는 것을 특징으로 하는 화소회로.

청구항 5.

제 4항에 있어서,

상기 추가용량의 다른 쪽의 단자가 접속하는 소정의 고정전위는, 상기 발광소자의 음극 측이 되는 접지전위, 화소회로의 정측(正側) 전원전위 또는 부측(負側) 전원전위로부터 선택되는 것을 특징으로 하는 화소회로.

청구항 6.

제 1항에 있어서,

각 화소회로는, 적색 발광소자, 녹색 발광소자 또는 청색 발광소자의 어느쪽인가를 갖추고 있고,

각 화소회로에 형성된 상기 추가용량은, 각 색 발광소자마다 다른 용량치를 가지고, 그것에 의해 각 화소회로에 형성된 각 보정수단의 동작에 요하는 시간을 균일화하는 것을 특징으로 하는 화소회로.

청구항 7.

제 6항에 있어서,

각 화소회로에 형성된 추가용량의 용량치에 부족이 있을 경우, 인접하는 화소회로에 형성된 추가용량을 이용하여 상기 부족을 보충하도록 한 것을 특징으로 하는 화소회로.

청구항 8.

제 1항에 있어서,

상기 보정수단은, 상기 영상신호가 상기 화소용량으로 샘플링되고 있는 상태에서 상기 드라이브 트랜지스터로부터 출력전류를 인출하여, 이것을 상기 화소용량에 부귀환하여 상기 입력전압을 보정하는 것을 특징으로 하는 화소회로.

청구항 9.

화소 어레이부와 스캐너부와 신호부를 포함하고,

상기 화소 어레이부는, 행모양에 배치된 주사선과 열모양에 배치된 신호선 양자가 교차하는 부분에 배치된 행열모양의 화소로 구성되고,

상기 신호부는, 상기 신호선에 영상신호를 공급하고,

상기 스캐너부는, 상기 주사선에 제어신호를 공급하여 차례차례 행마다 화소를 주사하고,

각 화소는, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자를 포함하고,

상기 샘플링 트랜지스터는, 주사선으로부터 공급되는 제어신호에 따라 도통하고 신호선으로부터 공급된 영상신호를 상기 화소용량으로 샘플링하고,

상기 화소용량은, 상기 샘플링 된 영상신호에 따라 상기 드라이브 트랜지스터의 게이트에 입력전압을 인가하고,

상기 드라이브 트랜지스터는, 상기 입력전압에 따른 출력전류를 상기 발광소자에 공급하고, 상기 출력전류는 상기 드라이브 트랜지스터의 채널 영역의 캐리어 이동도에 대하여 의존성을 가지고,

상기 발광소자는, 상기 드라이브 트랜지스터로부터 공급된 출력전류에 의해 상기 영상신호에 따른 휘도로 발광하는 표시 장치에 있어서,

각 화소는, 상기 출력전류의 캐리어 이동도에 대한 의존성을 취소하기 위하여, 상기 화소용량으로 샘플링되는 상기 입력전압을 보정하는 보정수단을 갖추고 있고,

상기 보정수단은 주사선으로부터 공급되는 제어신호에 따라 동작하고, 상기 드라이브 트랜지스터로부터 출력전류를 인출하여, 이것을 상기 발광소자가 가지는 용량 및 상기 화소용량에 유입하도록 하여 상기 입력전압을 보정하고,

상기 발광소자의 용량에 더해지는 추가용량을 갖추고 있고, 상기 드라이브 트랜지스터로부터 인출된 출력전류의 일부를 상기 추가용량에도 흘리고, 그것에 의해 상기 보정수단의 동작에 시간적인 여유를 주는 것을 특징으로 하는 표시장치.

청구항 10.

제 9항에 있어서,

상기 샘플링 트랜지스터, 드라이브 트랜지스터 및 보정수단은, 절연기판상에 형성된 박막 트랜지스터로 구성되고, 상기 화소용량과 추가용량은, 상기 절연기판상에 형성된 박막 용량 소자로 구성되는 것을 특징으로 하는 표시장치.

청구항 11.

제 9항에 있어서,

상기 드라이브 트랜지스터는, 그 출력전류가 채널 영역의 캐리어 이동도에 대하여 임계전압에 대해서도 의존성을 가지고,

상기 보정수단은, 상기 출력전류의 임계전압에 대한 의존성을 취소하기 위하여, 미리 상기 드라이브 트랜지스터의 임계전압을 검출하고, 또한 상기 검출된 임계전압을 상기 입력전압에 더해 넣도록 한 것을 특징으로 하는 표시장치.

청구항 12.

제 9항에 있어서,

상기 발광소자는 양극 및 음극을 갖춘 다이오드형의 발광소자로 구성되고, 양극측이 상기 드라이브 트랜지스터의 소스에 접속하는 한편 음극측이 접지 되어 있고,

상기 추가용량은, 한쪽의 단자가 상기 발광소자의 양극에 접속하고, 다른 쪽의 단자가, 소정의 고정전위에 접속되어 있는 것을 특징으로 하는 표시장치.

청구항 13.

제 12항에 있어서,

상기 추가용량의 다른 쪽의 단자가 접속하는 소정의 고정전위는, 상기 발광소자의 음극 측이 되는 접지전위, 상기 화소 어레이부의 정측 전원전위 또는 부측 전원전위로부터 선택되는 것을 특징으로 하는 표시장치.

청구항 14.

제 9항에 있어서,

각 화소는, 적색 발광소자, 녹색 발광소자 또는 청색 발광소자의 어느쪽인가를 갖추고 있고,

각 화소에 형성된 상기 추가용량은, 각 색 발광소자마다 다른 용량치를 가지고, 그것에 의해 각 화소에 형성된 각 보정수단의 동작에 요하는 시간을 균일화하는 것을 특징으로 하는 표시장치.

청구항 15.

제 14항에 있어서,

각 화소에 형성된 추가용량의 용량치에 부족이 있는 경우, 인접하는 화소에 형성된 추가용량을 이용하여 상기 부족을 보충하도록 한 것을 특징으로 하는 표시장치.

청구항 16.

제 9항에 있어서,

상기 보정수단은, 상기 영상신호가 상기 화소용량으로 샘플링되고 있는 상태에서 상기 드라이브 트랜지스터로부터 출력전류를 인출하여, 이것을 상기 화소용량에 부귀환하여 상기 입력전압을 보정하는 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 화소마다 배치한 발광소자를 전류구동하는 화소회로에 관한 것이다. 또 이 화소회로가 매트릭스모양(행열모양)으로 배열된 표시장치이고, 특히 각 화소회로내에 설치한 절연 게이트형 전계효과 트랜지스터에 의해서, 유기(有機)EL 등의 발광소자에 통전하는 전류량을 제어하는, 이른바 액티브 매트릭스형의 표시장치에 관한 것이다.

화상 표시장치, 예를 들면 액정 디스플레이 등에서는, 다수의 액정 화소를 매트릭스모양으로 늘어놓아 표시해야 할 화상 정보에 따라 화소마다 입사광의 투과 강도 또는 반사 강도를 제어함으로써 화상을 표시한다. 이것은, 유기EL 소자를 화소에 이용한 유기EL 디스플레이 등에 있어서도 같지만, 액정 화소와 달리 유기EL 소자는 자발광 소자이다. 그 때문에, 유기EL 디스플레이는 액정 디스플레이에 비해 화상의 시인성이 높고, 백라이트가 불필요하고, 응답 속도가 높은 등의 이점을 가진다. 또, 각 발광소자의 휙도 레벨(계조(階調))은 거기에 흐르는 전류치에 의해 제어 가능하고, 이른바 전류제어형이라고 하는 점에서 액정 디스플레이 등의 전압제어형과는 크게 다르다.

유기EL 디스플레이에 있어서는, 액정 디스플레이와 같이, 그 구동 방식으로서 단순 매트릭스 방식과 액티브 매트릭스 방식이 있다. 전자는 구조가 단순한 것의, 대형이면서 고정밀의 디스플레이의 실현이 어려운 등의 문제가 있기 때문에, 현재는 액티브 매트릭스 방식의 개발이 활발히 행해지고 있다. 이 방식은, 각 화소회로 내부의 발광소자에 흐르는 전류를, 화소회로 내부에 설치한 능동 소자(일반적으로는 박막 트랜지스터, TFT)에 의해 제어하는 것이고, 이하의 특허문헌에 기재가 있다.

[특허문헌 1] 특개 2003-255856

[특허문헌 2] 특개 2003-271095

[특허문헌 3] 특개 2004-133240

[특허문헌 4] 특개 2004-029791

[특허문헌 5] 특개 2004-093682

[특허문헌 6] 특개평 10-214042

발명이 이루고자 하는 기술적 과제

종래의 화소회로는, 제어신호를 공급하는 행모양의 주사선과 영상신호를 공급하는 열모양의 신호선이 교차하는 부분에 배치되고, 적어도 샘플링 트랜지스터와 화소용량과 드라이브 트랜지스터와 발광소자를 포함한다. 샘플링 트랜지스터는, 주사선으로부터 공급되는 제어신호에 따라 도통하여 신호선으로부터 공급된 영상신호를 샘플링한다. 화소용량은, 샘플링된 영상신호에 따른 입력전압을 보관 유지한다. 드라이브 트랜지스터는, 화소용량에 보관 유지된 입력전압에 따라 소정의 발광 기간에 출력전류를 공급한다. 또한 일반적으로, 출력전류는 드라이브 트랜지스터의 채널 영역의 캐리어 이동도(移動度) 및 임계전압에 대하여 의존성을 가진다. 발광소자는, 드라이브 트랜지스터로부터 공급된 출력전류에 의해 영상신호에 따른 휘도로 발광한다.

드라이브 트랜지스터는, 화소용량에 보관 유지된 입력전압을 게이트에 받아 소스 / 드레인간에 출력전류를 흘려, 발광소자에 통전한다. 일반적으로 발광소자의 발광 휘도는 통전량에 비례하고 있다. 더욱 드라이브 트랜지스터의 출력전류 공급량은 게이트 전압 즉 화소용량에 기인된 입력전압에 의해 제어된다. 종래의 화소회로는, 드라이브 트랜지스터의 게이트에 인가되는 입력전압을 입력 영상신호에 따라 변화시키는 것으로, 발광소자에 공급하는 전류량을 제어하고 있다.

여기서 드라이브 트랜지스터의 동작 특성은 이하의 식 1로 표현된다.

$$I_{DS} = (1/2)\mu(W/L)C_{ox}(V_{GS} - V_{th})^2 \dots \text{식 1}$$

이 트랜지스터 특성식 1에 있어서, I_{DS} 는 소스 / 드레인간에 흐르는 드레인 전류를 나타내고 있고, 화소회로에서는 발광소자에 공급되는 출력전류이다. V_{GS} 는 소스를 기준으로서 게이트에 인가되는 게이트 전압을 나타내고 있고, 화소회로에서는 상술한 입력전압이다. V_{th} 는 트랜지스터의 임계전압이다. 또 μ 는 트랜지스터의 채널을 구성하는 반도체 박막의 이동도를 나타내고 있다. 그 외 W 는 채널폭을 나타내고, L 은 채널 길이를 나타내고, C_{ox} 는 게이트 용량을 나타내고 있다. 이 트랜지스터 특성식 1로부터 분명한 바와 같이, 박막 트랜지스터는 포화 영역에서 동작할 때, 게이트 전압(V_{GS})이 임계전압(V_{th})을 넘어 커지면, 온 상태가 되어 드레인 전류(I_{DS})가 흐른다. 원리적으로 보면 상기의 트랜지스터 특성식 1이 나타내는 바와 같이, 게이트 전압(V_{GS})이 일정하면 항상 같은 양의 드레인 전류(I_{DS})가 발광소자에 공급된다. 따라서 화면을 구성하는 각 화소에 모두 동일한 레벨의 영상신호를 공급하면, 모든 화소가 동일 휘도로 발광하여, 화면의 균일성(uniformity)이 얻어질 것이다.

그렇지만 실제로는, 폴리 실리콘 등의 반도체 박막으로 구성된 박막 트랜지스터(TFT)는, 개개의 디바이스 특성에 흐트러짐이 있다. 특히, 임계전압(V_{th})은 일정한 것은 아니고, 각 화소마다 흐트러짐이 있다. 상술의 트랜지스터 특성식 1로부터 분명한 바와 같이, 각 드라이브 트랜지스터의 임계전압(V_{th})이 흐트러지면, 게이트 전압(V_{GS})이 일정해도, 드레인 전류

(Ids)에 흐트러짐이 생기고, 화소마다 휘도가 흐트러져 버리기 때문에, 화면의 균일성을 손상한다. 종래부터 드라이브 트랜지스터의 임계전압의 흐트러짐을 소멸시키는 기능을 짜 넣은 화소회로가 개발되고 있어, 예를 들면 상기의 특허문현 3에 개시되어 있다.

임계전압의 흐트러짐을 소멸시키는 기능을 짜 넣은 화소회로는, 어느 정도 화면의 균일성을 개선하는 것이 가능하다. 그렇지만, 폴리 실리콘 박막 트랜지스터의 특성은, 임계전압 뿐만이 아니라 이동도(μ)도 소자마다 흐트러짐이 있다. 상술의 트랜지스터 특성식 1로부터 분명한 바와 같이, 이동도(μ)가 흐트러지면, 게이트 전압(Vgs)이 일정해도 드레인 전류(Ids)에 흐트러짐이 나와 버린다. 이 결과 발광 휘도가 화소마다 변화하기 때문에 화면의 균일성을 손상한다고 하는 과제가 있다.

발명의 구성

상술한 종래의 기술의 과제를 감안하여, 본 발명은 이동도의 영향을 없애고, 그것에 의해 드라이브 트랜지스터가 공급하는 드레인 전류(출력전류)의 흐트러짐을 보상 가능한 화소회로 및 표시장치를 제공하는 것을 목적으로 한다. 특히, 이동도의 영향을 없애기 위하여 필요한 보정동작의 마진을 확보하고, 그것에 의해 화소회로 및 표시장치의 동작을 안정화 하는 것을 목적으로 한다. 관계되는 목적을 달성하기 위하여 이하의 수단을 강구하였다. 즉 본 발명은, 제어신호를 공급하는 행모양의 주사선과 영상신호를 공급하는 열모양의 신호선이 교차하는 부분에 배치되고, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자를 포함하고, 상기 샘플링 트랜지스터는, 주사선으로부터 공급되는 제어신호에 따라 도통하여 신호선으로부터 공급된 영상신호를 이 화소용량으로 샘플링하고, 상기 화소용량은, 이 샘플링된 영상신호에 따라 이 드라이브 트랜지스터의 게이트에 입력전압을 인가하고, 상기 드라이브 트랜지스터는, 이 입력전압에 따른 출력전류를 이 발광소자에 공급하고, 이 출력전류는 이 드라이브 트랜지스터의 채널 영역의 캐리어 이동도에 대하여 의존성을 가지고, 상기 발광소자는, 이 드라이브 트랜지스터로부터 공급된 출력전류에 의해 이 영상신호에 따른 휘도로 발광하는 화소회로에 있어서, 이 출력전류의 캐리어 이동도에 대한 의존성을 취소하기 위하여, 이 화소용량에 샘플링되는 이 입력전압을 보정하는 보정수단을 갖추고 있고, 상기 보정수단은 주사선으로부터 공급되는 제어신호에 따라 동작하여, 이 드라이브 트랜지스터로부터 출력전류를 인출하고, 이것을 이 발광소자가 가지는 용량 및 이 화소용량에 유입하도록 하여 이 입력전압을 보정하고, 이 발광소자의 용량에 더해지는 추가용량을 갖추고 있고, 이 드라이브 트랜지스터로부터 인출된 출력전류의 일부를 이 추가용량에도 흘려, 그것에 의해 이 보정수단의 동작에 시간적인 여유를 주는 것을 특징으로 한다.

바람직하게는, 상기 샘플링 트랜지스터, 드라이브 트랜지스터 및 보정수단은, 절연기판상에 형성된 박막 트랜지스터로 구성되고, 상기 화소용량과 추가용량은, 이 절연기판상에 형성된 박막 용량 소자로 구성된다. 또 상기 드라이브 트랜지스터는, 그 출력전류가 채널 영역의 캐리어 이동도에 대하여 임계전압에 대해서도 의존성을 가지고, 상기 보정수단은, 이 출력전류의 임계전압에 대한 의존성을 취소하기 위하여, 미리 이 드라이브 트랜지스터의 임계전압을 검출하고, 동시에 이 검출된 임계전압을 이 입력전압에 채워 넣도록 하고 있다. 또 상기 발광소자는 양극 및 음극을 갖춘 다이오드형의 발광소자로 구성되고, 양극측이 이 드라이브 트랜지스터의 소스에 접속하는 한편 음극측이 접지되어 있고, 상기 추가용량은, 한쪽의 단자가 이 발광소자의 양극에 접속하고, 다른 쪽의 단자가 소정의 고정전위에 접속되어 있다. 상기 추가용량의 다른 쪽의 단자가 접속하는 소정의 고정전위는, 이 발광소자의 음극 측이 되는 접지전위, 화소회로의 정측 전원전위 또는 부측 전원전위로부터 선택할 수 있다. 또 각 화소회로는, 적색 발광소자, 녹색 발광소자 또는 청색 발광소자의 어느쪽인가를 갖추고 있고, 각 화소회로에 형성된 상기 추가용량은, 각 색 발광소자마다 다른 용량치를 가지고, 그것에 의해 각 화소회로에 형성된 각 보정수단의 동작에 요하는 시간을 균일화한다. 또 각 화소회로에 형성된 추가용량의 용량치에 부족이 있을 경우, 인접하는 화소회로에 형성된 추가용량을 이용하여 이 부족을 보충하도록 하고 있다. 한 모양에서는 상기 보정수단은, 이 영상신호가 이 화소용량으로 샘플링되고 있는 상태에서 이 드라이브 트랜지스터로부터 출력전류를 인출하고, 이것을 이 화소용량에 부귀환하여 이 입력전압을 보정한다.

또 본 발명은, 화소 어레이부와 스캐너부와 신호부를 포함하고, 상기 화소 어레이부는, 행모양에 배치된 주사선과 열모양에 배치된 신호선과 양자가 교차하는 부분에 배치된 행열모양의 화소로 구성되고, 상기 신호부는, 이 신호선에 영상신호를 공급하고, 상기 스캐너부는, 이 주사선에 제어신호를 공급하여 차례차례 행마다 화소를 주사하고, 각 화소는, 적어도 샘플링 트랜지스터와, 이것에 접속하는 화소용량과, 이것에 접속하는 드라이브 트랜지스터와, 이것에 접속하는 발광소자를 포함하고, 상기 샘플링 트랜지스터는, 주사선으로부터 공급되는 제어신호에 따라 도통하고 신호선으로부터 공급된 영상신호를 이 화소용량에 샘플링하고, 상기 화소용량은, 이 샘플링된 영상신호에 따라 이 드라이브 트랜지스터의 게이트에 입력전압을 인가하고, 상기 드라이브 트랜지스터는, 이 입력전압에 따른 출력전류를 이 발광소자에 공급하고, 이 출력전류는 이 드라이브 트랜지스터의 채널 영역의 캐리어 이동도에 대하여 의존성을 가지고, 상기 발광소자는, 이 드라이브 트랜지스터로부터 공급된 출력전류에 의해 이 영상신호에 따른 휘도로 발광하는 표시장치에 있어서, 각 화소는, 이 출력전류의 캐리어 이동도에 대한 의존성을 취소하기 위하여, 이 화소용량에 샘플링되는 이 입력전압을 보정하는 보정수단을 갖추고 있고, 상기 보정수단은 주사선으로부터 공급되는 제어신호에 따라 동작하고, 이 드라이브 트랜지스터로부터 출력전류를 인출하

고, 이것을 이 발광소자가 가지는 용량 및 이 화소용량에 유입하도록 하여 이 입력전압을 보정하고, 이 발광소자의 용량에 더해지는 추가용량을 갖추고 있고, 이 드라이브 트랜지스터로부터 인출된 출력전류의 일부를 이 추가용량에도 흘려, 그것에 의해 이 보정수단의 동작에 시간적인 여유를 주는 것을 특징으로 한다.

바람직하게는, 상기 샘플링 트랜지스터, 드라이브 트랜지스터 및 보정수단은, 절연기판상에 형성된 박막 트랜지스터로 구성되고, 상기 화소용량과 추가용량은, 이 절연기판상에 형성된 박막 용량 소자로 구성된다. 또 상기 드라이브 트랜지스터는, 그 출력전류가 채널 영역의 캐리어 이동도에 대하여 임계전압에 대해서도 의존성을 가지고, 상기 보정수단은, 이 출력전류의 임계전압에 대한 의존성을 취소하기 위하여, 미리 이 드라이브 트랜지스터의 임계전압을 검출하고, 동시에 이 검출된 임계전압을 이 입력전압에 채워 넣도록 하고 있다. 또 상기 발광소자는 양극 및 음극을 갖춘 다이오드형의 발광소자로 구성되고, 양극측이 이 드라이브 트랜지스터의 소스에 접속하는 한편 음극측이 접지되어 있고, 상기 추가용량은, 한쪽의 단자가 이 발광소자의 양극에 접속하고, 다른 쪽의 단자가 소정의 고정전위에 접속되어 있다. 상기 추가용량의 다른 쪽의 단자가 접속하는 소정의 고정전위는, 이 발광소자의 음극 측이 되는 접지전위, 이 화소 어레이부의 정측 전원전위 또는 부측 전원전위로부터 선택할 수 있다. 또 각 화소는, 적색 발광소자, 녹색 발광소자 또는 청색 발광소자의 어느쪽인가를 갖추고 있고, 각 화소에 형성된 상기 추가용량은, 각 색 발광소자마다 다른 용량치를 가지고, 그것에 의해 각 화소에 형성된 각 보정수단의 동작에 요하는 시간을 균일화한다. 또 각 화소에 형성된 추가용량의 용량치에 부족이 있을 경우, 인접하는 화소에 형성된 추가용량을 이용하여 이 부족을 보충하도록 하고 있다. 한 모양에서는 상기 보정수단은, 이 영상신호가 이 화소용량으로 샘플링되고 있는 상태에서 이 드라이브 트랜지스터로부터 출력전류를 인출하고, 이것을 이 화소용량에 부귀환하여 이 입력전압을 보정한다.

이하 도면을 참조하여 본 발명의 실시의 형태를 상세히 설명한다. 도 1은, 본 발명에 관계되는 표시장치의 기본構성을 나타내는 모식적인 블록도이다. 도시하는 바와 같이, 액티브 매트릭스 표시장치는 주요부가 되는 화소 어레이(1)와 주변의 회로부로 구성되어 있다. 주변의 회로부는 수평 실렉터(selector)(3), 라이트(write) 스캐너(4), 드라이브 스캐너(5), 보정용 스캐너(7) 등을 포함하고 있다. 화소 어레이(1)는 행모양의 주사선(WS)과 열모양의 신호선(SL)과 양자의 교차하는 부분에 매트릭스모양으로 배열한 화소(R, G, B)로 구성되어 있다. 칼라 표시를 가능하게 하기 위하여, RGB의 삼원색 화소를 준비하고 있지만, 본 발명은 이것으로 한정되는 것은 아니다. 각 화소 R, G, B는 각각 화소회로(2)로 구성되어 있다. 신호선(SL)은 수평 실렉터(3)에 의해 구동된다. 수평 실렉터(3)는 신호부를 구성하고, 신호선(SL)에 영상신호를 공급한다. 주사선(WS)은 라이트 스캐너(4)에 의해 주사된다. 또한, 주사선(WS)과 평행으로 다른 주사선(DS 및 AZ)도 배선되어 있다. 주사선(DS)은 드라이브 스캐너(5)에 의해 주사된다. 주사선(AZ)은 보정용 스캐너(7)에 의해 주사된다. 라이트 스캐너(4), 드라이브 스캐너(5) 및 보정용 스캐너(7)는 스캐너부를 구성하고 있고, 1 수평 기간마다 화소의 행을 차례차례 주사한다. 각 화소회로(2)는 주사선(WS)에 의해 선택되었을 때 신호선(SL)으로부터 영상신호를 샘플링 한다. 더욱이 주사선(DS)에 의해 선택되었을 때, 샘플링된 영상신호에 따라 화소회로(2)내에 포함되어 있는 발광소자를 구동한다. 더하여 화소회로(2)는 주사선(AZ)에 의해서 주사되었을 때, 미리 정해진 보정동작을 행한다.

상술한 화소 어레이(1)는 통상 유리 등의 절연기판상에 형성되어 있고, 플랫 패널로 되어 있다. 각 화소회로(2)는 아몰퍼스(amorphous) 실리콘 박막 트랜지스터(TFT) 또는 저온 폴리 실리콘 TFT로 형성되어 있다. 아몰퍼스(amorphous) 실리콘 TFT의 경우, 스캐너부는 패널과는 다른 TAB 등으로 구성되어, 플렉서블 케이블로 플랫 패널에 접속된다. 저온 폴리 실리콘 TFT의 경우, 신호부 및 스캐너부도 같은 저온 폴리 실리콘 TFT로 형성할 수 있으므로, 플랫 패널상에 화소 어레이부와 신호부와 스캐너부를 일체적으로 형성할 수 있다.

도 2는, 본 발명에 관계되는 표시장치의 제 1실시형태를 나타내는 회로도이다. 도시하는 바와 같이, 액티브 매트릭스 표시장치는 주요부가 되는 화소 어레이(1)와 주변의 회로부로 구성되어 있다. 주변의 회로부는 수평 실렉터(3), 라이트 스캐너(4), 드라이브 스캐너(5), 제 1보정용 스캐너(71), 제 2보정용 스캐너(72) 등을 포함하고 있다. 화소 어레이(1)는 행모양의 주사선(WS)과 열모양의 신호선(SL)과 양자의 교차하는 부분에 매트릭스모양으로 배열한 화소회로(2)로 구성되어 있다. 도면에서는 이해를 용이하게 하기 위하여, 1개의 화소회로(2)만을 확대 표시하고 있다. 신호선(SL)은 수평 실렉터(3)에 의해 구동된다. 수평 실렉터(3)는 신호부를 구성하고, 신호선(SL)에 영상신호를 공급한다. 주사선(WS)은 라이트 스캐너(4)에 의해 주사된다. 또한, 주사선(WS)과 평행으로 다른 주사선(DS, AZ1 및 AZ2)도 배선되어 있다. 주사선(DS)은 드라이브 스캐너(5)에 의해 주사된다. 주사선(AZ1)은 제 1보정용 스캐너(71)에 의해 주사된다. 주사선(AZ2)은 제 2보정용 스캐너(72)에 의해 주사된다. 라이트 스캐너(4), 드라이브 스캐너(5), 제 1보정용 스캐너(71) 및 제 2보정용 스캐너(72)는 스캐너부를 구성하고 있고, 1 수평 기간마다 화소의 행을 차례차례 주사한다. 각 화소회로(2)는 주사선(WS)에 의해 선택되었을 때 신호선(SL)으로부터 영상신호를 샘플링한다. 더욱이 주사선(DS)에 의해 선택되었을 때, 샘플링된 영상신호에 따라 화소회로(2)내에 포함되어 있는 발광소자(EL)를 구동한다. 더하여 화소회로(2)는 주사선(AZ1, AZ2)에 의해서 주사되었을 때, 미리 정해진 보정동작을 행한다.

화소회로(2)는, 5개의 박막 트랜지스터(Tr1~Tr4 및 Trd)와 2개의 용량 소자(Cs, Csub)와 1개의 발광소자(EL)로 구성되어 있다. 한쪽의 용량 소자(Cs)는 화소용량이다. 다른 쪽의 용량 소자(Csub)는 본 발명에 따라 특별히 설치된 추가용량이다. 또한, 도 2에서는 이해를 용이하게 하기 위하여 발광소자(EL)의 용량 성분을 용량 소자(Coled)로서 나타내고 있다. 트랜지스터(Tr1~Tr3와 Trd)는 N채널형의 폴리 실리콘 TFT이다. 트랜지스터(Tr4)만 P채널형의 폴리 실리콘 TFT이다. 상술한 바와 같이 용량 소자(Cs)는 본 화소회로(2)의 화소용량을 구성하고 있다. 발광소자(EL)는 예를 들면 양극 및 음극을 갖춘 다이오드형의 유기EL 소자이다. 단 본 발명은 이것으로 한정되는 것은 아니고, 발광소자는 일반적으로 전류구동으로 발광하는 모든 디바이스를 포함한다.

화소회로(2)의 중심이 되는 드라이브 트랜지스터(Trd)는 그 게이트 (G)가 화소용량(Cs)의 일단에 접속되고, 그 소스(S)가 같이 화소용량(Cs)의 타단에 접속되어 있다. 또 드라이브 트랜지스터(Trd)의 게이트(G)는 스위칭 트랜지스터(Tr2)를 통하여 기준 전위(Vss1)에 접속되어 있다. 드라이브 트랜지스터(Trd)의 드레인은 스위칭 트랜지스터(Tr4)를 통하여 전원전위(Vcc)에 접속되어 있다. 이 스위칭 트랜지스터(Tr2)의 게이트는 주사선(AZ1)에 접속되어 있다. 스위칭 트랜지스터(Tr4)의 게이트는 주사선(DS)에 접속해 있다. 발광소자(EL)의 양극은 드라이브 트랜지스터(Trd)의 소스(S)에 접속하고, 음극은 접지되어 있다. 이 접지전위는 Vcath로 나타내지는 경우가 있다. 또, 드라이브 트랜지스터(Trd)의 소스(S)와 소정의 기준 전위(Vss2)의 사이에 스위칭 트랜지스터(Tr3)가 개재하고 있다. 이 트랜지스터(Tr3)의 게이트는 주사선(AZ2)에 접속해 있다. 한편 샘플링 트랜지스터(Tr1)는 신호선(SL)과 드라이브 트랜지스터(Trd)의 게이트(G)의 사이에 접속되어 있다. 샘플링 트랜지스터(Tr1)의 게이트는 주사선(WS)에 접속해 있다. 추가용량(Csub)은 한쪽의 단자가 발광소자(EL)의 양극에 접속하는 한편, 다른 쪽의 단자가 접지되어 있다. 따라서 본 실시형태에서는, 추가용량(Csub)이 발광소자의 용량 성분(Coled)과 병렬로 접속되어 있다.

이러한 구성에 있어서, 샘플링 트랜지스터(Tr1)는, 주사선(WS)으로부터 공급되는 제어신호(WS)에 따라 도통하여 신호선(SL)으로부터 공급된 영상신호(Vsig)를 화소용량(Cs)으로 샘플링한다. 화소용량(Cs)은, 샘플링된 영상신호(Vsig)에 따라 드라이브 트랜지스터(Trd)의 게이트(G)에 입력전압(Vgs)을 인가한다. 드라이브 트랜지스터(Trd)는, 입력전압(Vgs)에 따른 출력전류(Ids)를 발광소자(EL)에 공급한다. 또한 이 출력전류(드레인 전류)(Ids)는 드라이브 트랜지스터(Trd)의 채널 영역의 캐리어 이동도(μ)에 대하여 의존성을 가진다. 발광소자(EL)는, 드라이브 트랜지스터(Trd)로부터 공급된 출력전류(Ids)에 의해 영상신호(Vsig)에 따른 휘도로 발광한다.

본 발명의 특징 사항으로서, 화소회로(2)는 스위칭 트랜지스터(Tr2~Tr4)로 구성되는 보정수단을 갖추고 있고, 출력전류(Ids)의 캐리어 이동도(μ)에 대한 의존성을 취소하기 위하여, 화소용량(Cs)으로 샘플링되는 입력전압(Vgs)을 보정한다. 구체적으로는 이 보정수단(Tr2~Tr4)은, 주사선(AZ1, AZ2) 등으로부터 공급되는 제어신호(AZ1, AZ2) 등에 따라 동작하고, 드라이브 트랜지스터(Trd)로부터 출력전류(Ids)를 인출하여, 이것을 발광소자(EL)가 가지는 용량(Coled) 및 화소용량(Cs)에 유입하도록 하여 입력전압(Vgs)을 보정한다. 그때 본 화소회로(2)는 발광소자(EL)의 용량(Coled)에 더해지는 추가용량(Csub)를 갖추고 있고, 드라이브 트랜지스터(Trd)로부터 인출된 출력전류(Ids)의 일부를 추가용량(Csub)에도 흘려, 그것에 의해 보정수단(Tr2~Tr4)의 동작에 시간적인 여유를 주고 있다. 보정수단(Tr2~Tr4)은, 영상신호(Vsig)가 화소용량(Cs)으로 샘플링되고 있는 상태에서 드라이브 트랜지스터(Trd)로부터 출력전류(Ids)를 인출하고, 이것을 화소용량(Cs)에 부귀환하여 입력전압(Vgs)을 보정하고 있다.

본 실시형태의 경우, 드라이브 트랜지스터(Trd)는, 그 출력전류(Ids)가 채널 영역의 캐리어 이동도(μ)에 대하여 임계전압(Vth)에 대해서도 의존성을 가진다. 보정수단(Tr2~Tr4)은, 출력전류(Ids)의 임계전압(Vth)에 대한 의존성을 취소하기 위하여, 미리 드라이브 트랜지스터(Trd)의 임계전압(Vth)을 검출하고, 동시에 검출된 임계전압(Vth)을 입력전압(Vgs)에 채워 넣도록 하고 있다.

도 3은, 각 화소회로(2)를 구성하는 박막 트랜지스터(TFT), 화소용량(Cs) 및 추가용량(Csub)의 레이아웃을 나타내는 모식적인 평면도이다. 도 3a는 추가용량(Csub)을 형성하지 않을 경우를 나타내고 있고, 도 3b는 본 발명에 따라서 추가용량(Csub)을 형성했을 경우를 나타내고 있다. 샘플링 트랜지스터(Tr1), 드라이브 트랜지스터(Trd) 및 보정수단(Tr2~Tr4)은, 절연기판상에 형성된 박막 트랜지스터(TFTs)로 구성되고, 화소용량(Cs)과 추가용량(Csub)은 같이 절연기판상에 형성된 박막 용량 소자로 구성된다. 도시의 예에서는, 추가용량(Csub)의 한쪽의 단자는 양극 접점을 통하여 화소용량(Cs)에 접속하는 한편, 다른 쪽의 단자는 소정의 고정전위에 접속되어 있다. 이 고정전위는, 발광소자(EL)의 음극 측이 되는 접지전위(Vcath), 화소회로(2)의 정측 전원전위(Vcc) 또는 부측 전원전위(Vss) 등에서 선택된다. 도 2에 나타낸 실시형태에서는 추가용량(Csub)의 다른 쪽의 단자는 접지전위에 접속되어 있다. 또한 도 3에 나타낸 화소회로(2)는 적층 구조로 되어 있고, 하층에 TFTs, Cs, Csub 등이 형성되어 있다. 상층에 발광소자(EL)가 접속되어 있다. 이해를 용이하게 하기 위하여, 도 3에서는 상층의 발광소자(EL)가 빠져 있다. 실제로는, 발광소자(EL)는 양극 접점을 통하여 화소회로(2) 측에 접속하게 된다.

도 4는, 도 2에 나타낸 표시장치로부터 화소회로(2)의 부분을 인출한 모식도이다. 이해를 용이하게 하기 위하여 샘플링 트랜지스터(Tr1)에 의해 샘플링되는 영상신호(Vsig)나, 드라이브 트랜지스터(Trd)의 입력전압(Vgs) 및 출력전류(Ids), 또는 발광소자(EL)가 가지는 용량 성분(Coled)이나 추가용량(Csub) 등을 추가 기입하고 있다. 이하 도 4에 의거하여, 본 화소회로(2)의 기본적인 동작을 설명한다.

도 5는, 도 4에 나타낸 화소회로의 타이밍 차트이다. 도 5를 참조하여, 도 4에 나타낸 화소회로의 동작을 보다 구체적이고 도 상세히 설명한다. 도 5는, 시간축(T)에 따라서 각 주사선(WS, AZ1, AZ2 및 DS)에 인가되는 제어신호의 파형을 나타내고 있다. 표기를 간략화하기 위하여, 제어신호도 대응하는 주사선의 부호와 같은 부호로 나타내고 있다. 트랜지스터(Tr1, Tr2, Tr3)는 N채널형이므로, 주사선(WS, AZ1, AZ2)이 각각 하이 레벨일 때 온하고, 로우 레벨일 때 오프한다. 한편 트랜지스터(Tr4)는 P채널형이므로, 주사선(DS)이 하이 레벨일 때 오프하고, 로우 레벨일 때 온한다. 또한 이 타이밍 차트는, 각 제어신호(WS, AZ1, AZ2, DS)의 파형과 함께, 드라이브 트랜지스터(Trd)의 게이트(G)의 전위 변화 및 소스(S)의 전위 변화도 나타내고 있다.

도 5의 타이밍 차트에서는 타이밍(T1~T8)까지를 1 필드(1f)로 하고 있다. 1 필드의 사이에 화소 어레이의 각 행이 1회 차례차례 주사된다. 타이밍 차트는, 1행분의 화소에 인가되는 각 제어신호(WS, AZ1, AZ2, DS)의 파형을 나타내고 있다.

해당 필드가 시작되기 전의 타이밍(T0)에서, 모든 제어신호(WS, AZ1, AZ2, DS)가 로우 레벨에 있다. 따라서 N채널형의 트랜지스터(Tr1, Tr2, Tr3)는 오프 상태에 있는 한편, P채널형의 트랜지스터(Tr4)만 온 상태이다. 따라서 드라이브 트랜지스터(Trd)는 온 상태의 트랜지스터(Tr4)를 통하여 전원(Vcc)에 접속하고 있으므로, 소정의 입력전압(Vgs)에 따라 출력전류(Ids)를 발광소자(EL)에 공급하고 있다. 따라서 타이밍(T0)에서 발광소자(EL)는 발광하고 있다. 이 때 드라이브 트랜지스터(Trd)에 인가되는 입력전압(Vgs)은, 게이트 전위(G)와 소스 전위(S)의 차로 나타내진다.

해당 필드가 시작되는 타이밍(T1)에서, 제어신호(DS)가 로우 레벨에서 하이 레벨로 교체된다. 이것에 의해 트랜지스터(Tr4)가 오프하고, 드라이브 트랜지스터(Trd)는 전원(Vcc)으로부터 분리되므로, 발광이 정지하고 비발광 기간에 들어간다. 따라서 타이밍(T1)에 들어가면, 모든 트랜지스터(Tr1~Tr4)가 오프 상태로 된다.

계속해서 타이밍(T2)으로 진행하면, 제어신호(AZ1 및 AZ2)가 하이 레벨로 되므로, 스위칭 트랜지스터(Tr2 및 Tr3)가 온 한다. 이 결과, 드라이브 트랜지스터(Trd)의 게이트(G)가 기준 전위(Vss1)에 접속하고, 소스(S)가 기준 전위(Vss2)에 접속된다. 여기서 $Vss1 - Vss2 > Vth$ 를 만족시키고 있고, $Vss1 - Vss2 = Vgs > Vth$ 라고 하는 것으로, 그 후 타이밍(T3)에서 행해지는 Vth 보정의 준비를 행한다. 환언하면 기간(T2-T3)은, 드라이브 트랜지스터(Trd)의 리셋 기간에 상당한다. 또, 발광소자(EL)의 임계전압을 Vth_{EL} 이라고 하면, $Vth_{EL} > Vss2$ 로 설정되어 있다. 이것에 의해, 발광소자(EL)에는 마이너스 바이어스가 인가되어, 이른바 역바이어스 상태로 된다. 이 역바이어스 상태는, 후에 행하는 Vth 보정동작 및 이동도 보정동작을 정상적으로 행하기 위하여 필요하다.

타이밍(T3)에서는 제어신호(AZ2)를 로우 레벨로 하고 또한 직후 제어신호(DS)도 로우 레벨로 하고 있다. 이것에 의해 트랜지스터(Tr3)가 오프하는 한편 트랜지스터(Tr4)가 온한다. 이 결과 드레인 전류(Ids)가 화소용량(Cs)에 유입하고, Vth 보정동작을 개시한다. 이 때 드라이브 트랜지스터(Trd)의 게이트(G)는 $Vss1$ 로 유지되어 있고, 드라이브 트랜지스터(Trd)가 컷오프하기까지 전류(Ids)가 흐른다. 컷오프하면 드라이브 트랜지스터(Trd)의 소스 전위(S)는 $Vss1 - Vth$ 로 된다. 드레인 전류가 컷오프한 후의 타이밍(T4)에서 제어신호(DS)를 다시 하이 레벨로 되돌려, 스위칭 트랜지스터(Tr4)를 오프한다. 더욱이 제어신호(AZ1)도 로우 레벨로 되돌려, 스위칭 트랜지스터(Tr2)도 오프한다. 이 결과, 화소용량(Cs)에 Vth 가 유지 고정된다. 이와 같이 타이밍(T3-T4)은 드라이브 트랜지스터(Trd)의 임계전압(Vth)을 검출하는 기간이다. 여기에서는, 이 검출기간(T3-T4)을 Vth 보정기간이라고 부르고 있다.

이와 같이 Vth 보정을 행한 후 타이밍(T5)에서 제어신호(WS)를 하이 레벨로 바꾸고, 샘플링 트랜지스터(Tr1)를 온하여 영상신호(Vsig)를 화소용량(Cs)에 기입한다. 발광소자(EL)의 등가 용량(Coled)에 비교하여 화소용량(Cs)은 충분히 작다. 이 결과, 영상신호(Vsig)의 거의 대부분이 화소용량(Cs)에 기입된다. 정확하게는, $Vss1$ 에 대한다. $Vsig$ 의 차분($Vsig - Vss1$)이 화소용량(Cs)에 기입된다. 따라서 드라이브 트랜지스터(Trd)의 게이트(G)와 소스(S)간의 전압(Vgs)은, 먼저 검출 유지된 Vth 와 이번 샘플링된 $Vsig - Vss1$ 을 더한 레벨($Vsig - Vss1 + Vth$)로 된다. 이후 설명 간이화를 위하여 $Vss1 = 0V$ 라고 하면, 게이트 / 소스간 전압(Vgs)은 도 5의 타이밍 차트에 나타내는 바와 같이 $Vsig + Vth$ 가 된다. 이러한 영상신호(Vsig)의 샘플링은 제어신호(WS)가 로우 레벨로 되돌아오는 타이밍(T7)까지 행해진다. 즉 타이밍(T5-T7)이 샘플링 기간에 상당한다.

샘플링 기간의 종료하는 타이밍(T7)보다 전의 타이밍(T6)에서 제어신호(DS)가 로우 레벨로 되어 스위칭 트랜지스터(Tr4)가 온한다. 이것에 의해 드라이브 트랜지스터(Trd)가 전원(Vcc)에 접속되므로, 화소회로는 비발광 기간에서 발광 기간으로 진행한다. 이와 같이 샘플링 트랜지스터(Tr1)가 아직 온 상태에서 또한 스위칭 트랜지스터(Tr4)가 온 상태로 들어간 기간(T6-T7)에서, 드라이브 트랜지스터(Trd)의 이동도 보정을 행한다. 즉 본 실시형태에서는, 샘플링 기간의 후부분과 발광 기간의 선두부분이 겹치는 기간(T6-T7)에서 이동도 보정을 행하고 있다. 또한, 이 이동도 보정을 행하는 발광 기간의 선두에서는, 발광소자(EL)는 실제로는 역바이어스 상태에 있으므로 발광하는 일은 없다. 이 이동도 보정기간(T6-T7)에서는, 드라이브 트랜지스터(Trd)의 게이트(G)가 영상신호(Vsig)의 레벨로 고정된 상태에서, 드라이브 트랜지스터(Trd)에 드레인 전류(Ids)가 흐른다. 여기서 $V_{ss1} - V_{th} < V_{thEL}$ 이라고 설정해 놓는 것으로, 발광소자(EL)는 역바이어스 상태에 놓여지기 때문에, 다이오드 특성은 아니고 단순한 용량 특성을 나타내도록 된다. 그래서 드라이브 트랜지스터(Trd)에 흐르는 전류(Ids)는 화소용량(CS)과 발광소자(EL)의 등가 용량(Coled)과 추가용량(Csub)의 3자를 결합한 용량($C = Cs + Coled + Csub$)으로 기입되어 간다. 이것에 의해 드라이브 트랜지스터(Trd)의 소스 전위(S)는 상승해 간다. 도 5의 타이밍 차트에서는 이 상승분을 ΔV 로 나타내고 있다. 이 상승분 ΔV 는 결국 화소용량(Cs)에 보관 유지된 게이트 / 소스 간 전압(Vgs)에서 공제되는 것이 되므로, 부귀환을 견 것으로 된다. 이와 같이 드라이브 트랜지스터(Trd)의 출력전류(Ids)를 같이 드라이브 트랜지스터(Trd)의 입력전압(Vgs)에 부귀환하는 것으로, 이동도(μ)를 보정하는 것이 가능하다. 또한 부귀환량 ΔV 는 이동도 보정기간(T6-T7)의 시간폭(t)을 조정하는 것으로 최적화 가능하다.

타이밍(T7)에서는 제어신호(WS)가 로우 레벨로 되어 샘플링 트랜지스터(Tr1)가 오프한다. 이 결과 드라이브 트랜지스터(Trd)의 게이트(G)는 신호선(SL)에서 분리된다. 영상신호(Vsig)의 인가가 해제되므로, 드라이브 트랜지스터(Trd)의 게이트 전위(G)는 상승 가능하게 되고, 소스 전위(S)와 함께 상승해 간다. 그 사이 화소용량(Cs)에 보관 유지된 게이트 / 소스 간 전압(Vgs)은 $(Vsig - \Delta V + V_{th})$ 의 값을 유지한다. 소스 전위(S)의 상승에 따라, 발광소자(EL)의 역바이어스 상태는 해소되므로, 출력전류(Ids)의 유입에 의해 발광소자(EL)는 실제로 발광을 개시한다. 이 때의 드레인 전류(Ids) 대 게이트 전압(Vgs)의 관계는, 앞의 트랜지스터 특성식 1의 $V_{gs} = V_{sig} - \Delta V + V_{th}$ 를 대입하는 것으로, 이하의 식 2와 같이 주어진다.

$$Ids = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - \Delta V)^2 \dots \text{식 2}$$

상기 식 2에 있어서, $k = (1/2)(W/L)Cox$ 이다. 이 특성식 2로부터 V_{th} 의 항이 취소되어 있고, 발광소자(EL)에 공급되는 출력전류(Ids)는 드라이브 트랜지스터(Trd)의 임계전압(V_{th})에 의존하지 않는 것을 알 수 있다. 기본적으로 드레인 전류(Ids)는 영상신호의 신호 전압(V_{sig})에 의해 정해진다. 환언하면, 발광소자(EL)는 영상신호(Vsig)에 따른 휘도로 발광하는 것으로 된다. 그때 V_{sig} 는 귀환량 ΔV 로 보정되고 있다. 이 보정량 ΔV 는 꼭 특성식 2의 계수부에 위치하는 이동도(μ)의 효과를 부정하도록 작용한다. 따라서, 드레인 전류(Ids)는 실질적으로 영상신호(Vsig)에만 의존하는 것으로 된다.

최후의 타이밍(T8)에 이르면 제어신호(DS)가 하이 레벨로 되어 스위칭 트랜지스터(Tr4)가 오프하고, 발광이 종료하는 동시에 당해 필드가 끝난다. 이 후차의 필드로 옮겨 재차 V_{th} 보정동작, 이동도 보정동작 및 발광 동작이 반복되는 것으로 된다.

도 6은, 이동도 보정기간(T6-T7)에 있어서의 화소회로(2)의 상태를 나타내는 회로도이다. 도시하는 바와 같이, 이동도 보정기간(T6-T7)에서는, 샘플링 트랜지스터(Tr1) 및 스위칭 트랜지스터(Tr4)가 온하고 있는 한편, 나머지의 스위칭 트랜지스터(Tr2 및 Tr3)가 오프하고 있다. 이 상태에서 드라이브 트랜지스터(Trd)의 소스 전위(S)는 $V_{ss1} - V_{th}$ 이다. 이 소스 전위(S)는 발광소자(EL)의 양극 전위이기도 하다. 상술한 바와 같이 $V_{ss1} - V_{th} < V_{thEL}$ 이라고 설정해 놓는 것으로, 발광소자(EL)는 역바이어스 상태로 놓아지고, 다이오드 특성은 아니고 단순한 용량 특성을 나타내는 것으로 된다. 그래서 드라이브 트랜지스터(Trd)에 흐르는 전류(Ids)는 화소용량(CS)과 발광소자(EL)의 등가 용량(Coled)과 추가용량(Csub)의 합성 용량($C = Cs + Coled + Csub$)에 유입하게 된다. 환언하면, 드레인 전류(Ids)의 일부가 화소용량(Cs)에 부귀환되어, 이동도의 보정이 행해진다

도 7은 상술한 트랜지스터 특성식 2를 그래프화한 것이며, 세로축에 Ids 를 잡고 횡축에 V_{sig} 를 잡고 있다. 이 그래프의 아래쪽에 특성식 2도 맞추어 나타내고 있다. 도 7의 그래프는, 화소 1과 화소 2를 비교한 상태에서 특성 커브를 그리고 있다. 화소 1의 드라이브 트랜지스터의 이동도(μ)는 상대적으로 크다. 반대로 화소 2에 포함되는 드라이브 트랜지스터의 이동도(μ)는 상대적으로 작다. 이와 같이 드라이브 트랜지스터를 폴리 실리콘 박막 트랜지스터 등으로 구성했을 경우, 화소간에서 이동도(μ)가 흐트러지는 것은 피할 수 없다. 예를 들면 양화소 1, 2에 동레벨의 영상신호(Vsig)를 기입했을 경우, 아무

런 이동도의 보정을 행하지 않으면, 이동도(μ)가 큰 화소 1에 흐르는 출력전류(Ids1')는, 이동도(μ)가 작은 화소 2에 흐르는 출력전류(Ids2')에 비교하여 큰 차가 발생해 버린다. 이와 같이 이동도(μ)의 흐트러짐에 기인하여 출력전류(Ids)의 사이에 큰 차가 발생하므로, 화면의 균일성을 손상하는 것으로 된다.

그래서 본 발명에서는 출력전류를 입력전압 측에 부귀환시키는 것으로 이동도의 흐트러짐을 소멸시키고 있다. 트랜지스터 특성식으로부터 분명한 바와 같이, 이동도가 크면 드레인 전류(Ids)가 커진다. 따라서 부귀환량 ΔV 는 이동도가 큰 만큼 커진다. 도 7의 그래프에 나타내는 바와 같이, 이동도(μ)가 큰 화소 1의 부귀환량 ΔV_1 은 이동도가 작은 화소 2의 부귀환량 ΔV_2 에 비교하여 크다. 따라서, 이동도(μ)가 큰 만큼 부귀환이 크게 걸리는 것으로 되어, 흐트러짐을 억제하는 것이 가능하다. 도시하는 바와 같이, 이동도(μ)가 큰 화소 1로 ΔV_1 의 보정을 걸면, 출력전류는 Ids1'부터 Ids1까지 크게 하강한다. 한편 이동도(μ)가 작은 화소 2의 보정량 ΔV_2 는 작기 때문에, 출력전류(Ids2')는 Ids2까지 그 정도 크게 하강하지 않는다. 결과적으로, Ids1과 Ids2는 거의 같아져, 이동도의 흐트러짐이 소멸된다. 이 이동도의 흐트러짐의 소멸은 흑 레벨부터 백 레벨까지 V_{sig} 의 전범위에서 행해지므로, 화면의 균일성은 극히 높아진다. 이상을 정리하면, 이동도가 다른 화소 1과 2가 있었을 경우, 이동도가 큰 화소 1의 보정량 ΔV_1 은 이동도가 작은 화소 2의 보정량 ΔV_2 에 대하여 작아진다. 즉 이동도가 큰 만큼 ΔV 가 크고 Ids의 감소치는 커진다. 이것에 의해 이동도가 다른 화소 전류치는 균일화되어, 이동도의 흐트러짐을 보정할 수 있다.

이하 도 8을 참조하여, 상술한 이동도 보정의 수치 해석을 행한다. 도 8에 나타내는 바와 같이, 트랜지스터(Tr1 및 Tr4)가 온한 상태에서, 드라이브 트랜지스터(Trd)의 소스 전위를 변수(V)로 잡고 해석을 행한다. 드라이브 트랜지스터(Trd)의 소스 전위(S)를 V라고 하면, 드라이브 트랜지스터(Trd)를 흐르는 드레인 전류(Ids)는 이하의 식 3에 나타내는 대로이다.

[수 1]

$$I_{ds} = k\mu (V_{gs} - V_{th})^2 = k\mu (V_{sig} - V - V_{th})^2 \quad \dots \text{식 3}$$

또 드레인 전류(IdS)와 용량($C = Cs + Coled + Csub$)의 관계에 의해, 이하의 식 4에 나타내는 바와 같이 $Ids = dQ / dt = CdV / dt$ 가 성립한다.

[수 2]

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \text{에서 } \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dv \quad \dots \text{식 4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu (V_{sig} - V_{th} - V)^2} dv$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

식 4에 식 3을 대입하여 양변 적분한다. 여기서, 소스 전압(V) 초기상태는 $-V_{th}$ 이며, 이동도 흐트러짐 보정시간($T6T7$)을 t로 한다. 이 미분 방정식을 풀면, 이동도 보정시간(t)에 대한 화소전류가 이하의 수식 5와 같이 주어진다.

[수 3]

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \dots \text{식 5}$$

도 9는, 식 5를 그래프화한 도면이며, 세로축에 출력전류(I_{ds})를 잡고, 횡축에 영상신호(V_{sig})를 잡고 있다. 파라미터로서 이동도 보정기간($t=0\text{us}$, 2.5us 및 5us)의 경우를 설정하고 있다. 더욱이 이동도(μ)도 파라미터로서 비교적 큰 경우(1.2μ)와 비교적 작은 경우(0.8μ)를 파라미터로 잡고 있다. 더하여, C 는 $C_s + C_{oled}$ 만으로 C_{sub} 는 0으로 하고 있다. $t=0\text{us}$ 로 해서 실질적으로 이동도 보정을 걸지 않는 경우에 비교하여, $t=2.5\text{us}$ 에서는 이동도 흐트러짐에 대한 보정이 충분히 걸려 있는 것을 알 수 있다. 이동도 보정 없이는 I_{ds} 에 40%의 흐트러짐이 있던 것이, 이동도 보정을 걸면 10% 이하로 억제된다. 단 $t=5\text{us}$ 로 해서 보정기간을 길게 하면 역으로 이동도(μ)의 차이에 의한 출력전류(I_{ds})의 흐트러짐이 커져 버린다. 이와 같이, 적절한 이동도 보정을 걸기 위하여, t 는 최적인 값으로 설정할 필요가 있다. 도 9에 나타낸 그래프의 경우, 최적치는 $t=2.5\text{us}$ 의 부근이다. 그렇지만, 트랜지스터의 게이트에 인가되는 제어신호(게이트 펄스)의 지연 등을 생각하면, $t=2.5\text{us}$ 는 반드시 타당한 것은 아니고, 트랜지스터의 동작 특성으로부터 생각하면, t 는 보다 긴 편이 좋다. 여기서 상술의 식 5를 보면, t 는 t / C 로서 식 중에 포함되어 있는 것을 알 수 있다. 따라서, 식 5의 우변에 영향을 주지 않고 t 를 크게 하기 위해서는, t / C 의 값을 일정하게 유지하면서, C 의 값을 크게 하면 좋게 된다. 이 때문에, 본 발명에서는 용량(C)을 구성하는 화소용량(C_s)과 발광소자 용량(C_{oled})에 더하여 추가용량(C_{sub})을 화소회로 중에 도입하고 있다. 이 C_{sub} 를 더함으로 총 용량(C)의 값을 커지고, 그 만큼 t 도 연장할 수 있어, 화소회로에 포함되는 보정수단의 시간적인 동작 마진을 넓히는 것이 가능하게 된다.

이상 설명한 바와 같이, 이동도 보정기간에 있어서는, 도 5의 타이밍 차트에 나타낸 대로, 게이트 전위를 고정한 상태에서 드라이브 트랜지스터(Trd)에 출력전류(I_{ds})를 흘려, 화소용량(C_s)이나 발광소자 용량(C_{oled})에 전하를 기입한다. 그 출력전류(I_{ds})의 값은 식 5에 나타낸 대로이며, V_{th} 의 항을 포함하지 않으므로 V_{th} 의 영향을 받지 않고 이동도의 보정을 행할 수 있다. 즉, 식 5의 우변의 분모에 이동도(μ)를 포함하는 항을 가지고 있어, 이동도(μ)가 클 경우는 출력전류(I_{ds})가 작아지고, 역으로 이동도(μ)가 작을 경우는 출력전류(I_{ds})가 커짐으로, 이동도 흐트러짐의 보정이 행해진다.

식 5의 이동도 보정항에서는 t / C 를 포함하고 있다. t 는 상술한 바와 같이 이동도 보정 시간이며, C 는 화소용량(C_s)이나 발광소자 용량(C_{oled}) 등의 합성 용량으로 구성된다. 여기서 이동도 보정 시간(t)과 출력전류를 흐트러짐의 관계는 도 9의 그래프에 나타낸 대로이다. 상술한 바와 같이, 이동도 보정 시간(t)은 너무 짧아도, 너무 길어도 보정 효과가 불충분하게 되는 것을 알 수 있다. 도 9의 그래프에서는 예를 들면 $t=2.5\text{us}$ 가 거의 최적 레벨이다. 한편으로 게이트 펄스의 지연 등을 생각하면 $t=2.5\text{us}$ 는 너무 짧은 경우가 많고, 이동도 보정 시간(t)을 정확하게 컨트롤하는 것은 사실상 곤란하다.

그래서 본 발명에서는, 상술의 이동도 보정 조정을 용이하게 하기 위하여, 이동도 보정에 이용되는 용량(C)을 증가시키고 있다. 용량(C)을 증가시키기 위해서는, 발광소자 용량(C_{oled}) 또는 화소용량(C_s)을 크게 하든가, 혹은 추가용량(C_{sub})을 마련하는 것이 생각된다. 여기서 발광소자 용량(C_{oled})은, 화소 사이즈와 화소 개구율에 더하여 발광소자를 구성하는 유기EL 재료 등의 기본 특성에 의해 결정되고, 단순하게 증가시키는 것은 용이하지는 않다. 또 화소용량(C_s)을 증가시켜 버리면, 신호 전압 기입시에 양극 전위의 상승이 커진다. 구체적으로는, 양극 전위의 상승분은 $C_s / (C_s + C_{oled}) \times \Delta V$ 에서 결정된다. 따라서 $C_{oled} / (C_s + C_{oled})$ 로 나타내지는 입력 신호 전압 계인이 저하해 버린다. 이 입력전압 계인의 저하를 보충하기 위해서는 영상신호의 진폭 레벨을 크게 하지 않으면 안되어, 그 만큼 드라이브 측에 부담이 걸린다. 그래서 본 발명에서는, 용량(C)을 증가시키기 위하여, TFT가 집적 형성되고 있는 절연기판상에 추가용량(C_{sub})을 형성하여, 이것을 C_{oled} 와 병렬로 접속한다. 이것에 의해, 입력 계인 ($C_{oled} + C_{sub}$) / ($C_s + C_{oled} + C_{sub}$)를 올리면서, 총 용량(C)의 값을 크게 할 수 있고, 최적한 이동도 보정 시간(t)을 길게 설정할 수 있도록 되어, 이동도 보정 시간 설정의 마진을 올릴 수 있다. 또한 제 1실시형태의 화소회로에서는 드라이브 트랜지스터(Trd)를 N채널형으로 하고, 이것 이외의 스위칭 트랜지스터는 N채널형과 P채널형을 혼재하여 이용하고 있지만, 각 트랜지스터의 특성은 N채널로도 P채널로도 상관없다.

도 10은, 도 2에 나타낸 제 1실시형태의 변형예를 나타내는 회로도이다. 제 1실시형태의 경우, 추가용량(C_{sub})의 한쪽의 단자는 발광소자(EL)의 양극에 접속하고, 다른 쪽의 단자는 발광소자(EL)의 음극측과 같은 접지전위(V_{cath})에 접속되고 있다. 이것에 대해 본 변형예는 추가용량(C_{sub})의 한쪽의 단자가 전원전위(V_{cc})에 접속되고 있다. 이와 같이 본 발명은 추가용량(C_{sub})의 다른 쪽의 단자가 고정전위에 접속되어 있으면 좋다. 이 고정전위는, 발광소자(EL)의 음극 측으로 되는

접지전위(Vcath), 화소회로(2)의 정측 전원전위(Vcc) 또는 부측 전원전위로부터 적당히 선택할 수 있다. 경우에 따라서는, 추가용량(Csub)을 화소용량(CS)과 병렬로 작성해도, 총 용량(C)을 증가할 수 있다. 그렇지만 이 경우는 상술한 바와 같이 화소용량(CS)과 추가용량(Csub)을 병렬로 접속함으로 입력 신호의 게인이 저하해 버린다. 따라서 화소용량(CS)과 병렬로 추가용량(Csub)을 접속하지 않는 편이 바람직하다.

도 11은, 본 발명에 관계되는 표시장치의 제2 실시형태를 나타내는 블록도이다. 이해를 용이하게 하기 위하여 도 2에 나타낸 제 1실시형태와 대응하는 부분에는 대응하는 참조번호를 사용하고 있다. 본 표시장치는, 화소 어레이(1)와 이것을 둘러싸는 주변의 회로로 구성되어 있다. 주변 회로는, 수평 실렉터(3)와 라이트 스캐너(4)와 드라이브 스캐너(5)와 제 1보정용 스캐너(71)와 제 2보정용 스캐너(72)를 포함한다. 화소 어레이(1)는 매트릭스모양으로 배열한 화소회로(2)로 구성되어 있다. 도면에서는 이해를 용이하게 하기 위하여 1개의 화소회로(2)만을 나타내 있다. 화소회로(2)는 6개의 트랜지스터(Tr1, Trd, Tr3~Tr6)와, 3개의 용량 소자(Cs1, Cs2, Csub)와 1개의 발광소자(EL)로 구성되어 있다. 트랜지스터는 모두 N채널형이다. 본 화소회로(2)의 주요부가 되는 드라이브 트랜지스터(Trd)는, 그 게이트(G)가 각 용량 소자(Cs1, Cs2)의 일단에 접속되어 있다. 한쪽의 용량 소자(Cs1)는 본 화소회로(2)의 출력측과 입력측을 잇는 결합 용량이다. 다른 쪽의 용량 소자(Cs2)는 결합 용량(Cs1)을 통하여 영상신호가 기입되는 화소용량이다. 드라이브 트랜지스터(Trd)의 소스(S)는 화소용량(Cs2)의 타단에 접속하는 동시에, 발광소자(EL)에 접속해 있다. 발광소자(EL)는 다이오드형의 디바이스이며, 그 양극이 드라이브 트랜지스터(Trd)의 소스(S)에 접속하는 한편, 음극(K)이 접지전위(Vcath)에 접속되어 있다. 용량 소자(Csub)는 본 발명에 따라서 추가한 추가용량이며, 드라이브 트랜지스터(Trd)의 소스(S)와 접지전위(Vcath)의 사이에 접속되어 있다. 또 드라이브 트랜지스터(Trd)의 소스(S)와 소정의 기준 전위(Vss2)의 사이에 스위칭 트랜지스터(Tr3)가 개재해 있다. 이 트랜지스터(Tr3)의 게이트는 주사선(AZ2)에 접속해 있다. 드라이브 트랜지스터(Trd)의 드레인은 스위칭 트랜지스터(Tr4)를 통하여 전원(Vcc)에 접속되어 있다. 스위칭 트랜지스터(Tr4)의 게이트는 주사선(DS)에 접속해 있다. 더하여 드라이브 트랜지스터(Trd)의 게이트(G)와 드레인의 사이에 스위칭 트랜지스터(Tr5)가 개재해 있다. 이 트랜지스터(Tr5)의 게이트는 주사선(AZ1)에 접속해 있다. 한편 입력측의 샘플링 트랜지스터(Tr1)는 신호선(SL)과 결합 용량(Cs1)의 타단과의 사이에 접속되어 있다. 샘플링 트랜지스터(Tr1)의 게이트는 주사선(WS)에 접속되어 있다. 결합 용량(Cs1)의 타단과 소정의 기준 전위(Vss1)와의 사이에 트랜지스터(Tr6)가 개재해 있다. 이 트랜지스터(Tr6)의 게이트는 주사선(AZ1)에 접속해 있다.

도 12는, 도 11에 나타낸 화소회로의 동작 설명에 제공하는 타이밍 차트이다. 시간축(T)에 따라서 제어신호(WS, DS, AZ1, AZ2)의 파형을 나타내는 동시에, 드라이브 트랜지스터(Trd)의 게이트 전위(G) 및 소스 전위(S)의 변화도 나타내고 있다. 당해 필드가 개시하는 타이밍(T1)에서는, 제어신호(WS, AZ1, AZ2)가 로우 레벨로, 제어신호(DS)만이 하이레벨이다. 따라서, 타이밍(T1)에서는 스위칭 트랜지스터(Tr4)만이 온 상태에 있고, 나머지의 트랜지스터(Tr1, Tr3, Tr5, Tr6)는 오프 상태에 있다. 이 때 드라이브 트랜지스터(Trd)는 온 상태에 있는 스위칭 트랜지스터(Tr4)를 통하여 전원(Vcc)에 접속되어 있으므로, 소정의 드레인 전류(Ids)가 발광소자(EL)에 흐르기 때문에, 발광 상태로 되어 있다.

타이밍(T2)이 되면 제어신호(AZ1와 AZ2)가 하이 레벨로 되고, 스위칭 트랜지스터(Tr5, Tr6)가 온한다. 드라이브 트랜지스터(Trd)의 게이트(G)는 트랜지스터(Tr5)를 통하여 전원(Vcc) 측에 접속하므로, 게이트 전위(G)는 급격하게 상승한다.

이후 타이밍(T3)에서 제어신호(DS)가 로우 레벨로 되고, 트랜지스터(Tr4)가 오프한다. 드라이브 트랜지스터(Trd)에 대한 전원 공급이 차단되므로, 드레인 전류(Ids)는 감쇠해 간다. 이것에 의해 소스 전위(S) 및 게이트 전위(G)는 함께 하강하지만, 꼭 양자의 전위차가 V_{th} 로 되었다 해도 전류가 흐르지 않게 된다. 이때의 V_{th} 가 화소용량(Cs2)에 보관 유지된다. 화소용량(Cs2)에 보관 유지된 V_{th} 는 드라이브 트랜지스터(Trd)의 임계전압의 소멸에 이용된다. 또, 스위칭 트랜지스터(Tr3)는 온하고 있고, 드라이브 트랜지스터(Tr2)의 소스(S)는 트랜지스터(Tr3)를 통하여 기준 전위(Vss2)에 접속된다. 이 V_{ss2} 는 발광소자(EL)의 임계전압보다도 낮게 설정되어 있고, 발광소자(EL)는 역바이어스 상태로 놓여진다.

이후 타이밍(T4)이 되었을 때 제어신호(AZ1)가 로우 레벨로 되고, 트랜지스터(Tr5, Tr6)가 오프하고, Cs2에 기입된 V_{th} 가 고정된다. 타이밍 T2부터 T4까지 V_{th} 보정기간(T2-T4)이라고 부른다. 또한 V_{th} 보정기간에서는 Tr6이 온하고 있기 때문에, 결합 용량(Cs1)의 타단은 소정의 기준 전위(Vss1)로 보관 유지된다.

타이밍(T5)이 되면 제어신호(WS 및 AZ2)가 하이 레벨로 되고, 샘플링 트랜지스터(Tr1)가 온한다. 이 결과, 드라이브 트랜지스터(Trd)의 게이트(G)는 결합 용량(Cs1) 및 온한 샘플링 트랜지스터(Tr1)를 통하여 신호선(SL)에 접속된다. 이 결과 영상신호가 결합 용량(Cs1)을 통하여 드라이브 트랜지스터(Trd)의 게이트(G)에 커플링되어, 그 전위가 상승한다. 도 13의 타이밍 차트에서는 영상신호의 커플링분과 V_{th} 를 합친 전압을 V_{in} 으로 나타내고 있다. 화소용량(Cs2)에 이 V_{in} 이 보관 유지된 것으로 된다. 이후 타이밍(T7)에서 제어신호(WS)가 로우 레벨로 되돌아와, 화소용량(Cs2)에 기입된 전위가 유지 고정된다. 이와 같이 하여 영상신호가 결합 용량(Cs1)을 통하여 화소용량(Cs2)에 기입되는 기간을 샘플링 기간(T5-T7)으로 부른다. 이 샘플링 기간(T5-T7)은 통상 1 수평 기간(1H)에 상당한다.

본 실시형태에서는, 샘플링 기간이 종료하는 타이밍(T7)의 전의 타이밍(T6)에서, 제어신호(DS)가 하이 레벨로 되는 한편 제어신호(AZ2)가 로우 레벨로 된다. 이 결과 드라이브 트랜지스터(Trd)의 소스(S)가 Vss2에서 분리되는 한편 드레인 측에서 소스(S)측으로 향하여 전류가 흐른다. 한편 샘플링 트랜지스터(Tr1)는 계속해서 온 상태이므로 드라이브 트랜지스터(Trd)의 게이트 전위(G)는 영상신호 측에 보관 유지되고 있다. 이와 같은 상태에서 드라이브 트랜지스터(Trd)에 출력전류가 흐르므로, 화소용량(Cs2) 및 역바이어스 상태에 있는 발광소자(EL)의 등가 용량을 충전하게 된다. 이것에 의해 드라이브 트랜지스터(Trd)의 소스 전위(S)는 ΔV 만 상승하여, 그 만큼 Cs2에 보관 유지되고 있던 전압(Vin)이 감소한다. 환연하면, 기간(T6-T7)의 사이에서 소스(S)측의 출력전류가 게이트(G)측의 입력전압에 부귀환된다. 이 부귀환량이 ΔV 로 나타내진다. 이 부귀환 동작에 의해, 드라이브 트랜지스터(Trd)의 이동도 보정이 행해진다.

이후 타이밍(T7)에서 제어신호(WS)가 로우 레벨로 되고, 영상신호의 인가가 해제되면, 이른바 부트스트랩 동작이 행해져 게이트 전위(G) 및 소스 전위(S)는 양자의 차($Vin - \Delta V$)를 유지한 채로 상승한다. 소스 전위(S)의 상승에 따라 발광소자(EL)의 역바이어스 상태는 해소되므로, 출력전류(Ids)가 발광소자(EL)에 유입하고, 영상신호에 따른 휘도로 발광이 행해진다. 이후 타이밍(T8)에서 당해 필드(1f)가 끝나면 다음의 필드로 나아간다. 다음의 필드에서도, Vth 보정, 신호 기입, 이동도 보정의 각 동작을 행한다.

도 13은, 도 12에 나타낸 이동도 보정기간(T6-T7)에 있어서의 화소회로(2)의 상태를 나타내고 있다. 이 화소회로(2)도 스위칭 트랜지스터(Tr3, Tr4, Tr5) 등에서 구성되는 보정수단을 갖추고 있다. 이 보정수단은 출력전류(Ids)의 캐리어 이동도(μ)에 대한 의존성을 취소하기 위하여, 미리 발광 기간(T6-T8)의 전 또는 선두에서 화소용량(Cs2)에 보관 유지된 입력전압(Vin)(Vgs)을 보정한다. 이 보정수단은 주사선(WS 및 DS)으로부터 공급되는 제어신호(WS, DS)에 따라 샘플링 기간(T5-T7)의 일부에서 동작하여, 영상신호(Vsig)가 샘플링되고 있는 상태에서 드라이브 트랜지스터(Trd)로부터 출력전류(Ids)를 인출하여, 이것을 화소용량(Cs2)에 부귀환하여 입력전압(Vgs)을 보정한다. 더하여 이 보정수단(Tr3, Tr4, Tr5)은, 출력전류(Ids)의 임계전압(Vth)에 대한 의존성을 취소하기 위하여, 미리 샘플링 기간(T5-T7)에 앞서는 기간(T2-T4)에서 드라이브 트랜지스터(Trd)의 임계전압(Vth)을 검출하고, 동시에 검출된 임계전압(Vth)을 입력전압(Vgs)에 채워 넣도록 하고 있다.

본 실시형태에 있어서도, 드라이브 트랜지스터(Trd)는 N채널형 트랜지스터로 드레인이 전원(Vcc) 측에 접속하는 한편 소스(S)가 발광소자(EL)측에 접속해 있다. 이 구성에 있어서 본 보정수단은, 샘플링 기간(T5-T7)의 후부분에 접치는 발광기간(T6-T8)의 선두 부분(T6-T7)에서 드라이브 트랜지스터(Trd)로부터 출력전류(Ids)를 인출하고, 화소용량(Cs2) 측에 부귀환한다. 그때 본 보정수단은, 발광 기간의 선두 부분(T6-T7)에서 드라이브 트랜지스터(Trd)의 소스(S)측으로부터 인출한 출력전류(Ids)가, 발광소자(EL)가 가지는 등가 용량(Coled)과 추가용량(Csub)에 유입하도록 하고 있다. 발광소자(EL)는 양극 및 음극을 갖춘 다이오드형의 발광소자로 구성되고, 양극측이 드라이브 트랜지스터(Trd)의 소스(S)에 접속하는 한편 음극측이 Vcath에 접지되어 있다. 본 보정수단은 상술한 바와 같이 미리 발광소자(EL)의 양극 / 음극간을 역바이어스 상태로 세트해 놓고, 드라이브 트랜지스터(Trd)의 소스(S)측에서 인출한 출력전류(Ids)가 발광소자(EL)에 유입할 때, 다이오드형의 발광소자(EL)를 용량성 소자(Coled)로서 기능하게 하고 있다. 그 때 발광소자 용량(Coled)에 추가용량(Csub)을 접속하고 있다. 이것에 의해 출력전류(Ids)를 흘리는 시간을 연장화할 수 있고, 결과로서 이동도 보정수단의 시간적인 동작 마진을 확대할 수 있다.

도 14는, 본 발명에 관계되는 표시장치의 제3 실시형태를 나타내는 모식적인 평면도이다. 도 14는 1 세트 분의 적색 화소, 녹색 화소 및 청색 화소의 모식적인 평면도이다. RGB 각 색의 화소회로(2)는, 각각 적색 발광소자, 녹색 발광소자 및 청색 발광소자를 갖추고 있다. 각 화소회로(2)에 형성된 추가용량(Csub)은, 각 색 발광소자마다 다른 용량치를 가지고, 그것에 의해 RGB 각 화소회로에 형성된 각 보정수단의 동작에 요하는 시간을 균일화하고 있다.

일반적으로 RGB 각 색의 발광소자를 만들기 위하여, 예를 들면 유기EL 재료를 이용한 발광소자에서는 유기EL을 RGB마다 나누어 바르는 프로세스가 이용된다. RGB마다 유기EL 재료나 막후가 다르므로, RGB마다의 발광소자 용량(Coled)은 같은 것은 아니다. 또 백색의 유기EL 발광소자를 이용하여 이것을 RGB 각 색의 필터로 착색할 경우도, RGB 각 화소에서 개구율이 다를 경우, 발광소자 용량(Coled)은 그대로 RGB에 의해서 다른 값을 가진다. 이것에 의해 아무런 대책을 세우지 않을 경우, 이동도 보정시에 이용하는 용량(C)도 RGB에서 다른 값으로 되어 버린다. 따라서 상술한 식 5에 의해서 정해지는 최적인 이동도 보정 시간(t)도 RGB 각 화소에 의해서 차이가 생겨 버린다. 따라서 아무런 대책을 세우지 않으면, RGB 모든 화소에 있어서 이동도 보정 시간을 최적으로 조정하는 것은 곤란하다.

그래서 본 실시형태에서는 RGB 화소간에서 최적 이동도 보정 시간을 공통으로 하기 위하여, 추가용량(Csub)의 값을 RGB마다 다른 값으로 설계하고 있다. 발광소자 용량(Coled)은, 화소 사이즈와 화소 개구율이나 발광재료의 기본 특성에 의해

결정되기 때문에, RGB 각 화소에서 Coled를 동일하게 조정하는 것은 사실상 곤란하다. 그 때문에 아무런 대책을 세우지지 않으면, 이동도 보정에 이용하는 용량(C)도 RGB마다 달라, 결과적으로 최적인 이동도 보정 시간도 RGB 화소에서 다른 값으로 되어 버린다. 그래서 본 발명에서는, RGB 화소에 추가하는 Csub 용량치를 다른 값으로 하고 있다.

이동도 보정에 필요한 드레인 전류가, 다른 화소간에서 동일이고도 이동도 보정 시간에 의존하지 않도록 하기 위해서는, 다른 2개의 화소에서 이하의 식 6의 조건을 만족시킬 필요가 있다.

[수 4]

$$\sqrt{\frac{k'}{k}} = \frac{C'}{C} \quad \dots \text{식 6}$$

$$\frac{V_{sig}}{V_{sig}'} = \frac{C'}{C}$$

식 6에서 한쪽의 화소의 파라미터와 다른 쪽의 화소의 파라미터를 구별하기 위하여, 기호'를 붙이고 있다. 한쪽의 화소에 흐르는 출력전류(Ids)와 영상신호(Vsig)의 관계는 이하의 식 7에 의해서 나타내진다. 이 식 7은 상술한 식 5와 완전히 동일하다.

[수 5]

$$I_{ds} = k\mu \left(\frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} \right)^2 \quad \dots \text{식 7}$$

한편 드라이브 트랜지스터의 사이즈(k'), 입력 영상신호의 레벨(Vsig') 및 용량(C')이 다른 화소에 흐르는 드레인 전류(Ids')는 이하의 식 8에 의해서 나타내진다.

[수 6]

$$I_{ds'} = k'\mu \left(\frac{1}{\frac{1}{V_{sig}'} + \frac{k'\mu}{C'} t} \right)^2 \quad \dots \text{식 8}$$

여기서 $Ids=Ids'$ 가 되기 위해서는, 이하의 식 9가 성립하면 좋다.

[수 7]

$$k\mu \left(\frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} \right)^2 = k'\mu \left(\frac{1}{\frac{1}{V_{sig}'} + \frac{k'\mu}{C'} t} \right)^2 \quad \dots \text{식 9}$$

식 9의 양변을 풀어 정리하면, 이하의 식 10이 얻어진다.

[수 8]

$$\mu \left(\frac{\sqrt{k'}}{C'} - \frac{\sqrt{k}}{C} \right) t = \frac{1}{\sqrt{k} V_{sig}} - \frac{1}{\sqrt{k'} V_{sig}'} \quad \dots \text{식 10}$$

여기서 식 10으로 나타내진 조건이 보정 시간(t)에 의존하지 않기 위해서는, 이하의 관계를 만족시킬 필요가 있다.

[수 9]

$$\frac{\sqrt{k'}}{C'} = \frac{\sqrt{k}}{C} \text{ or } \frac{1}{\sqrt{k} V_{sig}} = \frac{1}{\sqrt{k'} V_{sig}'}$$

이것들을 정리하면, 상술한 식 6이 얻어진다. 즉 C와 C'는 다른 Vsig나 k에 대하여 식 6의 조건을 만족시키면, 보정 시간(t)을 공통으로 하는 것이 가능하다.

상술한 식 6에 있어서 입력 영상신호(Vsig)의 다이내믹 레인지와 드라이브 트랜지스터(Trd)의 사이즈 팩터(k)가 어느쪽도 RGB 화소에서 동일하게 하면, RGB 화소간에 보정 시간(t)을 공통으로 하기 위해서는 RGB 화소 각각에 형성되는 용량(C)를 동일하게 할 필요가 있다. 여기서 $C = C_s + C_{oled} + C_{sub}$ 이다. Coled는 RGB로 값이 다르다. 또 C_s 값은 부트스트랩 게이트인가 있으므로 RGB 화소마다 크게 변경하는 것은 할 수 없다. 기본적으로는 공통으로 설정할 필요가 있다. 그래서 본 실시 형태에서는 RGB에서 값이 다른 C_{sub} 를 작성하여, Coled와 병렬로 접속하고 있다. 이때 이동도 보정에 이용하는 용량치(C)는, $C = C_s + C_{oled} + C_{sub}$ 이다. 용량(C)을 RGB에서 동일하게 하기 위하여, 추가용량(C_{sub})의 값을 RGB 화소로 조절한다. 이와 같이 함으로써 식 6이 성립하고, 따라서 이동도 보정 시간(t)을 RGB 화소간에서 공통으로 할 수 있다. 또 드라이브 트랜지스터(Trd)의 사이즈 팩터(k)나 입력 영상신호(Vsig)의 다이내믹 레인지가 화소마다 다를 경우도, 식 6을 만족시키도록 추가용량(C_{sub})을 RGB마다 조정함으로, 이동도 보정에 최적인 시간(t)을 RGB 화소로 동일하게 설정할 수 있다.

RGB 화소간에서 화이트 밸런스의 조정이 필요한 경우, 상술한 식 6은 이하의 식 11과 같이 변형할 수 있다.

[수 10]

$$\sqrt{\frac{k'}{k}} \alpha = \frac{C'}{C} \quad \dots \text{식 11}$$

$$\frac{V_{sig}}{V_{sig}'} \alpha = \frac{C'}{C}$$

화이트 밸런스 조정이 필요한 경우 RGB 화소마다 출력전류가 α 배 다르다고 가정한다. 따라서 $Id_s' = \alpha Id_s$ 가 되기 위해서는, 이하의 식 12가 성립할 필요가 있다.

[수 11]

$$\alpha k \mu \left(\frac{1}{\frac{1}{V_{sig}} + \frac{k \mu}{C} t} \right)^2 = k' \mu \left(\frac{1}{\frac{1}{V_{sig}'} + \frac{k' \mu}{C'} t} \right)^2 \quad \dots \text{식 12}$$

식 12의 양변을 풀고, 이 조건이 보정 시간(t)에 의존하지 않기 위해서는 이하의 식 13을 만족시킬 필요가 있다.

[수 12]

$$\frac{\sqrt{k'\alpha}}{C'} = \frac{\sqrt{k}}{C} \text{ 이고 } \frac{1}{\sqrt{k\alpha} V_{sig}} = \frac{1}{\sqrt{k'} V_{sig}'} \dots \text{ 식 13}$$

식 13을 정리하면 상기의 식 11이 얻어진다. 즉 식 11의 C 및 C'는, 다른 Vsig나 k에 대하여 식 11의 조건을 만족시킴으로써, 이동도 보정 시간(t)을 모든 화소에 걸쳐서 공통으로 하는 것이 가능하다.

도 15는, 본 발명에 관계되는 표시장치의 제 4실시형태를 나타내는 모식적인 평면도이다. 기본적으로는 도 14에서 나타낸 제 3실시형태와 유사하고, 대응하는 부분에는 대응하는 참조번호를 붙여 이해를 용이하게 하고 있다. 본 실시형태에서는, RGB 각 화소회로에 형성된 추가용량(Csub)의 용량치에 부족이 있을 경우, 인접하는 화소회로에 형성된 추가용량(Csub)을 이용하여 부족을 보충하도록 하고 있다. 도시의 예에서는, 적색(R) 화소에 형성해야 할 추가용량(Csub)의 용량치가 부족하기 때문에, 근처의 녹색(G) 화소에 형성된 추가용량(Csub)의 일부를 R화소측의 추가용량(Csub)에 이용하고 있다. 따라서 G화소는 R화소용의 Csub 용량과 자신의 G화소용 Csub 용량의 양자를 포함하고 있게 된다. 이것에 대해 청색(B) 화소는 자신의 화소 영역에 형성된 Csub 용량만으로 충분하다.

예를 들면 화이트 밸런스를 취하기 위하여 RGB 화소간에서 출력전류의 레벨 설정이 다른 경우, 이동도 보정 시간(t)을 공통으로 하기 위해서는 상술한 식 11의 조건을 만족시킬 필요가 있다. 즉 C와 C'의 차이가 화이트 밸런스 조정을 위해 커지고 이 분 Csub의 값을 더욱 크게 취할 필요가 발생한다. 상술한 바와 같이 Csub는 절연기판에 작성한 박막 용량 소자로 구성된다. 각 화소에는 박막 트랜지스터(TFT)나 다른 용량 소자(Cs), 배선 등이 있고, 추가 용량(Csub)의 점유 면적은 한정되어 버린다. 이 때문에 Csub의 필요치가 1 화소를 잡아 얻는 최대 용량치보다도 클 경우는, 아무런 대책을 세우지 않으면 최적인 이동도 보정 시간(t)을 동일하게 하는 것이 불가능하게 되어 버린다. 그래서 본 실시형태에서는 Csub가 불충분한 화소(여기에서는 R화소)는, 그 인접 화소(도시의 예에서는 G화소)로부터 Csub의 할당을 받아, 필요한 값으로 설정하고 있다. 이와 같이 인접 화소로부터 Csub를 할당함으로 화이트 밸런스가 다른 화소나 RGB에서 유기EL 재료의 특성이 크게 다른 화소에 있어서도, 최적인 이동도 보정 시간(t)을 RGB간에서 균일하게 할 수 있고, 높은 균일성을 얻는 것이 가능하다.

도 16은, 도 15에 나타낸 R화소의 회로 구성은 화소회로(2)는, 자신의 추가용량(Csub)에 더하여, 인접하는 화소에 형성된 추가용량(Csub')도 이용함으로, 총 용량(C=Cs + Coled + Csub + Csub')을 확보하고 있다.

도 17은, 도 16에 나타낸 실시형태의 변형예를 나타내는 회로도이다. 이해를 용이하게 하기 위하여 도 16에 나타낸 회로와 대응하는 부분에는 대응하는 참조 번호를 붙이고 있다. 다른 점은, 도 16에 나타낸 앞의 예에서는 Csub 및 Csub'의 다른 쪽의 단자가 발광소자(EL)의 음극측과 같은 접지전위에 접속되어 있는데 대해, 본 변형예에서는 Csub 및 Csub'의 다른 쪽의 단자가 전원전위(Vcc)에 접속되어 있는 것이다.

발명의 효과

본 발명에 의하면, 화소회로 및 이것을 접적 형성한 표시장치는, 예를 들면 전압 구동 방식으로 임계전압 및 이동도의 흐트리짐을 보정 가능한 보정수단을 갖추고 있다. 보정수단을 포함한 화소회로는 복수의 박막 트랜지스터(TFT) 등으로 구성되어 있고, 유리 등의 절연기판상에 접적 형성되어 있다. 본 발명에서는 이 절연기판에 박막 용량 소자로 추가의 용량을 형성하고 있다. 이 추가용량은 발광소자의 용량 성분과 별별로 접속하고 있다. 이러한 구성에 의해, 이동도 보정에 이용하는 총 용량을 크게 취할 수 있다. 이 결과 이동도의 흐트리짐 보정에 요하는 동작시간을 길게 설정하는 것이 가능하다. 즉 이동도 보정기간의 설정 마진을 올리는 것이 가능해지고, 이것에 의해 각 화소회로의 보정동작의 안정화를 달성할 수 있다.

칼라 표시장치의 경우, 각 화소회로는 적색 발광소자, 녹색 발광소자 또는 청색 발광소자의 어느쪽인가를 갖추고 있다. 일반적으로, 발광소자는 색마다 발광 면적이나 발광재료가 달라, 이것에 따라 용량 성분이 색마다 다르다. 이 경우, 추가용량을 각 발광소자마다 바꿈으로, 이동도 보정기간을 각색화소로 동일하게 설정하는 것이 가능하다. 모든 화소로 이동도 보정동작에 요하는 시간을 공통으로 할 수 있으므로, 화소 어레이의 동작 제어가 용이하게 된다.

적색(R) 화소, 녹색(G) 화소 및 청색(B) 화소간에서 화이트 밸런스를 잡는 경우나, RGB 화소간에서 발광소자의 특성이 크게 다를 경우, RGB 화소간에서 필요하게 되는 추가용량의 크기에 현저한 차가 발생하는 경우가 있다. 이때에는, RGB 화소간에서 추가용량의 할부에 궁리를 하는 것도 가능하다. 구체적으로는, 어느 색의 화소회로에 형성된 추가용량의 용량치에 부족이 있을 경우, 인접하는 다른 색의 화소회로에 형성된 추가용량을 이용하여 그 부족을 보충할 수 있다. 이것에 의해, RGB 화소회로를 포함한 표시장치의 이동도 보정기간을 각색화소로 공통으로 설정할 수 있다.

도면의 간단한 설명

도 1은, 본 발명에 관계되는 표시장치의 기본 구성을 나타내는 블록도이다.

도 2는, 본 발명에 관계되는 표시장치의 제 1실시형태를 나타내는 회로도이다.

도 3은, 제 1실시형태에 포함되는 화소의 모식적인 평면도이다.

도 4는, 도 2에 나타낸 표시장치에 포함되는 화소회로를 인출한 모식도이다.

도 5는, 도 4에 나타낸 화소회로의 동작 설명에 제공하는 타이밍 차트이다.

도 6은, 도 4에 나타낸 화소회로의 동작 설명에 제공하는 모식도이다.

도 7은, 마찬가지로 동작 설명에 제공하는 그래프이다.

도 8은, 마찬가지로 동작 설명에 제공하는 모식도이다.

도 9는, 도 4에 나타낸 화소회로에 포함되는 드라이브 트랜지스터의 동작 특성을 나타내는 그래프이다.

도 10은 도 2에 나타낸 제 1실시형태의 변형예를 나타내는 회로도이다.

도 11은, 본 발명에 관계되는 표시장치의 제 2실시형태를 나타내는 블록도이다.

도 12는, 도 11에 나타낸 표시장치에 포함되는 화소회로의 동작 설명에 제공하는 타이밍 차트이다.

도 13은, 마찬가지로 동작 설명에 제공하는 화소회로도이다.

도 14는, 본 발명에 관계되는 표시장치의 제 3실시형태를 나타내는 모식적인 평면도이다.

도 15는, 본 발명에 관계되는 표시장치의 제 4실시형태를 나타내는 모식적인 평면도이다.

도 16은, 도 15에 나타낸 제 4실시형태의 회로 구성을 나타내는 블록도이다.

도 17은, 도 16에 나타낸 실시예의 변형예를 나타내는 회로도이다.

<도면의 주요부분에 대한 부호의 설명>

1 : 화소 어레이, 2 : 화소회로,

3 : 수평 선택터(selector), 4 : 라이트(write) 스캐너,

5 : 드라이브 스캐너, 7 : 보정용 스캐너,

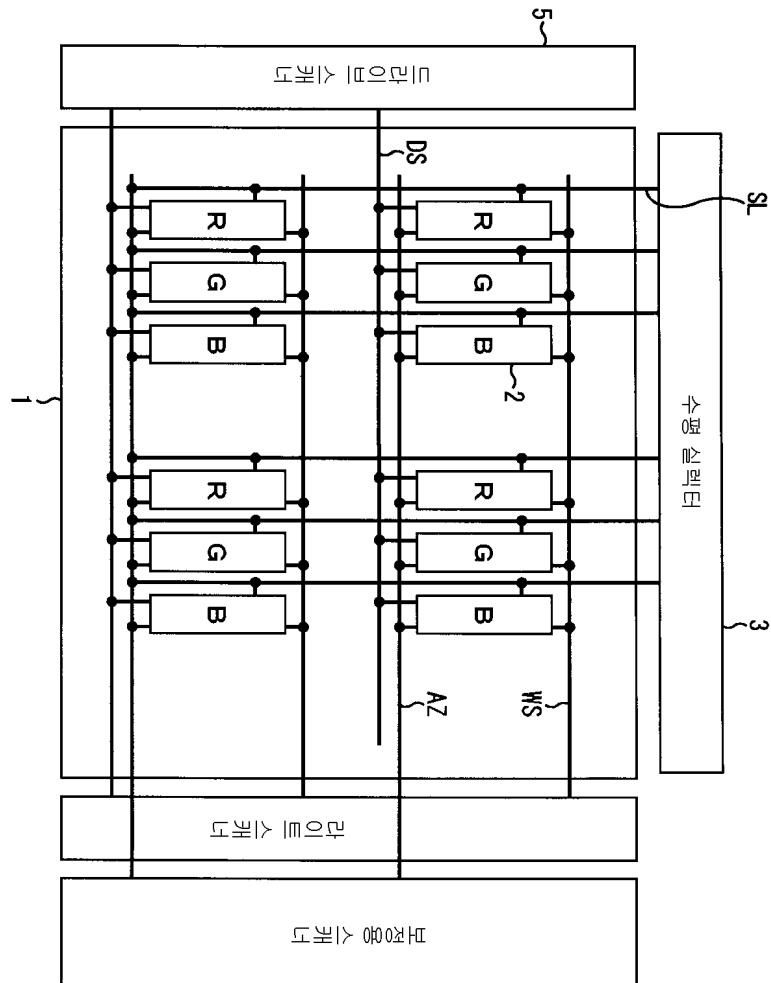
Tr1 : 샘플링 트랜지스터, Trd : 드라이브 트랜지스터,

EL : 발광소자, Cs : 화소용량,

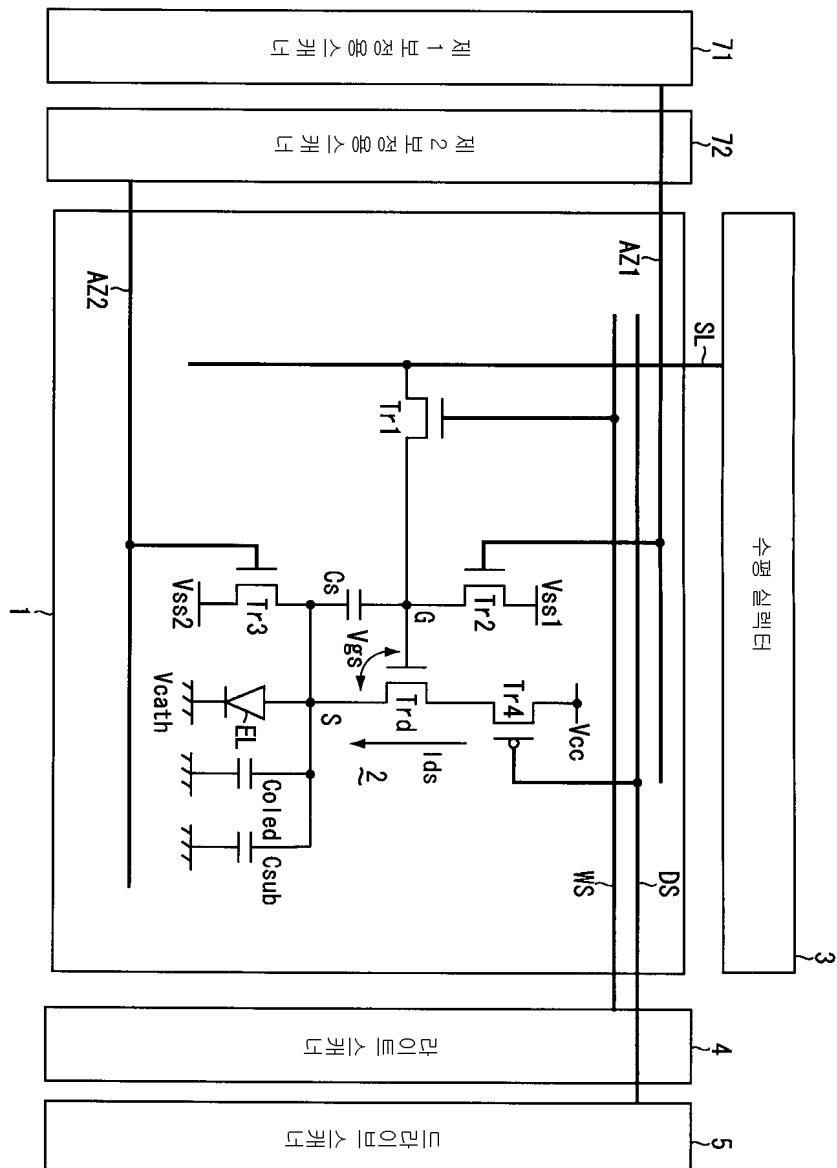
Csub : 추가용량, Coled : 발광소자 용량

도면

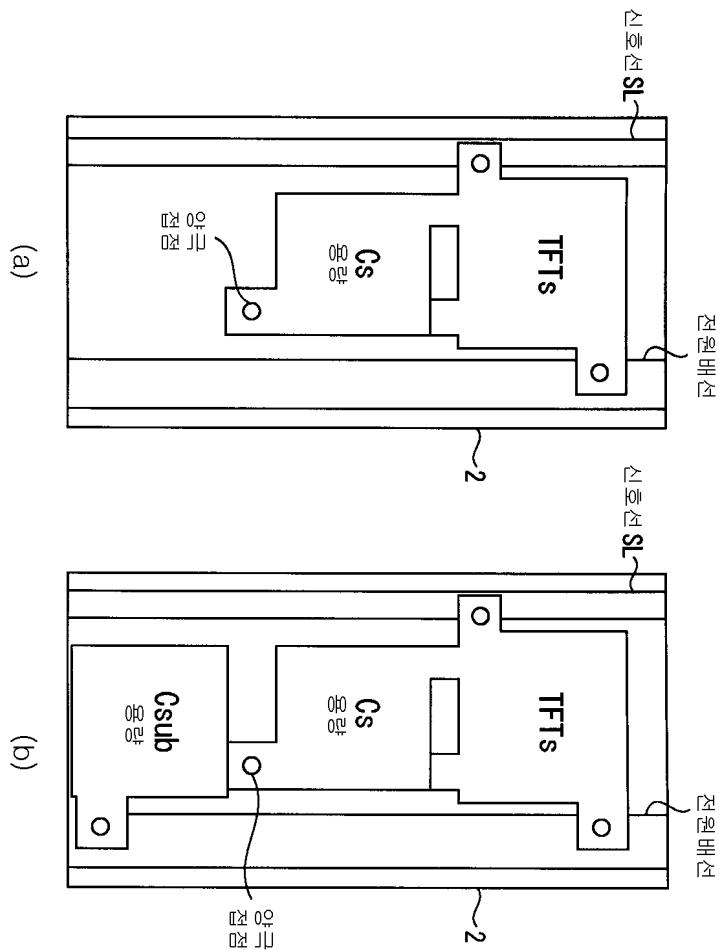
도면1



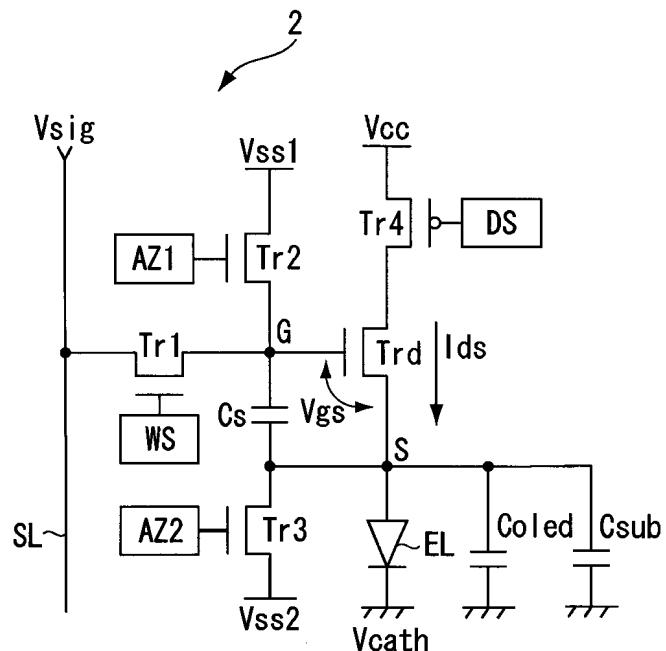
도면2



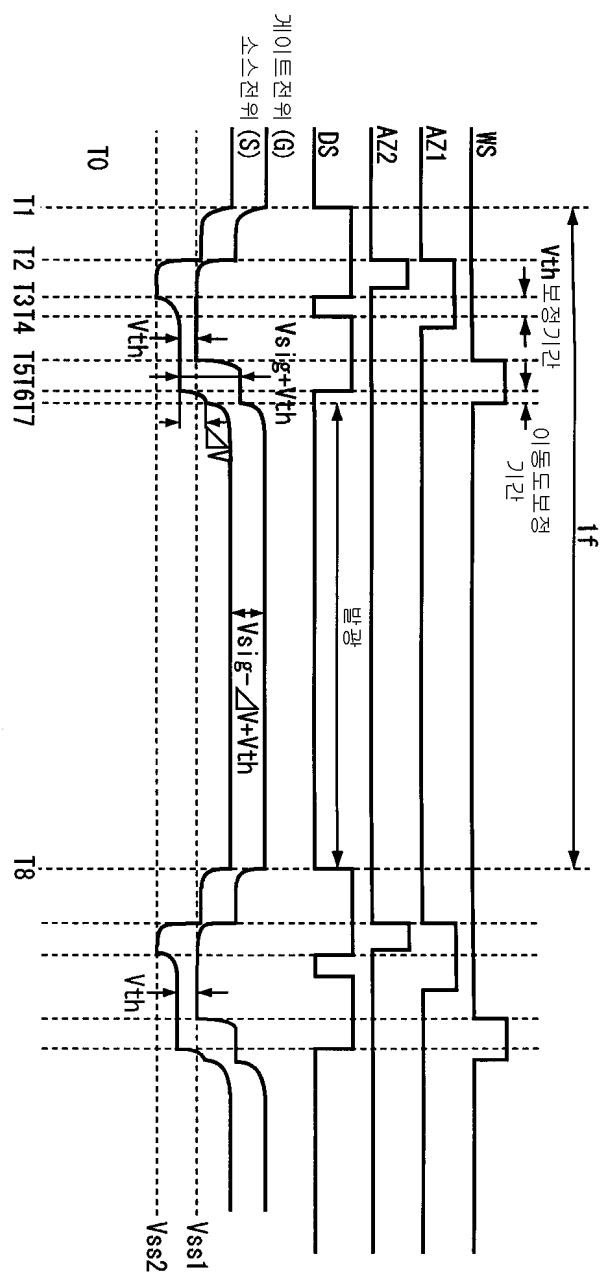
도면3



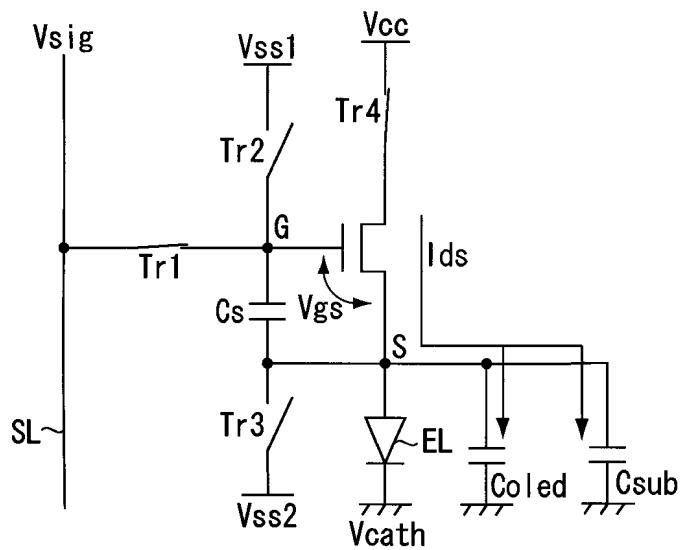
도면4



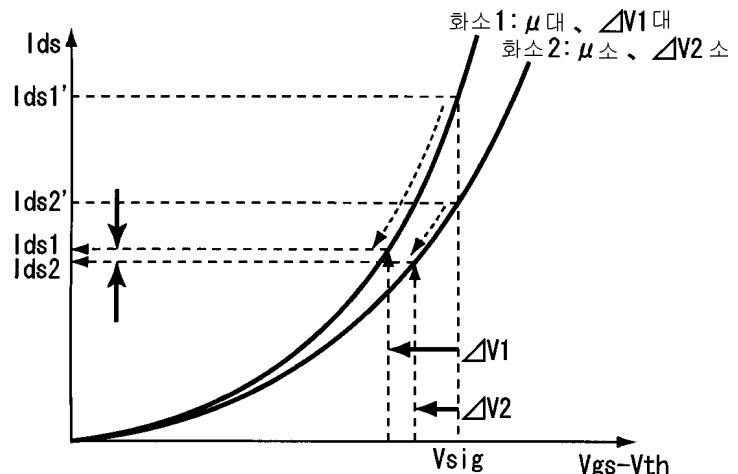
도면5



도면6

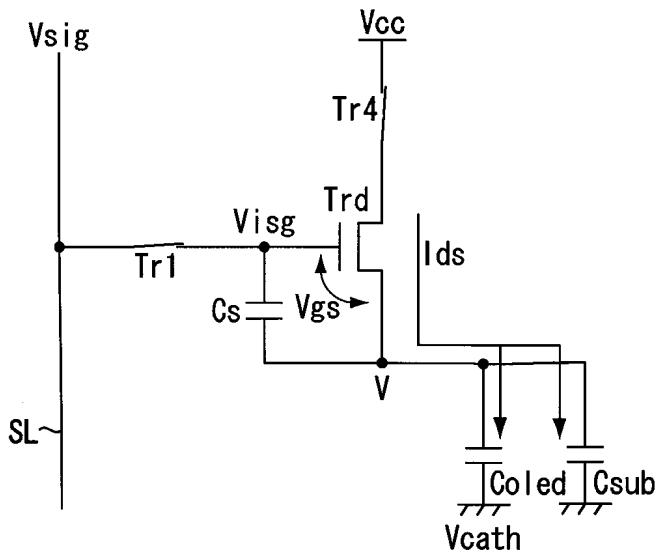


도면7

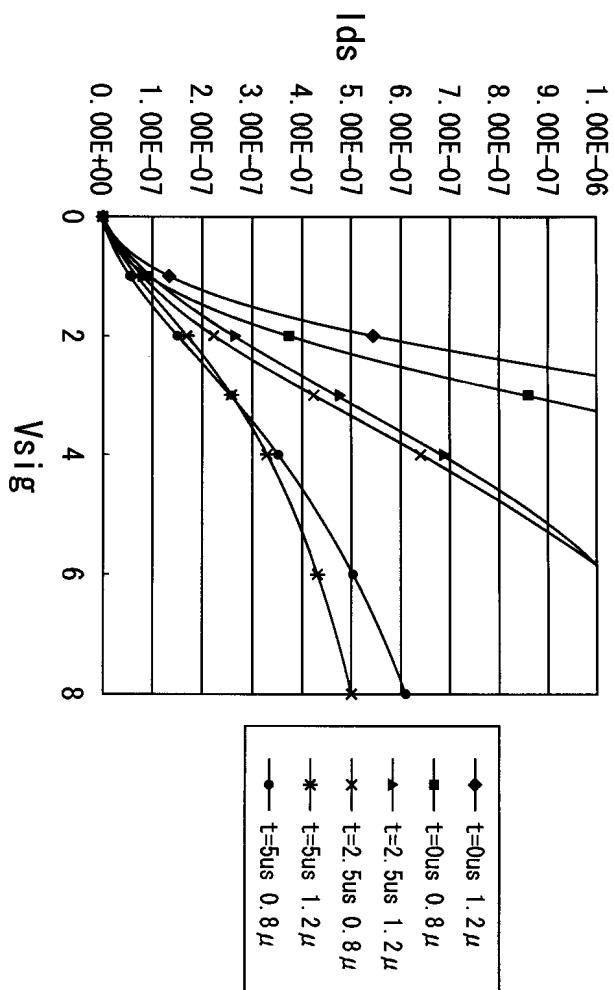


$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2$$

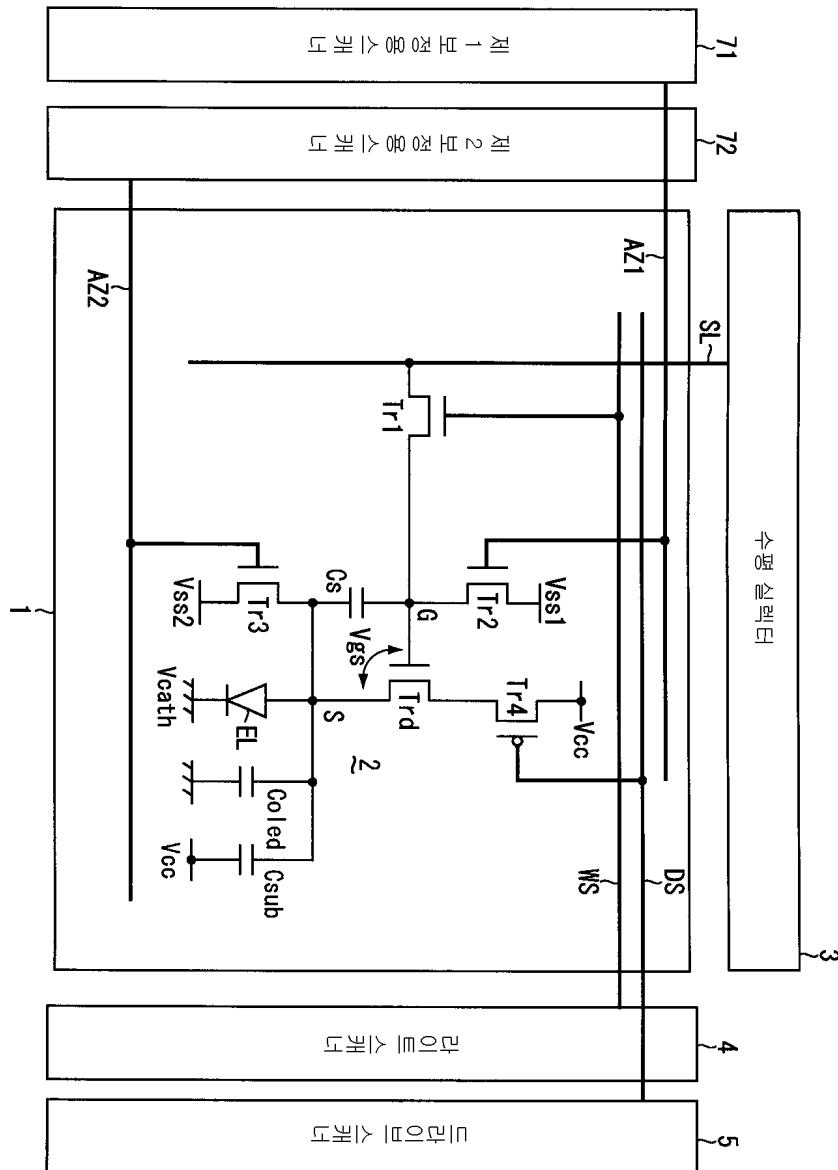
도면8



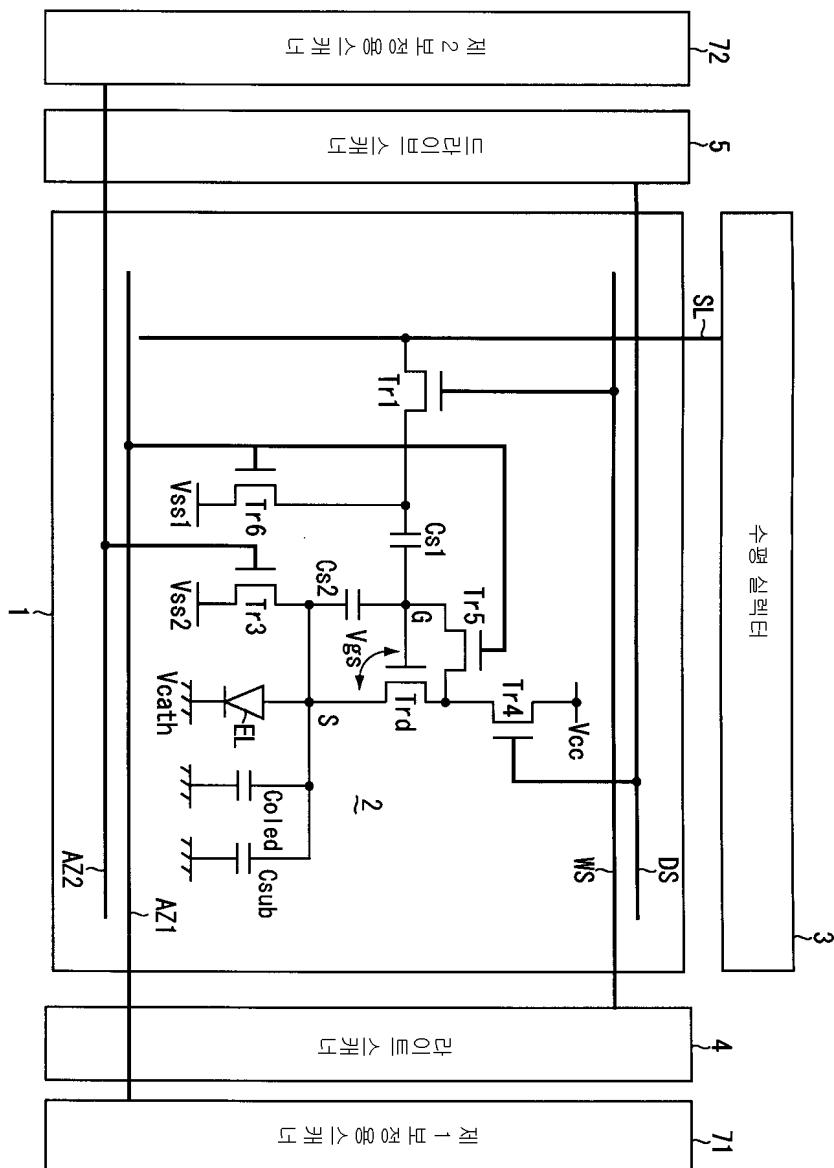
도면9



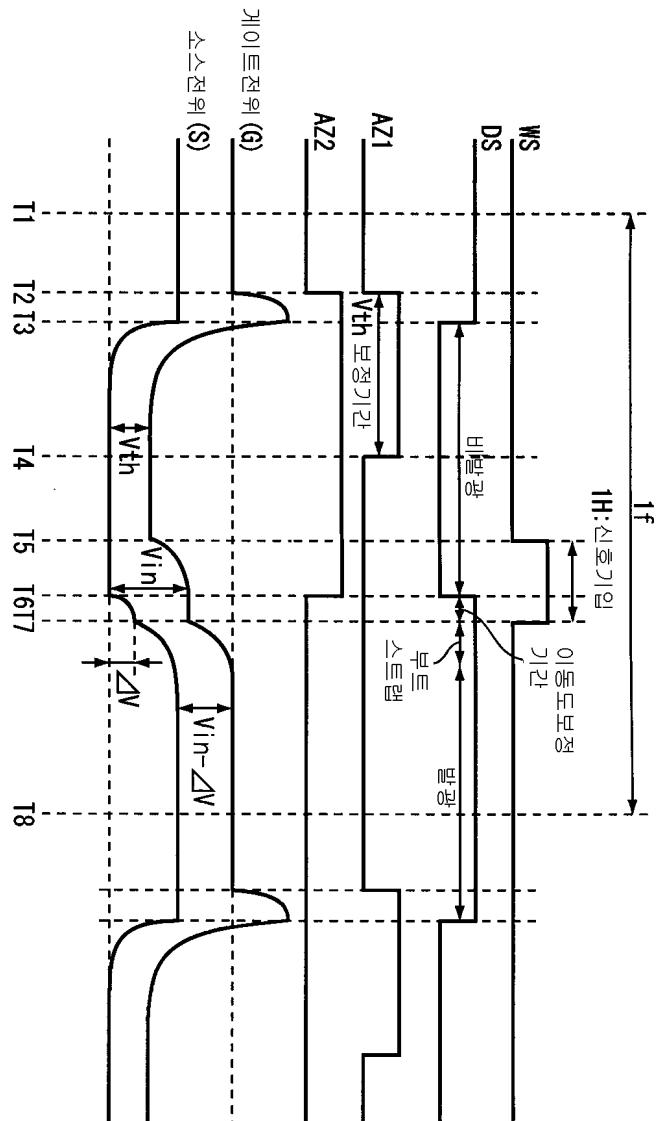
도면10



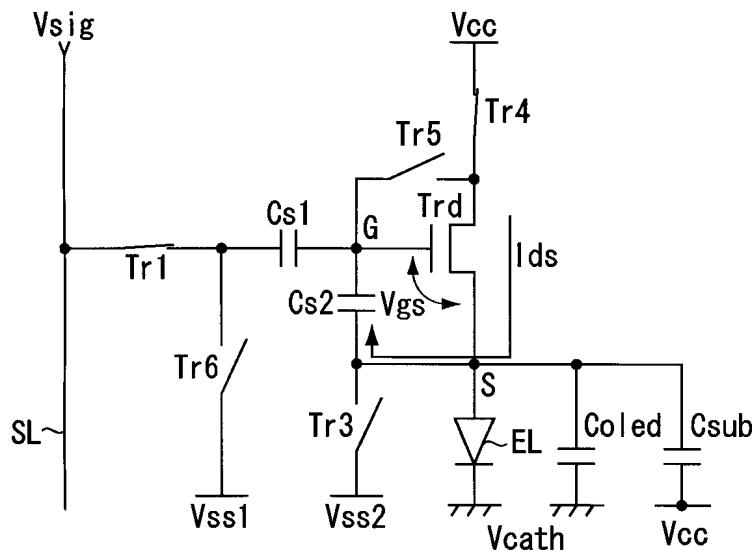
도면11



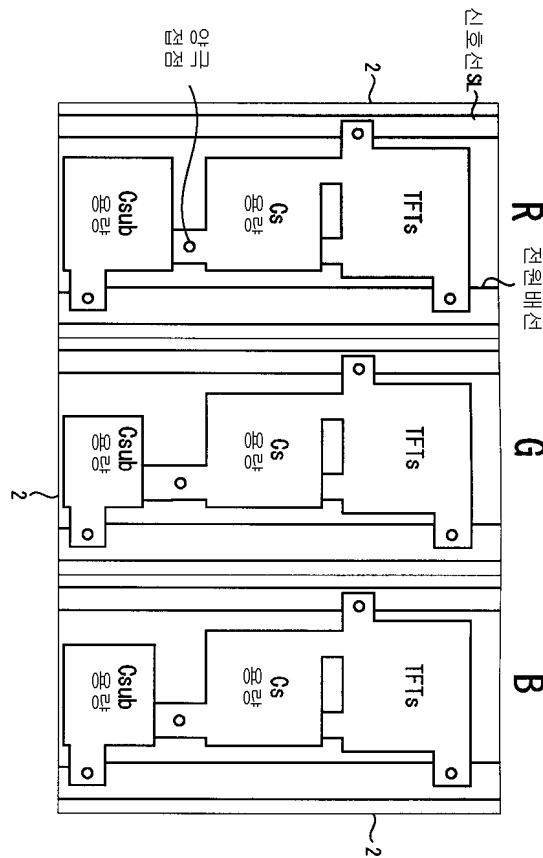
도면12



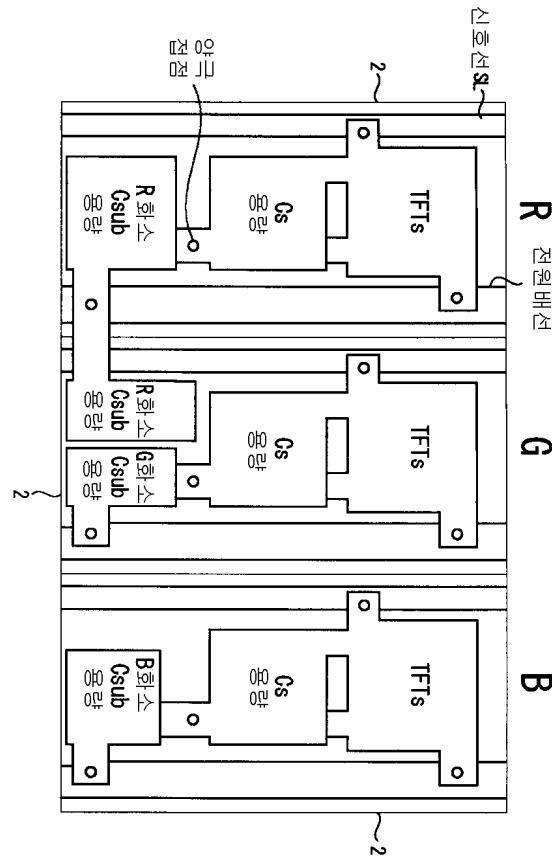
도면13



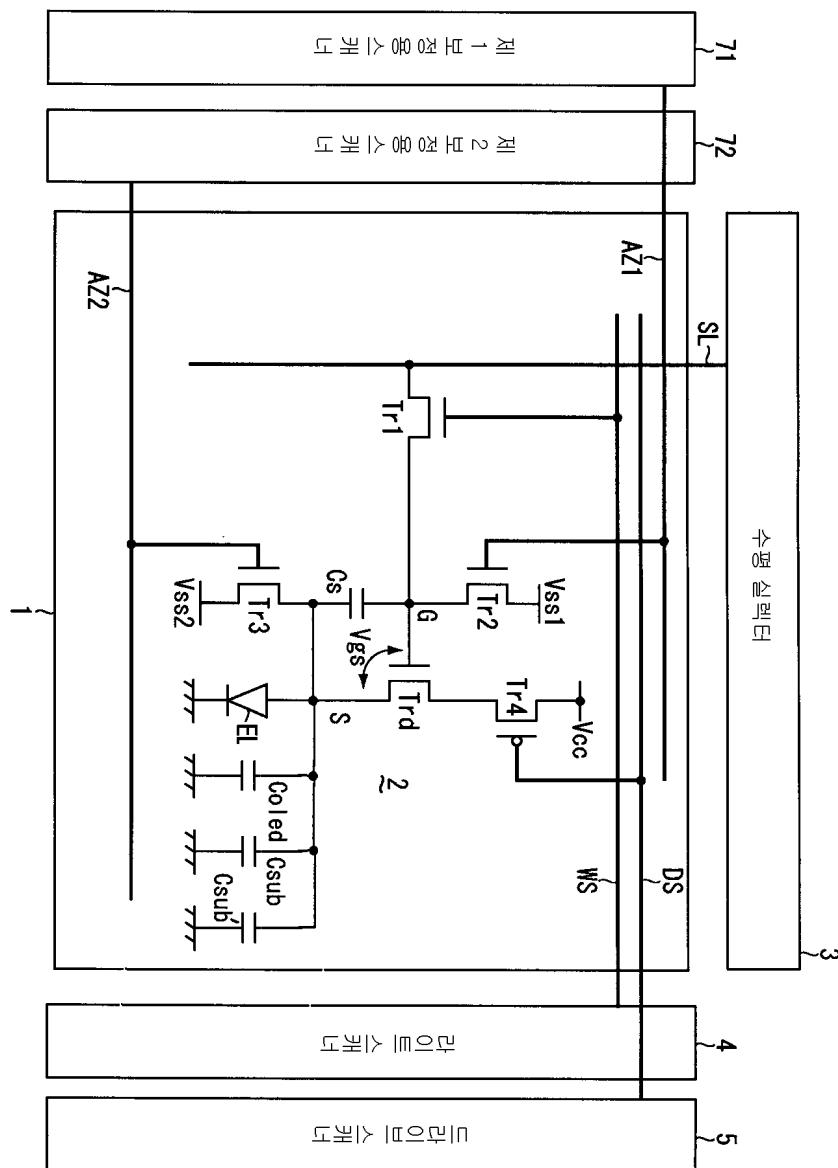
도면14



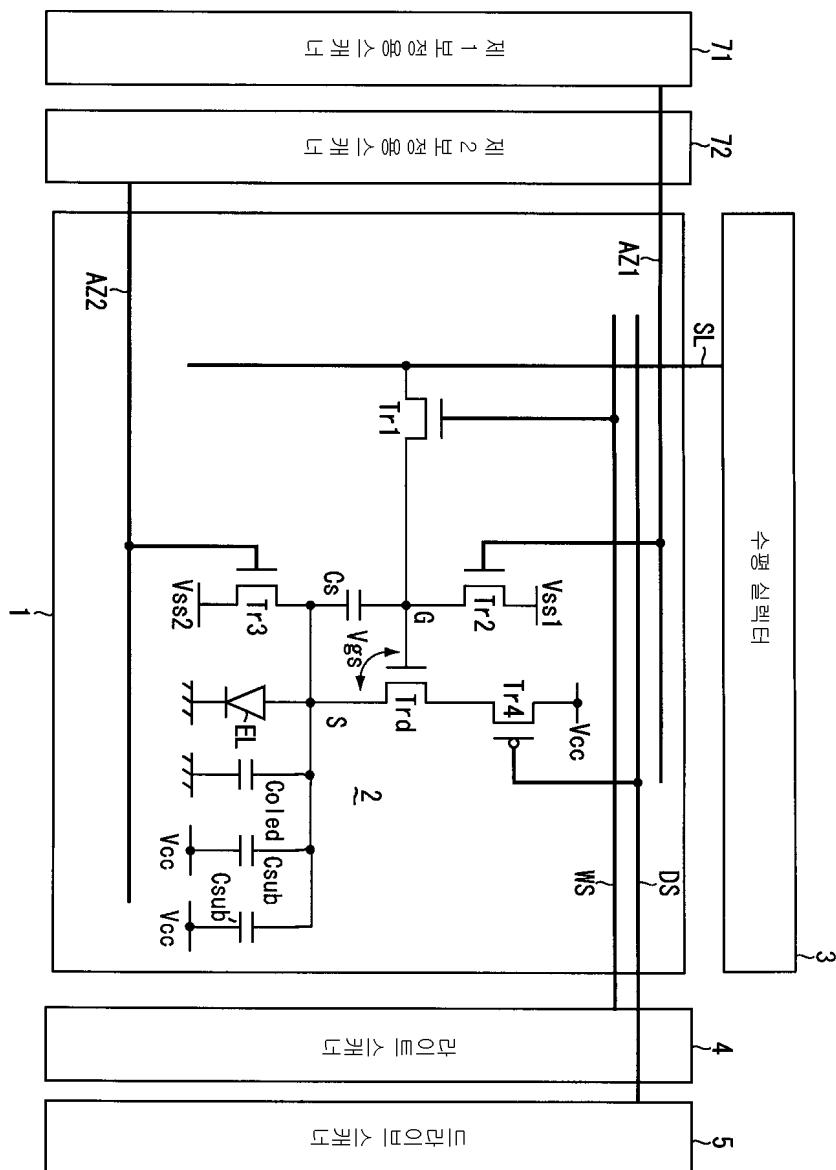
도면15



도면16



도면17



专利名称(译)	像素电路和显示设备		
公开(公告)号	KR1020070038915A	公开(公告)日	2007-04-11
申请号	KR1020060097705	申请日	2006-10-04
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YAMASHITA JUNICHI 야마시타준이치 UCHINO KATSUHIDE 우치노가쓰히데		
发明人	야마시타준이치 우치노가쓰히데		
IPC分类号	G09G3/30 G09G3/32 H05B33/08		
CPC分类号	G09G2300/0852 G09G2300/0842 G09G2300/0861 G09G2310/0262 G09G2320/043 G09G2310/0251 G09G2320/0233 G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2310/0256		
优先权	2005294308 2005-10-07 JP		
其他公开文献	KR101264386B1		
外部链接	Espacenet		

摘要(译)

在包括发光器件的像素电路中，关于驱动晶体管的迁移率的校正操作的余量变宽。像素电路(2)具有晶体管(Tr2, Tr3)作为校正装置，为了消除驱动晶体管(Trd)的输出电流的载流子迁移率的可靠性，将采样的输入电压(Vgs)修正为像素容量(Cs)。它根据控制信号进行操作，其中从扫描线(AZ1, AZ2)提供该校正装置。输出电流从驱动晶体管(Trd)引出。它以容量(Coled)和发光器件(EL)具有它的像素容量(Cs)和输入电压(Vgs)进行修正。它配备了额外的容量(Csub)添加到发光设备容量(Coled)。驱动晶体管(Trd)的输出电流部分溢出额外的容量(Csub)。对于校正平均值的操作，给出了及时的松弛。

